

평판 디스플레이 시스템을 위한 OpenLDI 수신기 회로

한 평 수, 최 우 영

연세대학교 전기전자공학과

요약

An OpenLDI receiver circuit for flat-panel display systems was designed and fabricated using 1.8- μm high-voltage CMOS technology. Designed circuit roughly consists of DLL circuit and parallelizers, which recovers clock and de-serialize data bits, respectably. It has one clock input and four data inputs. Measurement results showed that it successfully recovers clock signal from input whose frequency is 10Mhz~65Mhz, which corresponds data rate of 70Mbps~455Mbps per channel, or 280Mbps~1.82Gbps when all of the four data channels were utilized. A commercial LCD monitor was modified into a test-bench and used for video data transmission at clock frequency of 49Mhz. In the experiment, power consumption was 19mW for core block and 82.5mW for output buffer.

1. 서론

LCD, PDP를 비롯한 디지털 신호 기반의 디스플레이 장치들이 대중화됨에 따라, 아날로그 방식이 주류인 기존의 영상데이터 인터페이스 기기가 급속하게 디지털 인터페이스 장치로 대체되어가고 있다.

DVD, HDTV 등의 주요 영상데이터 source는 디지털의 형태로 정보를 저장하는 반면, 이를 다시 아날로그로 변환하여 전송하고, 이 신호를 다시 디지털로 변환하여 화면에 표시하는 수고를 감수해 온 것은 비슷한 품질의 영상의 경우 아날로그 인터페이스에 비해 디지털 인터페이스가 요구하는 대역폭이 훨씬 크고, 이를 다룰 만한 저비용, 고성능의 회로기술이 미처 성숙하지 못했기 때문이었다.

한편, 최근 들어 CMOS를 사용한 직렬링크 기술이 발전을 거듭함에 따라 해당 기술에 기반한 디지털 영상데이터 인터페이스 칩들이 저가로 공급이 가능하게 되고, 또한 이를 위한 여러 가지 표준들이 생겨나서 이제는 주변에서 디지털 인터페이스를 채용한 영상기기들을 흔하게 볼 수 있게 되었다. 이러한 표준에는 크게 가전기기용으로 많이 사용되는 HDMI와, PC, Laptop computer등에서 많이 사용되는 DVI, OpenLDI[1] 등을 들 수 있다. 이들 표준은 대개 클럭과 데이터를 별도의 신호선을 사용하여 전송하며, 3~4개의 데이터 채널을 사용하고, 채널당 1Gbps 미만의 전송속도를 가지게 된다.

여기에서는 이들 표준 가운데서도 OpenLDI 표준에 부합

하는 수신기 회로를 설계하고, 칩으로 제작하여 성능을 검증하였다.

2. 회로의 구조와 동작원리

그림 1에 설계된 회로의 구조를 나타내었다. 회로는 크게 LVDS[2] 입력버퍼, DLL을 이용한 다중위상 클럭 재생회로, 병렬화기, 3.3V의 출력버퍼, fail-safe 회로의 다섯 부분으로 구성된다. 입력버퍼에 입력된 신호는 대부 디지털 로직회로를 구동하기에 충분한 레벨의 신호로 변환되며, 이중 클럭 신호는 DLL의 입력으로 사용되어 입력 클럭에 동기된 7개의 다중 위상 클럭을 생성하게 된다. 이는 각 채널의 데이터가 클럭 주파수의 일곱 배에 해당하는 속도로 직렬화 되어 있기 때문에, 7개의 위상을 가지는 각 클럭은 순서대로 데이터의 각 비트에 해당한다.

병렬화기에서는 재생된 클럭을 사용하여 입력데이터를 샘플링하고, 얻어진 데이터비트들은 FPD[3]에 부합하는 형태로 7bit-word로 변환된다.

3. 테스트환경

설계된 영상데이터 수신기의 동작을 검증하기 위해서는 OpenLDI표준을 따르는 영상데이터 source가 필요하다. 이를 위해서 상용 LCD모니터를 분해하고, 내부의 영상신호(FPDI 표준)를 가로채어 상용 OpenLDI 송신기 칩을 사용, 고속의 영상데이터 신호를 생성하였다. 이는 측정에 사용한 LCD모니터가 VESA의 FPD[3]표준을 따르고 있기 때문에 가능하다.

그림 2에 테스트벤치의 대략적인 구조를 나타내었다. 생성된 영상데이터는 설계된 칩에 입력되고, 설계된 칩은 OpenLDI표준의 신호를 다시 병렬화하여 FPD[3]표준의 신호로 변환한다. 변환된 신호는 다시 LCD panel에 입력되어 영상을 출력하게 된다. 제작된 테스트벤치의 모습은 그림 3에 나타내었다.

4. 측정결과

앞서 구성한 테스트벤치에 Laptop PC의 비디오출력단자를 연결하여 PC의 모니터에 표시되는 화면을 테스트벤치의 LCD 모니터에 전송하는 실험을 수행하였다. 1024x768 해상도의 영상은 깨끗하게 전송되었으며, 정지영상과 동영상, 다양한 색상의 색상표 등을 전송하여 전송되는 영상에서 오류가 발생하지 않음을 확인하였다. 전송실험한 화면을 그림 4에, 측정결과를 표 1에 나타내었다.

5. 결 론

최근 들어 OpenLDI를 비롯한 순수 디지털 인터페이스를 사용하는 디스플레이 장치가 많이 사용되고 있다. 한편 이러한 제품을 구성하는 핵심 부품인 송수신기 칩은 대부분 시장을 선점한 선진국의 제품들로, 국내 전자기기 제조회사들은 이들 제품을 수입에 의존하고 있는 형편이다. 본 논문에서는 이미 상용화된 칩의 수준에 동등한 성능을 가진 수신기 칩을 개발하여, 기존의 제품에 실장하고 그 성능을 검증하였다. 제작된 수신기 칩을 사용하여 47.2Mhz의 클럭을 사용하는 1Gbps의 영상전송실험을 성공적으로 수행하였다. 이 때의 소모전력은 코어부가 약 18mW로 매우 낮은 값을 나타내었다. 제작된 칩은 10Mhz~65Mhz의 속도에서 동작이 가능할 것으로 예측된다. 설계된 수신기회로뿐만 아니라 전체회로를 구성하는 블록인 입력버퍼회로, 클럭 재생회로, 병렬화기 등은 블록별 IP로 설계되어 이후 다른 과제에서 재사용하기 용이하도록 구성되었다.

감사의 글

본 연구는 산업자원부에서 주관하는 System IC 2010 과제와, 반도체설계교육센터(IDECC)의 지원을 받아 수행되었습니다.

참 고 문 헌

1. National Semiconductor, "Open LVDS Display Interface (OpenLDI) Specification v0.95", 1999
2. IEEE Std. 1596.3-1996, "IEEE standard for Low-Voltage Differential Signaling (LVDS) for Scalable Coherent Interface (SCI)", 1994
3. Video Electronics Standards Association (VESA), "Flat Panel Display Interface Standard FPD1-1B™", Version 1.0, Revision 2.0, 1996

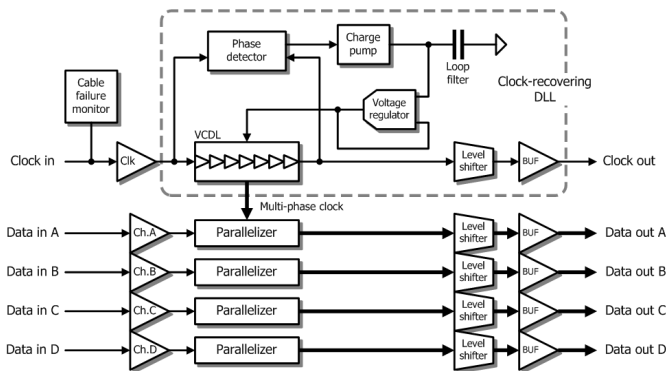


그림 1. OpenLDI 수신기 회로의 블록도

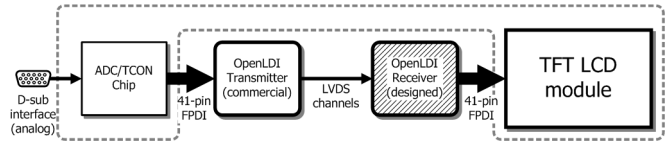


그림 2. 테스트벤치의 구조

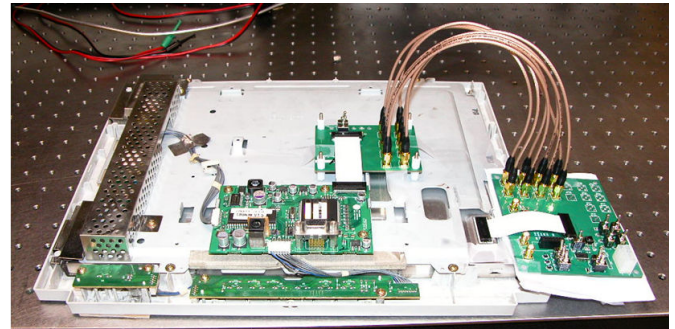


그림 3. 측정 셋업 (LVDS 채널용 케이블을 연결한 상태)

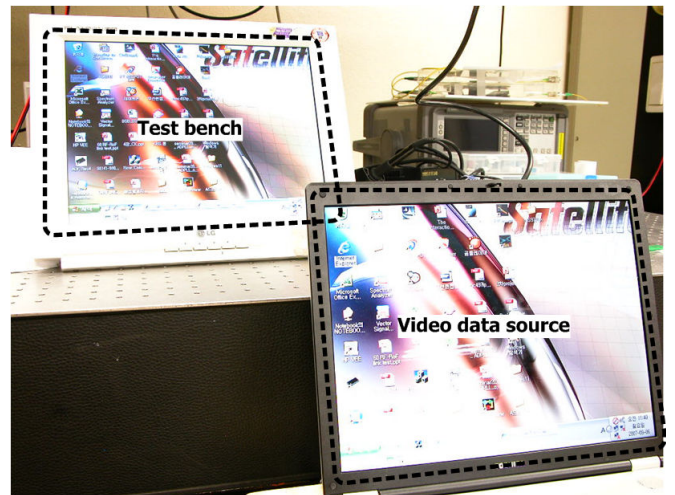


그림 4. Laptop PC로부터 테스트벤치에 화면을 전송하고 이를 LCD 모니터에 표시한 결과

표 1. 측정결과 정리

항 목	측 정 결 과
동작주파수	10Mhz~65Mhz
데이터채널	4개
코어 전원	1.8V
I/O 전원	3.3V
소모전력	18mW (core & Input buffers)
SSC 지원	YES
입력신호	LVDS
출력신호	3.3V CMOS
Fail-safe	YES
프로토콜	OpenLDI
제작공정	0.18-μm high voltage CMOS 1P4M