

2Gbps급 CMOS LVDS I/O Interface의 구현

이천오, 정태식*, 최우영

연세대학교 전기·전자공학과

*한국전자통신연구원 IP스위칭팀

Tel : 02-2123-2874 Fax : 02-312-4584

Email : bluewat@tera.yonsei.ac.kr,

요 약

본 논문에서는 0.25um CMOS 공정을 이용하여 2Gbps급 LVDS(Low Voltage Differential Signaling) I/O buffer를 구현하였다. 설계된 output buffer는 2Gbps의 속도에 45mW 전력소모를 가지며, input buffer의 경우 3Gbps의 속도에서 55mW의 전력소모를 가진다.

1. 서 론

Chip 성능이 향상되어 감에 따라 I/O의 bandwidth가 전체적인 Chip 성능의 중요한 부분이 되고 있다. 고속 I/O는 외부 noise나 전원 noise에 민감하지 않도록 current mode differential signaling 사용, 내부 중단 저항, edge rate control등이 필요하다.

현재 수백Mbps급에서 1Gbps급용 ASIC I/O로 많이 사용되고 있는 LVDS I/O의 경우, output buffer쪽에서는 일정하게 전류의 흐름을 유지하면서 전류방향만 바뀌도록 구성되고, input buffer쪽에서는 100Ω의 종단저항에 걸리는 전압 차이를 감지하여 증폭하는 구조로 되어 있다[1]. 또한 4mA의 channel 전류를 사용하기 때문에 다른 I/O 비해 전력소모가 적으며 비교적 낮은 EMI(electro-magnetic interference)특성을 가진다.

본 논문에서는 이와 같은 LVDS I/O를 구현함에 있어 IP화가 용이하도록 자체 bias 회로를 포함하였다. 사용된 output buffer 구성은 [2]에 제시된 구조인 저항을 이용한 common-mode feedback 회로를 두 개의 NMOS로 대체하여 간소화했고, input buffer는 negative feedback을 이용한 새로운 형태로 구성되었다. Feedback이 있는 경우와 없는 경우 시뮬레이션 상으로 약 66% (1.8Gbps -> 3Gbps)의 성능차이를 확인 할 수 있었고 실제 측정에서도 3Gbps의 input bitrate를 확인할 수 있었다. 설계된 I/O는 0.25um CMOS 공정을

이용하여 제작되었으며, 제작된 칩은 측정 장비를 이용하여 성능이 검증되었다.

2. LVDS I/O buffer

LVDS input buffer는 큰 common-mode 전압(0.1V ~ 2.4V)에 대해서 동작되어야 한다. 이것을 만족하기 위해서 level shifter를 이용한 구조[3], 신호의 attenuation을 이용하여 common-mode를 축소시키는 구조[4], 그리고 구조적으로 rail-to-rail common-mode가 가능한 구조[5] 등이 사용되고 있다.

본 논문에서는 그림 1과 같은 새로운 구성을 사용했다.

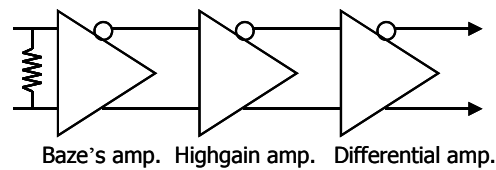


그림 1. Input buffer block diagram

처음 2단은 input buffer의 gain-bandwidth를 늘리기 위해 Bazes's amplifier[6](그림 2)에 high gain amplifier(그림 3)를 negative feedback으로 연결한 구조이다. 후단의 differential amplifier는 single inverter에 비해 PVT의 변화에 따른 threshold 전압의 변화가 적은 특성을 지닌다.

일반적으로 LVDS output buffer는 일정한 common-mode 전압(1.2V)과 output 전류(4mA)를 유지하는 기능을 요구한다[1]. Output buffer는 크게 main-driver와 pre-driver로 구성되어 있다(그림 4).

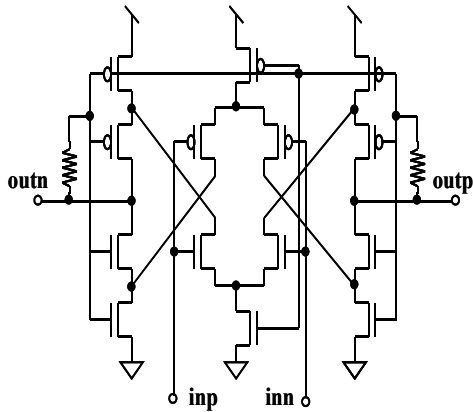


그림 2. Baze's amp.

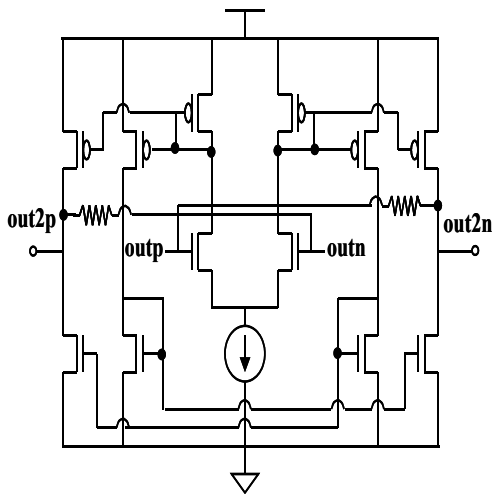


그림 3. High gain amp.

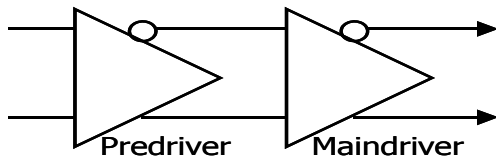


그림 4. Output buffer block diagram

본 연구에서 구현된 main-driver는 [2]에 제시된 형태의 output buffer에서 common-mode feedback 회로 부분이 개선된 구조이다(그림 5). Common-mode feedback 저항 대신 두 개의 NMOS pair로 구성되어 있다. 또한 [4]에서 제안된 구조와는 달리 외부저항이 필요하지 않다. Pre-driver는 불필요한 swing폭을 줄여 pre-driver 자체 크기를 줄이고 속도를 향

상시키기 위해 사용하였으며 구조는 그림 6과 같다[6]. Pre-driver bias 회로로는 replica bias를 사용하였다.

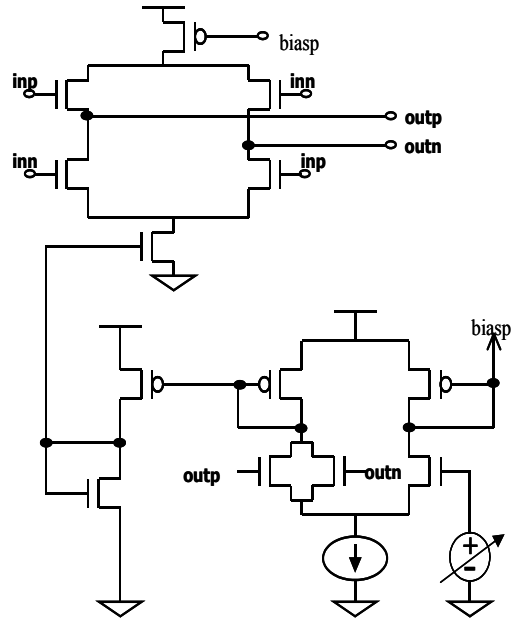


그림 5. Maindriver

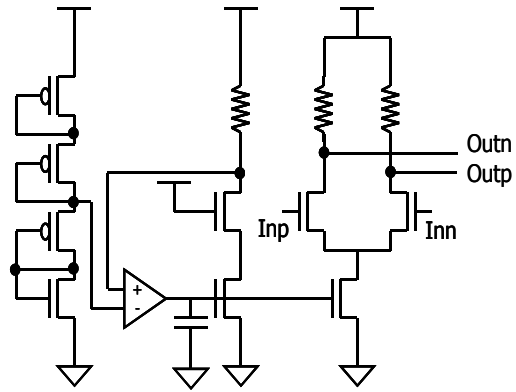


그림 6. Predriver

3. Experiment Results

제작된 칩은 그림 7과 같다. Input buffer의 경우 그림 8과 같은 setup을 통하여 성능을 검증하였다. Open drain output buffer를 사용한 이유는 외부에 특별한 termination 없이 사용할 수 있으며 Gbps 급 속도까지 가능하기 때문이다.

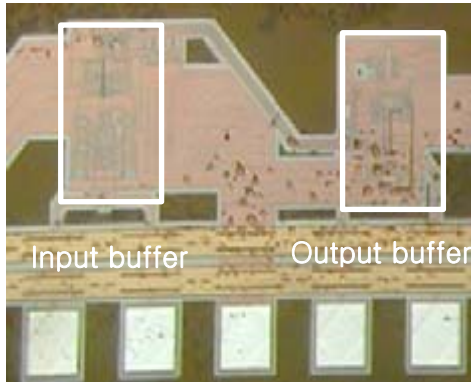


그림 7. 제작한 Chip의 내부 사진

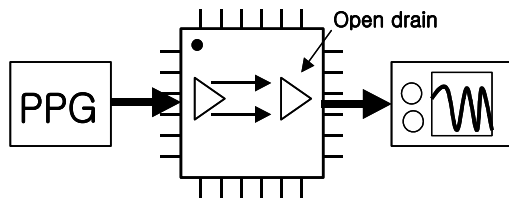


그림 8. Input buffer experiment setup

100mV의 PPG출력으로도 0.1~2.4V의 common-mode에 대해서 3Gbps까지의 동작을 확인하였다. 그림 9는 3Gbps의 신호가 input buffer와 open drain buffer를 통과한 후의 파형을 보여준다. "11001010"의 input sequence가 정확하게 출력되고 있고 이로부터 input buffer가 동작함을 확인할 수 있다. 출력 파형의 swing 폭이 충분하지 않은 것은 신호속도가 open drain buffer 대역폭을 넘기 때문이다.

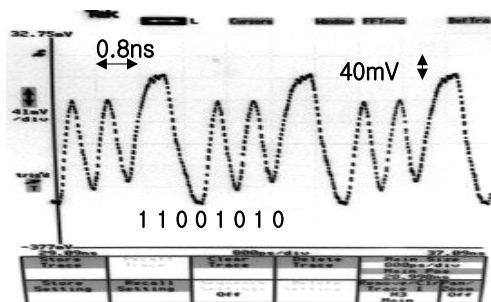


그림 9. Open drain buffer output waveform

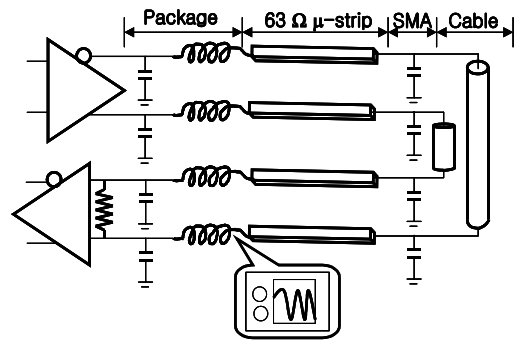


그림 10 Output Buffer Experiment Setup

그림 11은 output buffer의 common-mode control 전압에 따른 output common-mode 전압과의 관계 그래프이다.

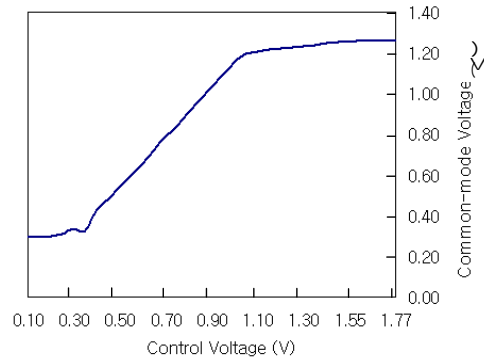


그림 11 Control 전압에 따른 common-mode 전압의 변화

Output buffer가 올바르게 동작하는 구간은 0.8V이상의 control 전압이며 선형적인 부분에서는 0.1V정도의 offset을 가지고 있다. 또한 1.1V이상의 구간에서는 선형성이 깨지는데 이는 output buffer 구조 자체의 문제로 2.5V를 전원으로 사용하는 구조에서는 피할 수 없는 문제이다.

실험 구성은 그림 10과 같고 data로는 "11001010"의 연속적인 sequence를 사용하였다. 측정 결과(그림 12)는 2Gbps의 신호가 output buffer에서 6cm의 micro-strip을 거쳐 input buffer로 들어가 직전의 신호를 3Ghz의 bandwidth를 갖는 real time oscilloscope를 이용하여 측정한 것이다.

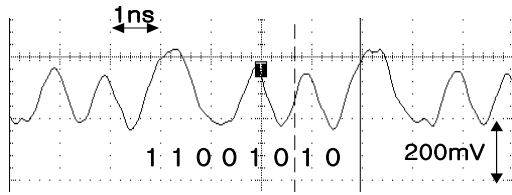


그림 12. Output buffer waveform @ 2Gbps

제작된 칩의 BER 측정은 LVDS I/O를 지원하는 Agilent 81250 PBERT를 이용하여 그림 13과 같은 setup을 통해 성능을 검증하였으며, 2.5Gbps까지 에러가 발생하지 않았다.

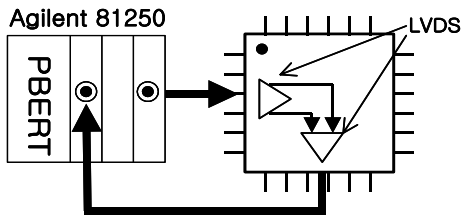


그림 13. I/O experiment setup

이상의 LVDS I/O 성능 측정을 정리하면 표1과 같다.

표 1. LVDS I/O 성능

	Tx	Rx
Power	45mW	55mW
Max. Speed	2Gbps	3Gbps
C.M. range	1.2V	0.1V - 2.4V
Sensitivity	-	50mV (측정장비의 한계)

4. 결론

본 논문에서는 2Gbps급 CMOS LVDS I/O interface 회로에 대해 살펴보았다. Input buffer의 경우 서로 다른 특성을 지닌 amplifier의 조합과 negative feedback을 통해 3Gbps의 대역폭을 갖는 buffer를 설계하였으며 output buffer의 경우 큰 저항을 이용한 common-mode feedback을 NMOS로 대체하여 면적을 최소화했다. 제작된 칩의 전체면적은 I/O 각각 0.029mm^2 , 0.04mm^2 이다.

설계된 회로는 ANSI/TIA/EIA-644 standard 에 제시된 655Mbps 대역폭을 충

분히 만족시킬 수 있는 성능이며 SoC나 ASIC의 IP로 충분히 활용될 수 있다.

* 본 연구는 과기부/산자부 "System 2010 Project" 및 ETRI "Gbps급 High Speed I/O에 관한 연구" 지원으로 수행되었음.

참고 문헌

- [1] IEEE Standard for Low-Voltage Differential Signaling (LVDS) for Scalable Coherent Interface (SCI), 1596.3 SCI-LVDS Standard, IEEE Std. 1596.3-1996, 1996.
- [2] Andrea Boni, *et al.* "LVDS I/O interface for Gb/s-per-Pin Operation in 0.35um CMOS" IEEE J. Solid-State Circuits, Vol 36, pp706-711, April 2001.
- [3] B. Young, "An SOI CMOS LVDS Driver and Receiver Pair", Symposium on VLSI Circuits, 2001. Digest of Technical Papers, 2001.
- [4] T. Gabara, *et al.* "LVDS I/O Buffers with a Controlled Reference Circuit" in Proc. ASIC Conf., Sept 1997, pp. 311-315.
- [5] M. Bazes, *et al.* "Two Novel Fully Complementary Self-biased CMOS Differential Amplifiers", IEEE J. Solid-State Circuits, vol. 26, pp165-168. Feb, 1991.
- [6] William J. Dally, John W. Poulton, "Digital Systems Engineering" , Cambridge, 1998.