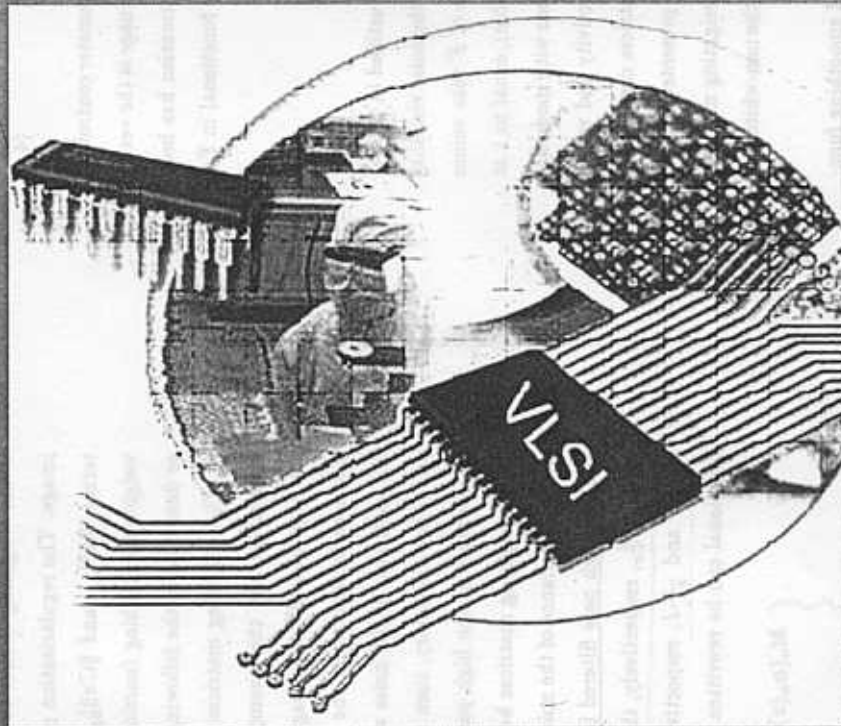


# 2001 SOC Design Conference

Volume I

- 일시 : 2001년 11월 22일(목) ~23일(금)
- 장소 : 서울대학교 호암컨벤션센터



- 주최 : 대한전자공학회 CAD 및 VLSI 설계 연구회
- 주관 : 삼성전자(주) System LSI 사업부  
대한전자공학회 반도체 Society



사단  
법인 **대한전자공학회**  
The Institute of Electronics Engineers of Korea

# CMOS Clock and Data Recovery for Gb/s Deserializer

이승우, 최우영

연세대학교 전기·전자공학과

서울시 서대문구 신촌동 134번지

Tel : 02-2123-2874 Fax : 02-312-4584

Email : beewoo@tera.yonsei.ac.kr

## 요 약

본 논문에서는 새로운 구조의 클럭 및 데이터 복원 회로를 제안하였다. 제안한 회로는 CDR(Clock and Data Recovery) 모듈과 PLL(Phase Locked Loop)로 나뉘며, CDR 모듈은 입력 데이터의 지터에 따라 클럭의 위상을 보정하여 최적의 샘플링 시점에서 데이터를 복원하도록 설계하였다. 제안한 회로는 0.35 $\mu$ m CMOS 공정을 이용하여 제작되었으며, 제작된 칩은 측정을 통해 성능을 검증하였으며, 측정 결과, PLL은 100MHz에서 약 22.5ps의 rms 지터를 갖고, CDR 모듈은 800Mbps에서 약  $\pm 0.2$ UI 이상의 데이터 지터에도 안정적으로 동작한다.

## 1. 서 론

최근 데이터 통신 시스템의 경향은 데이터 전송의 고속화와 집적화에 초점을 맞추고 있으며, 이러한 경향을 잘 나타내는 논문들이 발표되고 있는 실정이다. [1~3] 데이터 전송 시스템은 고속의 데이터 전송과 더불어 데이터에 동기된 클럭을 필요로 한다. 그러나, 고속의 대용량 데이터를 전송하는 시스템에서 부하를 줄이기 위해 클럭 신호 없이 데이터만을 전송하고, 전송된 데이터를 이용하여 동기된 클럭을 추출하는 방법을 이용한다. 이러한 역할을 수행하는 것이 바로 클럭 및 데이터 복원 회로이다. 클럭 및 데이터 복원 회로는 크게 클럭을 복원하는 부분과 복원된 클럭을 이용하여 데이터를 복원하는 두 부분으로 나뉜다. 이 중 클럭을 복원하는 부분은 크게 두 가지 방식으로 나눌 수 있다. 먼저, 입력된 데이터를 직접 PLL의 하나의 입력으로 사용하여 동기된 클럭을 추출하는 방식이 있다. [4] 또 다른 방식으로는 정해진 시스템 클럭을 PLL의 입력으로 이용하는 방식이 있다. [5] 첫 번째 방식의 경우, 가장 일반적으로 사용하는 방법이지만, 여러 채널의 데이터를 전송하는 경우 PLL의 루프 필터의 면적이 크기 때문에 적합하지 않다. 또한, 연속적

인 로직 '0' 또는 '1'의 데이터 입력이 인가될 경우 PLL이 안정적인 클럭을 제공하지 못하는 단점이 있다. 두 번째 방식의 경우, 시스템 클럭을 PLL에 인가하여 안정적인 클럭을 제공하고, 입력 데이터를 이용하여 복원 클럭의 위상을 제어하는 방식이다. 이 경우 하나의 PLL만을 이용하여 면적이 감소하고, 여러 채널의 데이터 전송이 가능하여 첫 번째 방식의 단점을 극복할 수 있다. 또한, 입력 데이터에 의해 복원 클럭의 위상이 제어되기 때문에 연속적인 '0' 또는 '1'의 데이터에도 안정적인 클럭 추출 및 데이터 복원이 가능하다. 본 연구는 두 번째 방식의 개념을 도입하여 클럭 및 데이터 복원 회로를 구성하였으며, 입력 데이터 지터에 대한 허용오차 (jitter tolerance) 향상에 초점을 맞췄다. 본 논문에서 제안한 회로는 0.35 $\mu$ m CMOS 공정을 이용하여 설계하였으며, 제작된 칩은 측정 장비를 이용하여 성능을 검증하였다.

## 2. 새로운 클럭 복원 회로

클럭 및 데이터 복원의 가장 중요한 동작은 입력 데이터로부터 위상과 주파수 정보를 얻어내어 정렬된 클럭을 만들어내고, 이 클럭을 이용하여 데이터를 복원하는 것이다. 회로 내에 존재하는 잡음과 설계상의 오차는 클럭의 지터와 정적위상오차 (static phase offset) 등을 발생시키며, 이는 송신단에서 출력 데이터의 지터를 유발시키는 원인이 된다. 결국, 채널을 통해 전달된 데이터는 수신단에서 천이시점을 확실하게 만들어 PLL를 이용한 클럭 복원의 성능을 떨어뜨린다. 클럭 추출 및 데이터 복원 회로는 지터에 의해 불안정한 데이터를 처리할 수 있는 능력을 지녀야 하며, 본 논문에서는 이와 같은 기능을 수행하는 새로운 방식의 클럭 및 데이터 복원 회로를 제안하고자 한다.

본 논문에서는 서론에서 설명한 두 가지 방식 중 외부 클럭을 이용하는 방식을 채택하여 PLL로부터 클럭의 주파수 정보를 추출

하고, 새로운 구조의 CDR 모듈을 제안하여 입력 데이터로부터 위상 정보를 얻는 방법을 취하였다.[6] 이는 입력 데이터의 지터에 빠르게 반응할 뿐만 아니라, 하나의 PLL만을 이용하여 다중 채널을 갖는 클럭 및 데이터 복원 유닛을 구성할 수 있다는 장점을 갖고 있다. CDR 모듈은 PLL 내의 VCO와 동일한 구조를 사용하며, 제어 전압 신호를 공유하여 PLL과 동일한 주파수에서 동작하도록 한다. 이렇게 PLL로부터 클럭의 주파수 정보를 얻는 CDR 모듈은 입력 데이터의 천이 시점에 따라 클럭의 위상을 보정하여 데이터의 천이(transition) 시점에서 반주기( $T/2$ ,  $T$ 는 데이터 비트율(bit rate)) 뒤 에 샘플링한다. 기본적인 개념을 나타낸 타이밍도를 그림 1에 나타내었다. 입력 데이터에 지터가 없는 경우, 데이터 eye의 중앙에 클럭의 샘플링 시점이 오도록 하며, 이는 데이터의 천이가 발생한 후  $T/2$  시간 후에 일어나도록 하는 것이다.[그림1(a)] 하지만, 입력 데이터에 지터가 발생할 경우, 데이터는 위상 변화가 생기고, 클럭은 데이터의 위상 변화에 빠르게 반응하여 데이터의 천이 시점에서 반주기 후에 샘플링 시점을 유지하도록 한다.[그림1(b)]

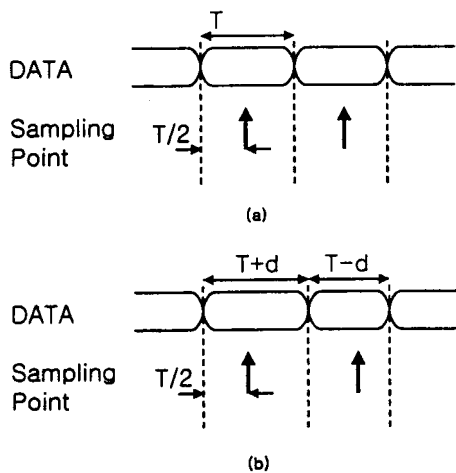


그림 1. 데이터 복원을 위한 기본적인 타이밍도

본 논문에서는 고속의 직렬 데이터를 병렬 데이터로 변환하는 기능도 동시에 수행하도록 하였다. 이를 위해 하나의 클럭을 이용하여 데이터를 복원하지 않고, 다중 클럭을 사용하였다. 다중 클럭은 여러 단으로 구성된 링 구조 오실레이터의 각 단의 출력

클럭을 이용한다. 각 클럭은 데이터 전송 속도인  $T$ 와 동일한 지연 시간을 갖는다. 이러한 변환은 속도가 느린 병렬 데이터를 제공하여 디지털 로직 부분의 전송 속도에 대한 부담을 줄여주기 위한 것이다.

그림 1의 기본적인 개념의 타이밍도를 구현하기 위하여 그림 2와 같은 회로를 제안하였다. 이 회로를 한 단으로 구성하여 전체 4단의 링 구조 오실레이터를 만든다. 이렇게 구성된 회로는 CDR 모듈의 CG 블록으로 쓰이며, PLL에서는 VCO 역할을 한다. 본 회로를 설명하기 위한 상세한 타이밍도를 그림 3에 나타내었다.

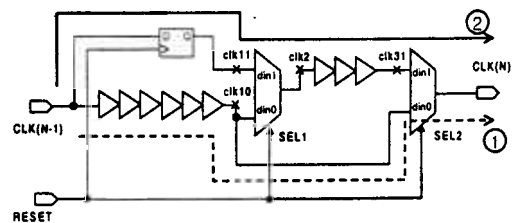


그림 2. 본 논문에서 제안한 회로도

제안한 회로의 동작은 다음과 같다. 먼저, 리셋 신호는 데이터의 상승 또는 하강 시점에서 발생하고, 데이터의 비트율과 동일한 펄스 폭을 갖는다. 이를 위해서, 데이터의 상승 시점 또는 하강 시점 중에 하나의 상태에서 분주한 신호와 이 신호의 한 주기 지연된 신호로 XOR를 수행한다. 리셋 신호가 로직 '0'일 때, MUX1과 MUX2는 입력  $din0$ 를 선택하게 되고, 경로 ①을 통해 클럭  $CLK[k-1]$ 이 전달되며, 지연 시간은 지연소자와 MUX2를 거쳐서 데이터의 비트율과 동일한  $T$ 이다. 반면, 리셋 신호가 로직 '1'일 때, MUX1과 MUX2는 입력  $din1$ 을 선택하게 되고, 경로 ②를 거쳐 클럭  $CLK[k-1]$ 이 클럭  $CLK[k]$ 로 전달된다. 클럭  $CLK[k-1]$ 은 래치를 거쳐 MUX1의 출력  $clk2$ 로 나오며, MUX1과 지연소자, MUX2를 거쳐 지연 시간  $T/2$  후에 클럭  $CLK[k]$ 로 전달된다. 결국, 리셋 신호가 로직 '0'에서 로직 '1'이 된 후, 클럭  $CLK[k-1]$ 은  $T/2$  지연 시간 후에  $CLK[k]$ 로 전달됨을 의미한다. 래치는 리셋 신호가 로직 '0'일 때는 버퍼의 역할을 하고, 로직 '1'일 때는 그 상태의 값을 저장하여 유지한다. 따라서, 리셋 신호가 로직 '0'에서 로직 '1'로 변하는 시점의 클럭  $CLK[k-1]$ 의 상태를 일정하게 유지하여 반주기 후에

CLK[k]로 전달한다. 또한, 래치를 사용하기 때문에 클럭 발생회로의 각 단은 일정한 로직을 유지하고, 클럭 CLK[k-1]이 클럭 CLK[k]로 전달된 후에도 다음 단의 클럭 CLK[k+1]에는 영향을 미치지 않는다.

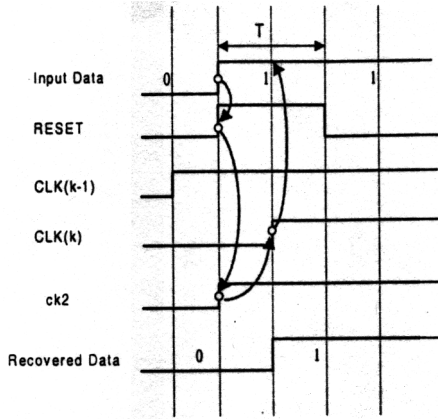
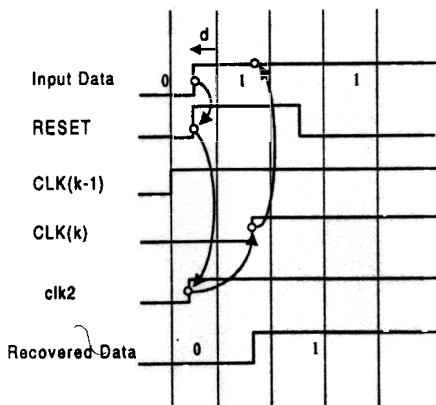
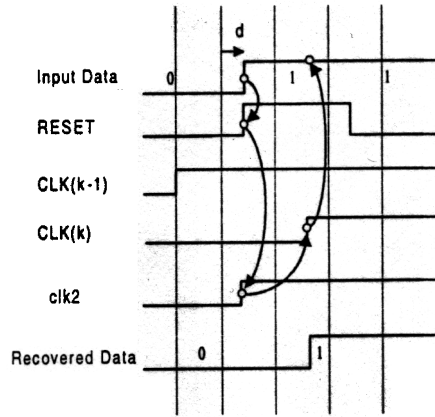


그림 3. 제안한 방식의 회로도

제안한 회로는 입력 데이터에 지터가 발생하여 데이터의 천이 시점의 위상이  $\pm d$ 만큼 변하는 경우에도 데이터 천이가 발생한 후  $T/2$  지연 시간 뒤에 클럭이 전달된다. 이에 관한 타이밍도를 그림 4에 나타내었다. 그림 4(a)는 지터가 없는 경우보다 앞서서 데이터의 천이가 발생하는 경우이고, 그림 4(b)는 데이터의 천이가 시간적으로 뒤에서 발생하는 경우이다. 앞에서 상세히 설명한 바와 같이 리셋 신호는 강제로 CLK[k-1]을 clk2로 전달하고, clk2는  $T/2$  후에 CLK[k]로 전달된다. 따라서, 데이터의 천이 시점을 알려주는 리셋 신호에 의해 클럭의 전달 시점이 조절되며, 최적의 샘플링 시점인  $T/2$ 를 유지하도록 한다.



(a)



(b)

그림 4. 데이터에 지터가 발생하여 위상 변화가 생긴 경우의 타이밍도

- (a) 데이터의 위상이  $d$ 만큼 변한 경우
- (b) 데이터의 위상이  $-d$ 만큼 변한 경우

### 3. 제안한 구조의 설계

그림 2의 회로를 이용하여, 본 논문에서 구현한 구조의 클럭 및 데이터 복원 회로는 그림 5와 같다. 회로는 CDR 모듈과 PLL로 나뉘며, 다시 CDR 모듈은 크게 CG 블록과 RG 블록의 두 개의 블록으로 나뉜다. CG 블록은 그림 2의 회로를 한 단으로 하여 전체 4단으로 된 링 구조를 이룬다. CDR 모듈은 차동 회로로 설계하였으며, 이는 높은 CMRR 특성을 갖기 때문에 온도, 공정 상의 파라미터 변화 및 전원 잡음 등의 회로에 미치는 외부적인 요인들에 대해 안정성이 뛰어난 장점이 있다.

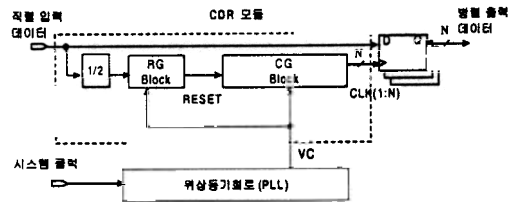


그림 5. 제안한 클럭 및 데이터 복원 회로도

#### 3-1 CG 블록의 설계

CG 블록의 한 단내에는 그림 2와 같이 인버터들과 2개의 MUX와 1개의 래치 회로가

사용된다. 본 논문에서는 일반적인 형태의 차동 인버터만을 사용한 링 오실레이터가 아닌 MUX를 첨가한 새로운 구조의 링 오실레이터를 사용하였다. MUX의 SEL 신호가 로직 '0'일 때이며, CG 블록이 PLL과 같은 주파수를 얻는 링 오실레이터 형태를 이루며, 경로 ①을 CG 블록 한 단의 지연 시간으로 계산하고, SEL 신호가 1일 경우에는 경로 ②를 지연 시간으로 계산한다.

$$t_a = t_{d1} + t_m \times 2 + t_{buf}$$

$$t_b = t_{d2} + t_m \times 2 + t_{buf}$$

위의 식에서  $t_{d1}$ 과  $t_{d2}$ 는 인버터들의 지연 시간을,  $t_m$ 은 MUX의 지연 시간,  $t_{buf}$ 는 클럭 버퍼의 지연 시간을 나타낸다. 첫 번째 지연 소자 블록에 8개의 차동 인버터를 사용할 경우, 차동 인버터의 지연 시간을  $\Delta$ 라고 하면, CG 블록 한 단의 지연 시간은  $11\Delta$ 가 된다. 또한, 두 번째 지연 소자 블록에 3개의 차동 인버터를 사용할 때, 래치를 이용하여 클럭을 샘플링하는 경로의 경우 (경로 ②), 약  $5.6\Delta$ 가 소요되며, 이는 거의 반주기에 해당하는 값이다. 결국, 한 단의 지연 시간은  $11\Delta$ 이고, 동작 데이터 속도가 1.0Gbps (=1nsec)일 경우, 차동 인버터의 지연 시간인  $\Delta$ 는 약 91ps가 되도록 설계하였다.

### 3-2 RG 블록의 설계

그림 6은 RG 블록의 회로도이다. RG 블록은 데이터 비트율에 해당하는 펄스 폭의 리셋 신호를 생성하는 회로이다. 데이터 비트율과 동일한 펄스 폭인 T를 갖기 위해 XOR를 이용한다. XOR의 한 입력은 데이터 입력을 연결하고, 다른 입력은 데이터 입력을 펄스 폭만큼 지연시킨 신호를 연결한다. 이 때, 사용하는 지연 회로는 CG 블록내의 한 단과 동일한 회로들로 구성된다.

데이터는 RG 블록의 입력으로 들어가기 전에 분주기를 통과한다. 이는 데이터 비트율에 해당하는 펄스 폭을 갖는 리셋 신호를 만들기 위해 2분주 회로를 통과하여 데이터의 상승 시점 또는 하강 시점에서만 리셋 신호를 발생시키게 된다. 2분주 회로의 기본적인 방식인 D-플립플롭의 출력을 입력과 연결하고, 클럭 입력 부분에 입력 데이터를 연결하여 구성하였다.

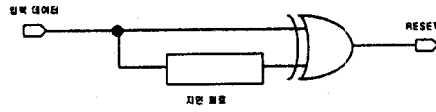


그림 6. RG 블록의 회로도

### 3-3 PLL

위상 동기 회로는 일반적인 구조를 사용하였다. 일반적으로 PFD, 전하 펌프, 전압 제어 발진기, 분주기 등으로 구성된다. PFD는 두 신호의 위상 차이를 비교하여 이 차이만큼의 전압을 발생시키는 역할을 한다. 이 전압 차이는 전하 펌프에 의해 전류량으로 변환되며, 루프 필터는 위상 차이를 누적하게 된다. 이는 제어 전압을 통해 VCO에 전달되며, VCO의 클럭 주파수를 조절하게 된다. 본 논문에서 사용한 PLL의 특징은 VCO가 CDR 모듈의 CG 블록과 동일하다는 것이다. 이는 PLL의 동기된 주파수 정보를 CDR모듈에 전달하기 위해 제어전압 신호를 사용하여 동일한 주파수에서 CDR 모듈과 PLL이 동작하도록 하기 위해서이다.

본 논문에서는 2차 루프 필터를 이용하여 3차의 PLL을 구성하였다. 2차 루프 필터를 구성한 결과, 저항 및 캐패시터의 값은 각각  $583\Omega$ 과  $200pF$  및  $20pF$ 을 사용하였다. 이 때의 루프 대역폭은 3.98MHz이고, 감쇄 상수는 0.707이다. VCO의 이득은 20MHz/V이고, 전하 펌프의 전류는 1mA이다.

그림 7은 PLL의 VCO 출력과 제어 전압의 관계를 회로 시뮬레이션을 통해 나타낸 것이다. 제어 전압이 0.5~2.5V 범위에서 변할 때, VCO 출력은 104~144MHz이다. 본 논문에서 제안한 회로는 그림 2의 회로를 4단으로 구성하며, PLL에도 동일한 회로가 VCO 역할을 수행함을 언급한 바 있다. 따라서, PLL의 출력 클럭은 데이터의 전송 속도에 비해 8배 느리다. 그림 7의 결과를 입력 데이터의 전송 속도로 변환할 경우, 약 0.83~1.15GHz의 단일 클럭을 사용하는 것과 동일하다. 그림 8은 PLL의 동기 과정을 회로 시뮬레이션을 통해 나타낸 예이다. 온도는  $80^\circ C$ 이고, 125MHz에서 동기된 것이다.



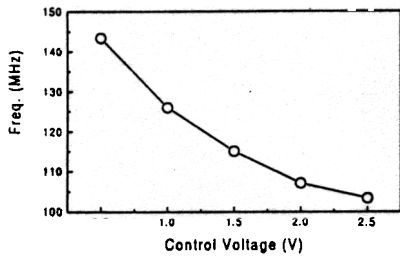


그림 7. VCO 출력과 제어 전압의 관계

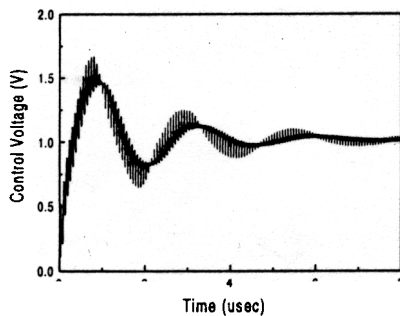


그림 8. PLL의 동기 과정 (@125MHz)

#### 4. 측정 결과 및 토의

본 연구에서 제안한 회로는 0.35 $\mu$ m CMOS 공정을 이용하여 제작되었다. 제작된 칩은 52핀을 갖는 PTQFP의 패키지를 사용하였다. 그림 9는 제작된 칩의 내부 사진이며, 전체 크기는 2.75 $\times$ 2.75mm<sup>2</sup>이다. PLL은 측정 결과, 83.75~137.5MHz의 범위에서 동기된다. 그림 10은 100MHz에서 동기된 PLL의 출력 클럭의 지터를 나타낸 것이다.

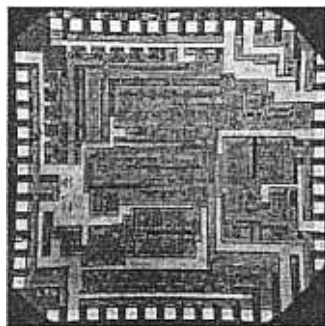


그림 9. 제작한 칩의 내부 사진

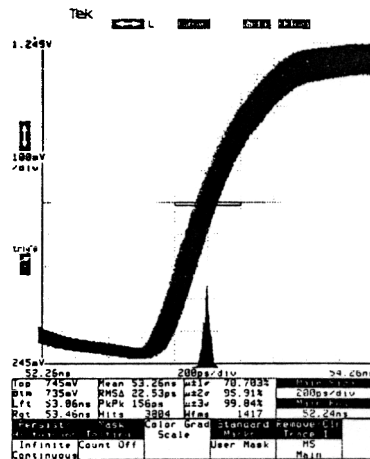


그림 10. PLL 출력 클럭의 rms 지터 (@ 112.5MHz)

CDR 모듈의 성능을 검증하기 위하여 800Mbps의 데이터 속도를 갖는 직렬 2<sup>7</sup>-1의 NRZ 데이터를 인가하여 병렬 데이터로 변환되는 과정을 로직 분석기를 이용하여 측정하였다. 그림 11에서 알 수 있듯이 직렬 데이터는 논리적으로 올바르게 병렬 데이터로 변환되었다. 다음으로 입력 데이터에 지터를 첨가하기 위한 방법으로써, 데이터의 클럭을 주파수 변조(FM)시켜서 인가하였다. 주파수 변조는 장비 특성상 최대  $\pm 0.2UI$ 까지 가능하며 이를 인가하여, 직렬 데이터와 병렬 데이터의 변환 관계를 나타낸 것이 그림 12이다. 병렬 데이터는 로직 분석기의 데이터 샘플링 속도와 지터에 의해 시간적 오차를 보이지만, 논리적으로 데이터의 변환 관계를 살펴보기에 충분하다고 판단된다.

표 1. 제작된 칩의 사양

전원	+3.3 V 단일 전원
PLL 동기 범위	83.75~137.5MHz
CDR 입력 범위	670~1,100Mbps
칩 면적	2.75 $\times$ 2.75mm <sup>2</sup>
전력 소모	1.65W (칩 전체)
제작 공정	0.35 $\mu$ m CMOS 1Poly-4Metal
입력지터 허용	$\pm 0.2UI$

표1은 본 논문에서 제안한 칩의 사양을 나타낸 것이다.

본 논문에서 제안한 새로운 구조의 데이터 복원 회로는 느린 클럭을 제공하는 PLL을 이용하여 고속의 데이터 전송이 가능하고, 직렬 데이터를 병렬 데이터로 변환시킬 수 있다. 측정 결과, 최소한  $\pm 0.2UI$ 의 입력 데이터 지터를 흡수할 수 있으며, 이는 속도를 높일 경우, Gigabit Ethernet, ATM, Fiber Channel등에서 데이터 복원을 위한 유닛으로 사용할 수 있다고 생각된다.

### 참고 문헌

[1] C. Li and H. Stone, "Differential Board/Backplane Optical Interconnects for High-Speed Digital Systems Part I: Theory," IEEE JLT, Vol. 11, No. 7, pp. 1234~1249, July 1993.

[2] N. McKeown, *et al*, "Tiny Tera: A

Packet Switch Core," IEEE Micro, Vol. 17, No. 1, pp. 26~33, Jan. 1997.

[3] Shao, Z. *et al*, "High speed parallel data transmission modules for optical data links," APCC/OECC '99, pp. 394 -396 vol.1, 1999.

[4] Djahanshahi, H. and Salama, C, "Differential CMOS circuits for 622-MHz /933-MHz clock and data recovery applications," IEEE JSSCC, Vol. 35 (6), pp. 847 -855, June 2000.

[5] C.K.K Yang, *et al*, "A 0.5um CMOS 4.0Gbit/s Serial Link Transceiver with Data Recovery Using Oversampling," IEEE JSSCC, Vol. 33, No. 5, pp.713-722, May 1998.

[6] 이승우, 최우영, 출원번호: 10-2001-0029972, 2001년

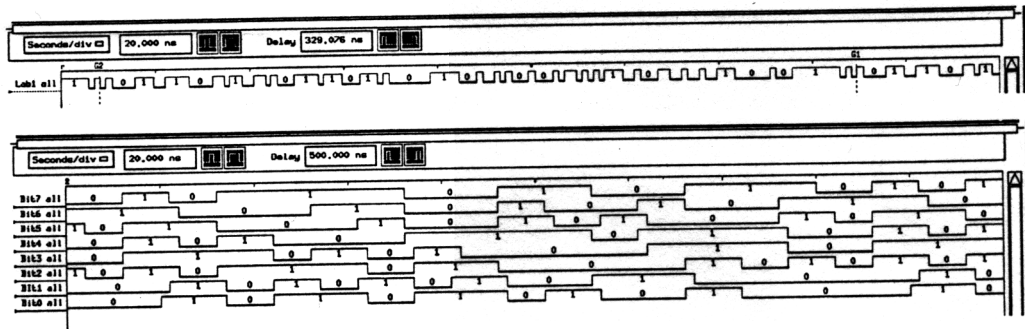


그림 11. 직렬-병렬 데이터 변환 관계(1)  
(임의의 지터가 없는 경우)

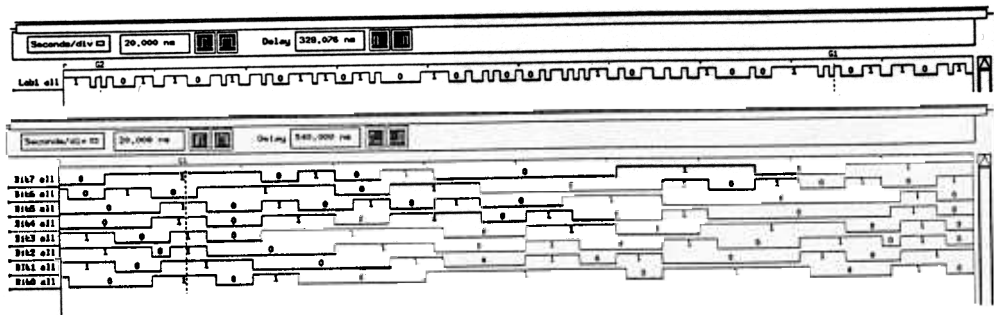


그림 12. 직렬-병렬 데이터 변환 관계(2)  
(임의의 지터가 있는 경우)