

10GHz급 GaAs MESFET 위상 동기 회로 설계

정태식*, 최우영*, 이범철**, 최은창**

*연세대학교 전기·컴퓨터 공학과, **한국전자통신연구원 고속 스위치 팀

서 론: 통신 시스템이 고속화·대용량화함에 따라 수Gbps급 이상의 전송률을 갖는 직렬(serial) 전송 시스템에 대한 관심이 높아지고 있다.[1] 직렬 전송 방식은 N개의 병렬 데이터를 직렬화(serialization)하여 단일 채널로 전송하고 수신단에서는 데이터로부터 클럭을 추출하여 데이터를 복원하는 방식으로, ATM 스위치 등과 같이 여러 개의 전송 링크가 사용되는 시스템에서 비용 절감 및 시스템 복잡도 개선을 위해 사용된다. 직렬 전송 시스템의 송·수신단에는 각각 N개의 데이터를 직렬화 하는데 필요한 클럭 신호와 직렬화된 데이터를 복원하는데 필요한 클럭 신호가 필요하다. 일반적으로 이들 클럭 신호는 위상 동기 회로(phase-locked loops; PLL)를 사용하여 시스템 클럭을 N 배배하여 생성시키게 된다. 직렬 전송 시스템의 전송률을 10Gbps급으로 증가시키기 위해서는 10GHz대역의 클럭 신호를 생성할 수 있는 PLL에 대한 연구가 선행되어야만 한다. 따라서, 본 논문에서는 10Gbps급 직렬 전송 시스템을 위한 10GHz급 0.5 μ m GaAs MESFET PLL을 제안하고, HSPICE 시뮬레이션을 통해 그 성능을 분석한다.

VCO: 전압 제어 발진기(VCO)는 집적화, 비용, 재현성 등을 고려하여 링 발진기(ring oscillator) 구조를 채택하였다. 0.5 μ m GaAs MESFET 공정으로 설계된 링 발진기의 최대 발진 주파수는 HSPICE 시뮬레이션을 통해 분석한 결과 약 8.5GHz로서 본 논문에서 목표로 하는 10GHz에 미치지 못하며 기생 효과를 고려한다면 최대 발진 주파수는 이보다 더욱 낮아진다. 따라서, 10GHz의 매우 높은 주파수를 얻기 위해서는 새로운 방식이 도입되어야 한다.

그림 1은 제안된 VCO의 블록도이고 그림 2와 그림 3은 각각 주 발진 루프와 차동 증폭부이다. 주 발진 루프는 2단 차동(differential) 링 발진기의 형태로 되어 있고 약 5GHz의 발진 주파수를 출력한다. 이 때, 링 발진기를 구성하는 두 차동 인버터의 공통-소오스(common-source)에서의 출력 OP, ON은 공통-소오스 단에서 나타나는 주파수 체배 효과에 의해 주 발진 루프의 출력(N1, N2)보다 2배 높은 주파수를 출력하게 되고 이를 차동 증폭하여 최종 출력을 얻는다. 차동 증폭 회로는 5단으로 구성되어 있고 common-mode feedback loop(CMFL)를 이용하여 출력의 바이어스를 일정하게 유지시키고 출력 레벨은 차동 ECL레벨이 되도록 하였다. 제안된 방식의 타당성은 0.6 μ m CMOS 공정을 이용하여 검증한 바 있으며[2], 참고 문헌[3]에서는 0.5 μ m GaAs MESFET 공정으로 설계된 제안된 VCO의 특성을

분석하였다. Post-layout 시뮬레이션 결과, 제안된 VCO는 -1.6V~-0.4V의 제어 전압(VC)에 대해 주 발진 루프의 출력은 4.48GHz~5.07GHz이고 VCO 출력은 8.95GHz~10.13GHz로서 VCO 이득은 약 983MHz/V이다.

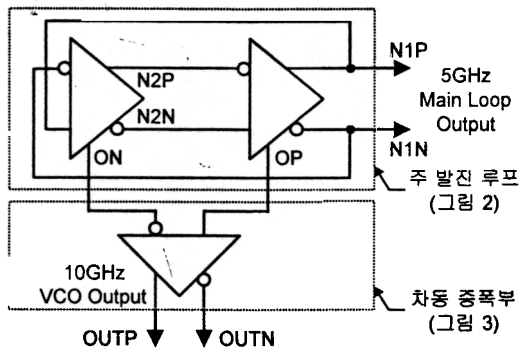
설 계: 그림 4는 10GHz급 PLL의 블록도이고 그림 5는 레이아웃 결과이다. PFD와 주파수 분주기(1/16)는 차동 로직으로 설계되었으며 일반적인 구조를 사용하였다.[1] 전하 펌프 회로 역시 차동 구조로 설계되었는데, 출력의 누설을 방지하기 위한 새로운 구조가 포함되어 있다.[4] 제안된 PLL은 312.5MHz의 기준 입력 신호를 받아서 VCO의 주 발진 루프의 출력(N1P, N1N)이 입력에 동기되어 5GHz의 발진 주파수를 출력하게 되고, 이 때 VCO의 출력은 10GHz가 되도록 구성되어 있다. 제안된 회로는 0.5 μ m GaAs MESFET 공정 파라미터를 이용하여 설계되었으며, +3.3V/-2.0V의 전원을 사용하고 루프 필터는 GND(0V)에 연결된다. 루프 필터는 40pF의 커패시터와 3300 Ω 의 저항을 사용하여 1차 필터로 구성하였으며, 부가적으로 4pF의 커패시터도 내장하여 2차 루프 필터 구성도 가능하도록 설계하였다. 루프 필터의 값은 PLL의 폐루프(closed-loop) 전달 함수의 감쇄 계수(damping factor; ζ)가 약 0.707이 되도록 결정하였으며, 이 때 루프 대역폭(loop bandwidth; ω_{3dB})은 3.52MHz이다.[5]

시뮬레이션 결과 및 고찰: 그림 6은 제안된 PLL의 pull-in 특성 분석을 위해 VCO의 제어 전압(VC)을 나타낸 것이다. 입력은 5GHz의 1/16인 312.5MHz의 차동 ECL 신호를 인가하였고, 30 $^{\circ}$ C의 온도 조건하에서 HSPICE 시뮬레이션을 수행하였다. 그림에서 보는 바와 같이 제안된 PLL은 동기되기까지 약 900ns의 시간이 소요되어 최적화된 pull-in 특성을 보이고 있다. 그림 7은 PLL이 동기된 후의 PFD의 두 입력(R, V)과 주 발진 루프의 출력(N1), 그리고 VCO의 출력을 나타낸 것이다. 그림에서 보는 바와 같이 N1의 주파수는 입력 신호 주파수의 16배인 5GHz이고 VCO 출력의 주파수는 10GHz이다. 또한, R과 V 신호 사이의 정적 위상 오차(static phase error; θ_s)는 0.62 $^{\circ}$ 이고 VCO 출력의 peak-to-peak jitter는 415개의 출력 펄스에 대해 주기를 계산해본 결과 약 0.35ps(0.0035UI)로 나타나 10Gbps급 직렬 전송 시스템용 클럭 발생 회로로 사용될 수 있을 것으로 판단된다.

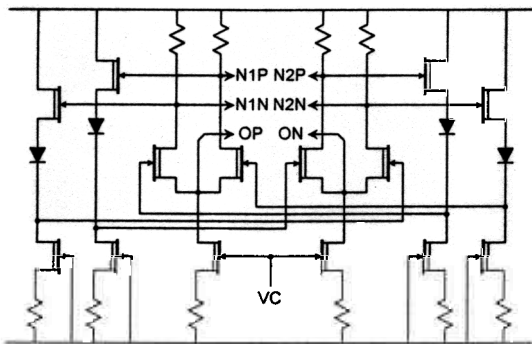
제안된 회로는 현재 제작 중이므로 측정 결과는 추후 발표할 예정이다.

참고문헌:

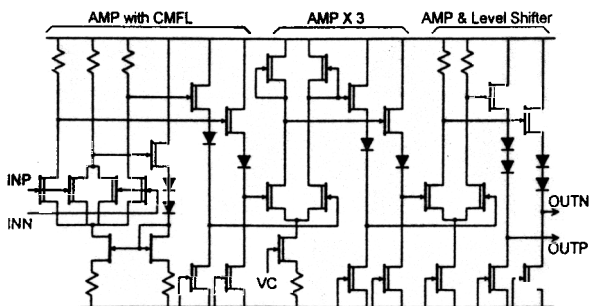
- [1] B. Razavi, *Monolithic phase-locked loops and clock recovery circuits - theory and design*, IEEE Press, 1996.
- [2] 정태식, 최우영, "새로운 구조의 GHz급 CMOS 차동 링 전압 제어 발진기에 관한 연구," 제5회 한국반도체학술대회, p.371, 1998.
- [3] T.S. Cheung et al., "A novel 10GHz-range voltage-controlled differential ring oscillator," ITC-CSCC'98, p.1461, 1998.
- [4] 이범철, 최은창, 정태식, 최우영, "고속으로 동작하는 충전 펌프 장치," 국내특허 출원중, 출원번호: 99-29262, 1999.
- [5] F.M. Gardner, *Phaselock Techniques*, 2nd Ed., New York: Wiley, 1979.



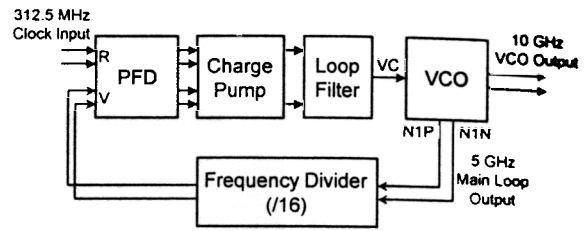
[그림 1] 제안된 VCO의 블록도..



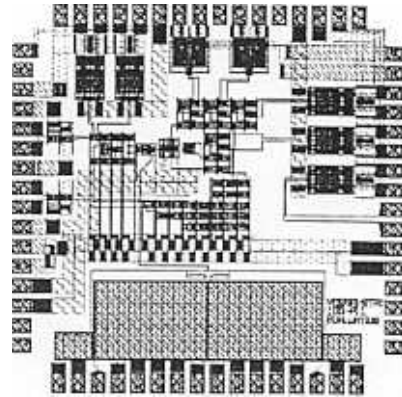
[그림 2] 주 발진 루프 회로.



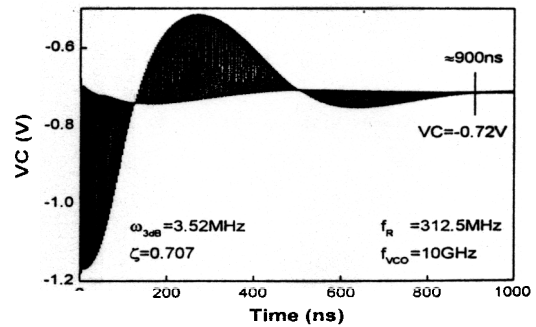
[그림 3] 차동 증폭 회로.



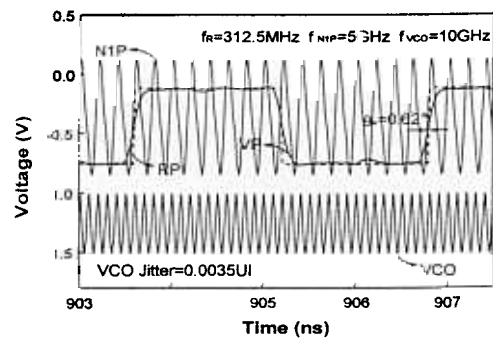
[그림 4] 제안된 10GHz급 PLL의 블록도.



[그림 5] 제안된 PLL의 레이아웃. (2500mm×2500mm)



[그림 6] Pull-in 과정. (VCO의 제어 전압 파형)



[그림 7] 동기된 후의 신호 파형들.