

24

저잡음 특성을 가지는 새로운 구조의 전하펌프 PLL

A Novel Charge-Pump PLL with reduced jitter characteristics

이명수, 정태식, 최우영

연세대학교 전자공학과

요약

본 연구에서는 PLL(Phase Locked Loop)의 잡음 요인들 중 하나인 제어전압의 누설을 막기 위한 새로운 구조의 전하펌프(charge pump)를 제안하여 저잡음 특성을 가지는 PLL을 $0.6\mu\text{m}$ 의 CMOS 공정 파라미터를 이용하여 설계하였으며 시뮬레이션을 통해 성능을 검증하였다. 새로운 구조의 전하펌프는 자기바이어스(self-bias) 기법을 이용하여 전하펌프의 전류경로를 필요에 따라 차단 혹은 도통 시키는 방법으로 전하펌프 출력단에서의 지속적인 전류 누설을 차단했다. 이로 인해 전하펌프는 주파수 발진기의 입력에 안정적인 제어 전압을 공급하여 PLL의 주파수 잡음을 줄일 수 있었다. 또한 항상 전류 경로가 존재하는 기존의 전하펌프에 비해 저전력의 특성도 가지게 된다.

(voltage controlled oscillator)의 제어전압을 증가시키거나 감소시켜서 전압제어발진기의 주파수를 조절하는 역할을 하며 전압제어발진기의 출력은 주파수 분주기에 의해 분주된다.^[1] 본 연구에서는 16분주의 주파수 분주기를 사용하여 PLL을 설계하였다.

이상적으로 PLL이 동기 되면 PFD 검출기의 두 출력은 모두 논리 '0' 혹은 논리 '1'의 신호를 출력하게 되고 이때 전하펌프의 출력은 일정한 전압을 유지해야한다. 그러나 일반적인 전하펌프의 경우 승·방전 MOSFET의 전류 구동능력의 차이로 인해 전하 펌프의 출력인 제어 전압이 출력 바이어스 전압의 방향으로 변하게 되어 전압제어 발진기의 출력에 잡음 성분으로 작용하며 이는 결과적으로 PLL 출력 주파수의 잡음을 야기하게 된다. 또한 지속적으로 전류를 소모하는 전류 경로의 존재, 부가적인 외부 바이어스 회로의 필요 등으로 인해 소비 전력이 증가하는 단점을 가진다.^[1]

1. 서론

데이터 복원회로 및 통신 시스템에 일반적으로 포함되는 PLL을 고주파수 대역에서 안정적으로 동작할 수 있도록 각 블록의 성능을 최적화하고 그 구조를 개선하는 연구가 현재 국내외적으로 진행되고 있다.^{[1]-[4]}

PLL의 구조는 그림 1과 같이 다섯 가지 부분으로 나뉘어져 있다. 위상/주파수 검출기(phase/frequency detector, PFD)는 외부 입력 신호인 V_{in} 과 주파수 분주기(frequency divider)의 출력 신호인 V_{div} 를 입력으로 받아서 두 신호의 위상차를 검출한다. 전하펌프 루프필터(charge-pump loop filter)는 PFD의 출력 신호에 따라 전압제어 발진기

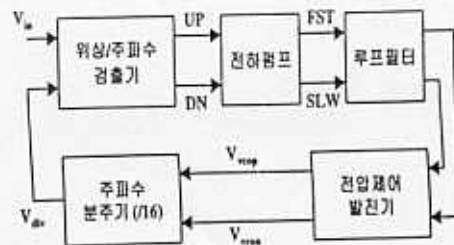


그림 1. 위상동기루프 시스템 블록도

따라서 본 연구에서는 잡음을 줄일 수 있는 새로운 구조의 전하펌프를 제안하고 이를 $0.6\mu\text{m}$ CMOS 공정을 사

용하여 구현한 후, 이의 성능을 검증하고자 한다.

II장에서는 일반적인 전하펌프의 동작원리를 설명한 후, 기존의 전하펌프가 갖는 문제점을 분석하고, III장에서는 이러한 문제점을 해결할 수 있는 새로운 구조의 전하펌프를 제안하고, 이의 동작 원리를 이론적으로 분석하며 설계된 회로에 대한 HSPICE 시뮬레이션 결과를 보인다. 마지막으로 IV장에서는 결론을 맺고자 한다.

II. 일반적인 구조의 전하펌프

II-1. 동작 원리

전하펌프의 구조에는 여러 가지가 있으나 고속의 클럭/데이터 복원 시스템에 응용되는 경우에는 그림 2와 같은 차동 전하펌프가 많이 이용된다. 차동 전하펌프는 단일 입력에 의해 제어되는 전하펌프에 비해 항상 도통되어 있는 전류 경로로 인한 고전력 소모 등의 단점이 있으나 차동 입력을 받아서 차동 신호를 출력하기 때문에 안정적인 동작을 하는 장점이 있다.

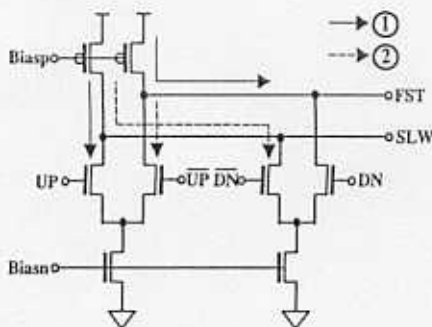


그림 2. 일반적인 구조의 전하펌프

기본적인 전하펌프의 구조는 그림 2에 나타난 바와 같으며 그 동작 원리는 다음과 같다. 여기서 UP 신호가 논리 '1'이고 DN 신호가 논리 '0'일 때 FST 노드에 전류가 충전되고 SLW 노드에서는 전류가 방전되며 반대로 UP 신호가 논리 '0'이고 DN 신호가 논리 '1'일 때는 FST 노드에서 전류가 방전되며 SLW 노드에는 전류가 충전된다.

이러한 동작을 하여 PLL의 입력과 출력이 동기 되면 일반적인 PFD의 경우 UP, DN 신호는 논리 '0'의 값이 출력되며 PFD의 리셋(reset) 시간 동안에는 UP, DN 신호가 논리 '1'의 값으로 출력된다. 이 때 전하 펌프의 출력 노드 FST, SLW의 전압은 일정한 전위를 유지한다. 따라서 전압 제어 발전기의 출력 또한 일정한 주파수를 출력하여 PLL이 동기 상태를 유지하게 된다.

II-2. 문제점

이상적인 전하펌프의 경우 PLL이 동기되어 PFD의 출력 UP, DN의 신호가 논리 '1'이거나 논리 '0'일 때 일정한 출력 전압을 유지해야 하지만 그림 2의 일반적인 전하펌프의 경우에는 아래에서 설명하는바와 같이 출력 전압의 변화가 있으며 이는 PLL의 출력 신호의 잡음으로 작용하게 된다.

일반적인 전하펌프에서는 UP, DN 신호가 논리 '0'일 경우에는 그림 2에 나타나 있는 전류 경로 ②가 형성되고 논리 '1'일 경우는 전류 경로 ①이 형성된다. 따라서 전하펌프의 출력 전압의 전위가 출력 바이어스 전압보다 높은 경우에는 상대적으로 PMOS의 전류 구동능력이 NMOS의 전류 구동능력보다 떨어져서 출력 전압은 감소하는 경향을 보이며 반대로 전하펌프의 출력 전압의 전위가 출력 바이어스 전압보다 낮을 경우에는 NMOS의 전류 구동능력이 PMOS의 전류 구동능력보다 떨어져서 출력 전압은 증가하는 경향을 보이게 된다. 제어전압의 값이 전하펌프의 출력 노드(SLW, FST)와 바이어스 전압과 차이가 많이 날수록 PMOS와 NMOS의 전류 구동 능력의 차이로 인한 전압 변동은 심화되며 이러한 제어전압의 변화는 전압제어 발전기의 출력 주파수에 잡음으로 작용하게 된다. 또한 PLL이 동기 되었을 때 PLL의 입력 신호와 동일한 주파수를 갖는 신호를 출력하기 위해서는 일정한 제어 전압을 유지해야 하므로 PMOS와 NMOS의 전류 구동능력의 차이로 인해 변동된 전위만큼을 복구시키기 위한 UP, DN 신호의 차이가 생성된다. 이는 결과적으로 PLL 입력과 출력 사이의 위상차를 발생시키는 문제점이 있다. 또한 일반적인 전하펌프는 PLL이 동기된 상태에서도 전류 경로 ①, ②로 인하여 지속적으로 전력이 소모되며 그림 2의 Biasn 노드와 Biasp 노드에 바이어스 전압을 공급해

주는 별도의 바이어스 회로의 요구 등으로 전력을 많이 소모하게 되는 단점도 있다.

따라서 위와 같은 문제점을 해결하기 위해서 PLL이 동기 되었을 때 안정적인 제어 전압을 공급할 수 있는 전하 펌프의 필요성이 요구된다.

III. 새로운 구조의 전하펌프

본 연구에서는 일반적인 전하펌프가 가지는 감응, 높은 전력의 소비 등의 단점을 개선시킬 수 있는 새로운 구조의 전하펌프를 제안하였다. 제안된 전하펌프는 그림 3에 나타나 있으며 자기바이어스 기법을 사용하여 기본적인 차동 전하펌프의 기능을 수행한다.

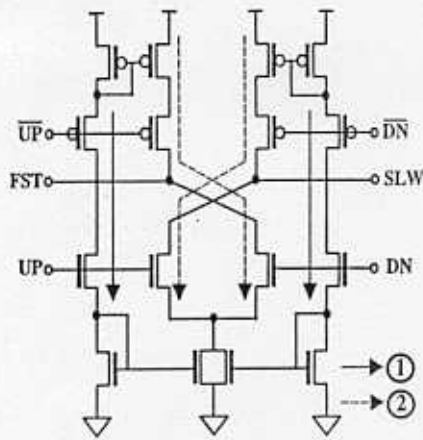


그림 3. 저감응, 저전력 특성의 전하펌프

III-1 동작원리

제안된 구조의 전하펌프는 PLL이 동기 되어 PFD의 출력인 UP, DN이 모두 논리 '0'일 때는, PMOS와 NMOS가 모두 turn-off 되기 때문에, FST, SLW 노드의 전류 경로가 차단되어 제어전압은 일정하게 유지되며 PLL 출력 신호의 감응은 감소된다. 또한 이 때 전하펌프를 구성하는 MOS가 모두 'Off' 상태이므로 전하펌프는 누설 전류에 의한 전력만을 소모하며 자기바이어스 기법을 이용하여

별도의 바이어스 회로가 필요 없으므로 작은 전력을 소모하는 장점이 가진다.

제안된 구조의 전하펌프도 PFD의 출력인 UP, DN 신호가 모두 논리 '1'이 되는 리셋 시간 동안에는 전류 영상기(current mirror)를 이용하여 전류 경로 ①에 의해 전류 경로 ②를 형성시키므로 일반적인 구조의 전하펌프와 같이 PMOS와 NMOS의 전류 구동 능력의 차이로 인해 제어 전압이 변화하는 단점이 있지만 위상 수비수 검출기의 리셋 시간은 짧은 시간이므로 제어 전압은 크게 영향을 받지 않는다.

III-2. 시뮬레이션을 통한 검증

그림 2 및 그림 3의 구조를 포함한 PLL을 0.6 μ m CMOS 공정 파라미터를 사용하여 각각 설계하였으며 HSPICE 시뮬레이션을 통해 그 성능을 검증하였다. PLL에 포함된 위상/주파수 검출기와 전압제어 발진기는 모두 일반적인 구조로 설계되었다.^{[2]-[3]} 전압제어 발진기의 중심 주파수는 740MHz이다. 주기 32ns의 임력을 가하여 PLL이 500MHz (16분주)의 주파수에서 동기될 때까지의 제어 전압의 시뮬레이션 결과가 그림 4와 5에 나타나있다.

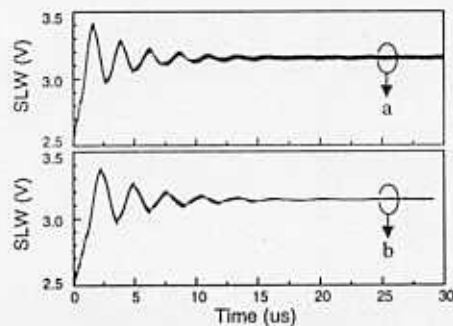


그림 4. 전하펌프 PLL의 제어 전압 시뮬레이션 파형 (a) 일반적인 구조 (b) 제안된 구조

그림 4의 (a)는 일반적인 구조의 전하펌프 PLL의 SLW 노드(제어전압) 전압 파형이며 (b)는 제안된 구조의 전하펌프 PLL의 SLW노드의 전압 파형이다.

저잡음을 요구하는 주파수 합성 및 클럭 복원 회로 분야에
사용할 수 있을 것으로 판단된다.

V. 참고문헌

- [1] J. G. Maneatis, "Low-Jitter Process-Independent DLL and PLL Based on Self-Biased Techniques," IEEE J. Solid-State Circuits, vol. 31, no. 11, pp. 1723-1732, 1996.
- [2] S. O. Jeon, T. S. Cheung, and W. Y. Choi, "Phase/frequency detectors for high-speed PLL applications," IEE Electronics Letters, vol. 34 no 22, pp. 2120-2121, publication, 1998.
- [3] Sungjoon Kim, et al., "A 960-Mb/s/pin Interface for Skew-Tolerant Bus Using Low Jitter PLL," IEEE J. Solid-State Circuits, vol. 32, no. 5, pp. 691-700, 1997.
- [4] B. Razavi, *Monolithic Phase-Locked Loops And Clock Recovery Circuits - Theory and Design*, IEEE. Press, 1996.