

초고속 위상 동기 회로 구현에 관한 연구

정태식, 이영수, 최우영  
 연세대학교 전자공학과  
 Phone: 02-361-2874  
 E-mail: cts@semicon4.yonsei.ac.kr

Abstract

본 연구에서는 초고속 데이터 통신 시스템에 응용될 수 있는 새로운 구조의 위상 동기 회로(PLL)를 제안한다. PLL을 구성하는 주요 블록인 전압 제어 발진기(VCO)와 위상/주파수 검출기(PFD)에 대해 고속 동작이 가능한 새로운 구조를 제안하고 이를 0.8 $\mu$ m CMOS 공정을 이용하여 구현한 후, 그 성능을 분석하였다.

I. 서론

대부분의 데이터 전송 시스템에서는 하드웨어의 복잡성과 전력, 가격 등의 이유로 인해 출력률에 제한된 데이터 정보만이 수신단에 전달된다. 따라서, 수신된 데이터로부터 출력률 복구를 위하여 PLL을 사용하는 것이 일반적이다.[1] PLL의 동작 주파수가 증가함에 따라서 전체 PLL의 동작 주파수와 안정성을 결정짓는 VCO 구조에 관한 연구들이 증가하고 있으며 잡음을 최소화시키기 위한 PFD에 관한 연구 역시 중요한 연구 과제로 나타나고 있다. 따라서, 본 연구에서는 새로운 구조의 VCO와 PFD를 제시하고 0.8 $\mu$ m CMOS 공정을 사용하여 PLL 회로를 구현한 후 측정결과를 통해 성능을 검증하고자 한다.

II. 새로운 구조의 PFD

이상적으로 PFD는 두 입력 신호의 위상 및 주파수 차이가 발생하는 경우에만 Up 또는 Dn 신호를 출력하고, 위상 및 주파수 차이가 없는 경우에는 논리 '0'의 신호를 출력하여야 한다. 그러나,  $V_{in}$ 과  $V_{ref}$ 가 어느 정도의 위상 차이를 가지고 논리 '0'에서 '1'로 변할 때 그 차이만큼의 간격을 두고 Up과 Dn 신호가 논리 '1'로 상승한다. 이 때, Up과 Dn이 동시에 논리 '1'의 값을 가지는 경우가 발생하고 이를 리셋하는데 필요한 시간만큼 유지된다. 이 시간동안 charge pump의 두 스위치가 동시에 도통되어 VCO의 제어 전압이 불안정해져서 지터의 원인이 된다.

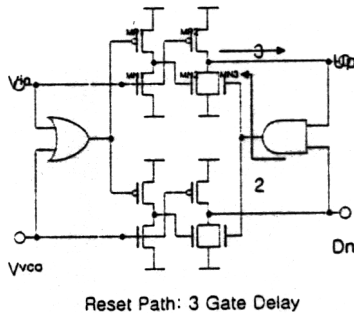


그림 1 | 리셋 시간을 감소시킨 PFD 회로도

본 연구에서는 이러한 문제를 최소화하기 위해 그림 1과 같이 dynamic D-type flip-flop[2]을 이용한 새로운 구조의 PFD를 제안하였다.[3] 이 구조의 리셋 시간은 기존의 약 7 게이트 지연 시간

보다 짧은 3 게이트 지연 시간 정도로 감소하여 동작 주파수가 크게 증가한다. 그러나, 이 회로 역시 리셋 시간으로 인한 지터 잡음을 피할 수 없기 때문에 그림 2와 같이 리셋 경로를 두 부분으로 나누어서 리셋 시간을 최소화한 구조를 제안하였다.[3]  $V_{in}$  신호가  $V_{ref}$  보다 앞 선 경우에 Up 신호가 나타나게 되면, 이의 반전된 신호를 PMOS의 입력으로 받아들이며  $V_{ref}$ 가 논리 '1'로 천이하자마자 논리 '0'의 값을 그대로 유지시키는 경로와  $V_{in}$ 과  $V_{ref}$ 가 동시에 논리 '0'일 경우에 전체 출력 신호를 '0'으로 천이함으로써 효율적으로 잡음을 제거할 수 있다.

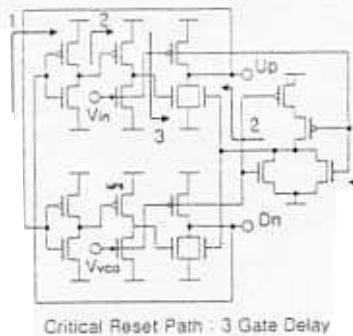
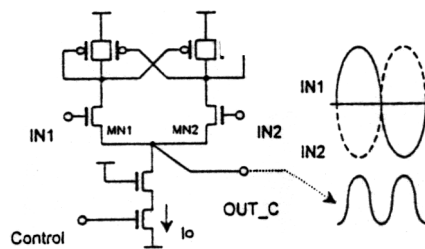


그림 2 | 리셋 경로를 두 부분으로 나눈 PFD

일반적인 PFD 및 그림 1, 2의 구조에 대하여 0.8 $\mu$ m CMOS 공정 파라미터를 사용하여 회로를 설계한 후 SPICE 시뮬레이션으로 성능을 분석한 결과가 참고 문헌 [3]에 나타나 있다.

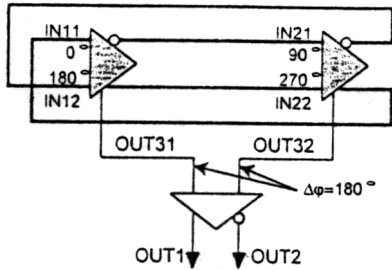
III. 새로운 구조의 VCO

본 연구에서 제안한 VCO는 기존의 링 발진기에서 얻을 수 있는 발진 주파수보다 2배 높은 주파수를 얻을 수 있는 구조로서, 그림 3과 같은 새로운 구조의 차동 인버터를 이용한 2단 링 발진기의 형태로 구성되어 있으며, 제안된 VCO의 블록도 및 각 노드에서의 신호들 간의 위상 관계가 그림 4에 나타나 있다.



[그림 3] 제안된 차동 인버터 및 일·출력 특성

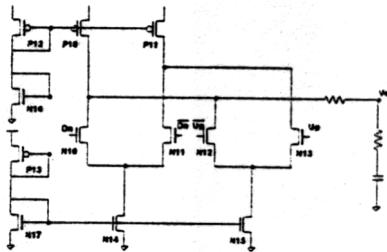
그림 4에 나타난 바와 같이, 제안된 차동 인버터가 2단 링 발진기의 지연 소자로 사용될 경우, 주 발진 루프에서의 발진 주파수보다 2배 높은 주파수가 각 차동 인버터의 공통-소오스 단에서 나타나게 된다. 제안된 VCO 회로에 대한 동작 원리 및 시뮬레이션 결과는 참고 문헌 [4]에 나타나 있다.



[ 그림 4 ] 그림 3의 차동 인버터로 구성된 2단 링 발진기

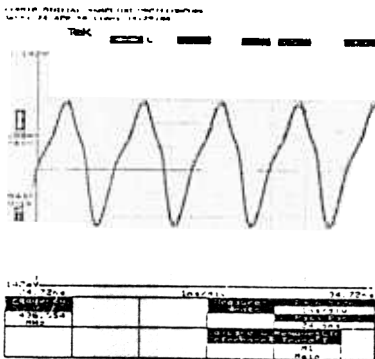
#### IV. Charge Pump

이상적으로 charge-pump는 두 개의 전류원과 두 개의 스위치로 구성된다. 본 논문에서 구성하려는 charge-pump는 고 주파수에서 동작되어야 하기 때문에 온도와 공정상에서의 안정성을 고려하여 그림 5와 같이 차동 구조를 사용하여 설계하였다.



[ 그림 5 ] Charge-pump loop filter

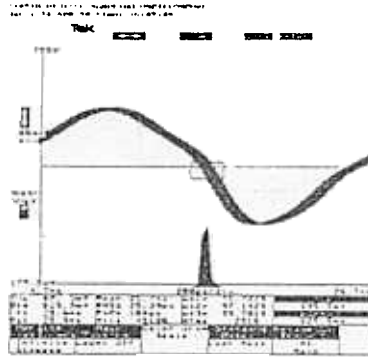
#### V. 측정 결과



[ 그림 6 ] PLL 출력 파형 (f=438MHz)

제안된 PLL 회로는 0.8 $\mu$ m CMOS 공정을 이용하여 제작되었으며, 측정을 위해 사용된 장비는 Tektronix 11801B, HP 80000 data generator 등이다. 먼저, PLL의 capture range를 측정한 결과 360 MHz~438MHz에서 동작하는 것으로 나타났다. 그림 6에는 최대 동작 주파수인 438MHz에서 동작하는 VCO 출력 신호를 나타내었다. 최대

동작 주파수 이상에서는 post-layout simulation을 통해 분석한 결과 VCO의 버퍼가 원하는 주파수에서 정상 동작하지 않음을 알 수 있었다. 그림 7은 지터 특성에 대한 측정 결과로서 peak-to-peak 지터가 약 29.74ps임을 알 수 있고 제어 전압의 변화에 대한 출력 주파수의 변화를 측정한 결과 VCO의 주파수 이득은 200MHz/V로 나타났다.



[ 그림 7 ] 지터 특성

#### VI. 결 론

본 논문에서는 현재 통신 시스템에서 사용되는 핵심적인 블록인 PLL을 구성하는 기본 블록들에 대해 연구하여 새로운 구조의 VCO와 PFD를 제안하고 이를 포함한 charge-pump PLL을 설계하였다. 설계된 PLL은 0.8 $\mu$ m CMOS 공정을 이용하여 제작한 후, 측정을 통해 성능을 검증하였다. VCO의 동작 주파수는 360 MHz~440 MHz로 나타났고 지터는 29.74 psec로 나타났다. 주파수 이득은 200 MHz/V로 나타났다. 측정결과에서 알 수 있듯이 본 연구에서는 새로운 구조의 동작에 대한 가능성을 검증하였다.

#### 참고문헌

- [1] B. Razavi, Monolithic Phase-Locked Loops And Clock Recovery Circuits - Theory and Design, IEEE Press, 1996.
- [2] Byungsoo Chang et al. "A 1.2GHz CMOS Dual-Modulus Prescaler Using New Dynamic D-Type Flip-Flops," IEEE J. Solid-State Circuits, Vol. 31, no. 5, pp. 749-752, 1996.
- [3] 전상오, 최우영, "고속 CMOS PLL 응용을 위한 위상/주파수 검출기 설계," 제5회 한국 반도체 학술회 논문집, pp. 501-502, 1998.
- [4] 정태식, 최우영, "새로운 구조의 GHz급 CMOS 차동 링 전압 제어 발진기에 관한 연구," 제5회 한국 반도체 학술회 논문집, pp. 371-372, 1998.