PA-22

고속 CMOS PLL 응용을 위한 위상/주파수 검출기 설계

전상오, 최우영
연세대학교 전자공학과 반도체 연구실

요 약

기존의 위상/주파수 검출기(Phase-Frequency Detector)의 리셋시간과 전달시간을 감소시키기 위하여 최소의 지연시간을 가지는 검출기의 구조를 제안하였다. 또한, 이를 최적화하여 전체 위상동기루프(Phase-Locked Loop)에 미치는 영향을 제거하였으며, 이를 0.8㎛ CMOS 공정 파라미터를 이용하여 SPICE 시뮬레이션을 통해 검증하였다.

I. 서 론

데이터 복원회로 및 통신 시스템에 일반적으로 포함되는 위상동기루프를 고 주파수대역에서 안정적으로 동작할 수 있도록 각 블록의 성능을 최적화하고 구조를 개선하는 연구가 현재 국내외적으로 활발하게 진행되고 있다.[1]-[3]

위상동기루프는 그림 1과 같이 네 가지 부분으로 나뉘어져 있다. 위상/주파수 검출기는 외부 입력 신호인 V_{in}과 내부의 제어전압에 따라 발진 주파수가 변화하는 전압제어발진기(Voltage-Controlled Oscillator)의 출력 신호인 V_{vco}를 입력으로 받아서 두 신호의 위상차를 검출한다. 전하펌프 루프필터(Charge-Pump Loop Filter)는 위상/주파수 검출기의 출력 신호에 따라 전압제어발진기의 제어전압 V_c를 증가시키거나 감소시키는 역할을 한다.[4]

이상적으로 위상/주파수 검출기는 두 입력신호의 위상차가 존재하지 않을 경우 논리 '0'의 값을 가져야 하지만, 실제 구현된 회로에서는 논리 '1'의 값이 존재한다. 이러한 신호는 전하펌프 루프필터의 입력에 전달되어서 회로가 단락되는 현상이 나타나고, 이는 제어전압에 왜곡을 발생시켜서 지터(jitter) 잡음을 야기시킨다. 또한, 입력이 출력으로 나타나기까지의 시간인 전달시간이 길게되면 이는 전체 위상동기 루프의 지연이 커지므로 고 주파수에서 Pull-in과 Lock-in 과정에 영향을 미치게 된다.

따라서, 본 논문에서는 이와 같은 현상을 없애고 성능을 향상시키기 위한 구조의 위상/주파수 검출기를 제시하고 시뮬레이션을 통해서 검증해보기로 한다.

II. 본 론

그림 2에는 일반적으로 사용되는 위상/주파수 검출기가 나타나있다. 이는 V_{in}입력의 하강 시점(Negative Edge)에서 Up신호가 논리 '1'이 되고 V_{vco}입력의 하강 시점에서는 Dn신호가 논리 '1'이 된다. 따라서, V_{in}과 V_{vco}의 위상차가 발생하면 각각의 하강시점에서 Up과 Dn이 논리 '1'로 천이되며 동시에 '1'이 되는 경우에는 그림 2에 나타난 경로를 따라 '0'으로 천이된다. 이 때 6게이트 지연시간이 걸리며, 전달시간 역시 6게이트 지연시간이 걸리게 된다.

지연시간을 줄이기 위해서 본 논문에서는 그림 3과 4에 나타난 바와 같이 게이트의 수를 최소화한 회로를 설계하였다. 이 회로는 PMOS와 NMOS의 W/L비를 조절하여 V_{in} 신호가 논리 '1'일 경우에는 이전 상태를 유지하고 논리 '0'으로 천이되었을때 입력을 받아들인다. 리셋은 Up과 Dn 신호가 동시에 논리 '1'이 될 경우에 AND 게이트를 통해 '0'으로 천이된다. 이 때, 입력을 다시 받아들이는 것을 방지하기 위해서 OR 게이트를 사용하였다. 이 회로의 리셋시간은 3게이트 지연시간으로 감소한다.

그러나, 이 회로 역시 리셋시간으로 인한 지터 잡음을 피할 수 없기 때문에 그림 4와 같은 회로를 제안하여 이를 효율적으로 제거하였다. 그림 4의 회로는 리셋경로를 2부분으로 설정하였다. 먼저, V_{in}이 V_{vco}보다 앞선 경우에 Up신호가 나타나게 되면, 이의 반전된 신호를 PMOS 입력으로 받아들여 V_{vco}가 논리 '1'로 천이 하더라도 '0'상태로 유지시키도록 하는 경로를 설정하였으며, Vin과 Vvco가 동시에 논리 '0'일 경우는 모든 출력을 '0'으로 천이시키는 경로를 구성하여 효율적으로 잡음을 제거함으로써 성능을 향상시켰다. 또한, 전달시간은 입력펄스의 하강시점에서 지연없이 출력이 나타나기 때문에 존재하지 않는다.

III. 시뮬레이션

그림 2, 3, 4의 구조에 대해 0.8㎛ CMOS 공정 파라미터를 사용하여 회로를 설계한 후 V_{in}과 V_{vco}가 0.3nsec의 위상차를 가질 경우를 시뮬레이션한 결과가 그림 5에 나타나 있다. 일반적인 구조의 위상/주파수 검출기(그림 2 구조)의 리셋시간은 약 0.54nsec이며, 전달시간은 0.58nsec이다. 그림 3 구조의 위상/주파수 검출기는 리셋시간이 약 0.33nsec이고, 전달시간은 약 0.11nsec로 상당히 향상된 결과를 나타내었다. 그리고 2가지의 리셋경로를 가지는 구조(그림 4 구조)는 리셋시간이 0.09nsec로 거의 나타나지 않음을 볼 수 있다. 측정 기준은 Up과 Dn신호가 2.0V 이상일 때 다음단에서 인식이 가능한 것으로 가정하였다. 그림 6에는 이상적인 전하펌프와 200MHz/V의 이득과 1GHz 중심주파수를 갖는 전압제어발진기(단, 그림 2 구조는 1GHz에서 정상동작이 불가능하여 500MHz 중심주파수로 설정)로 구성된 위상동기루프의 Lock-in과정에서의 제어전압 V_c이다. 시뮬레이션 결과에서 그림 4 구조가 Lock-in 획득시간이 빠르고 안정된 것을 확인할 수 있었다.

IV. 결 론

본 논문에서 제안한 구조의 위상/주파수 검출기는 일반적인 형태의 검출기가 갖는 리셋시간으로 인한 잡음과 전달시간으로 인한 전체 루프의 지연시간을 향상시켰으며, 그림 4 구조를 최적화하여 시뮬레이션한 결과 1.5GHz의 주파수까지 동작이 가능하며 고 주파수에서 안정적으로 동작하는 것을 확인하였다. 이와같은 위상/주파수 검출기는 GHz 이상의 위상동기루프에서도 사용이 가능하다.

V. 참고문헌

[1] J. G. Maneatis, "Low-Jitter Process-Independent DLL and PLL Based on Self-Biased Techniques," IEEE J. Solid-StateCircuits, vol.31, no.11, pp.1723-1732, 1996

[2] V. von Kaenel et al., "A 320MHz, 1.5mW@1.35V CMOS PLL for Microprocessor Clock Generation, "IEEE J. Solid-State Circuits, vol.31, no.11, pp.1715-1722, 1996.

[3] Sungjoon Kim et al., "A 960-Mb/s/pin Interface for Skew-Tolerant Bus Using Low Jitter PLL," IEEE J. Solid-State Circuits, vol.32, no.5, pp.691-700, 1997.

[4] B. Razavi, *Monolithic Phase-Locked Loops And Clock Recovery Circuits - Theory and Design*, IEEE Press, 1996.

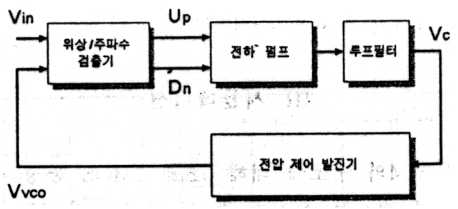

그림 1. 위상동기루프 시스템 블럭도

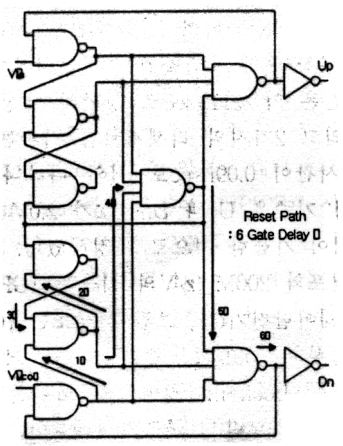

그림 2. 일반적인 구조의 위상/주파수 검출기

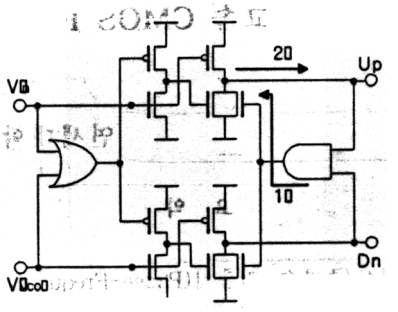

그림 3. 리셋시간을 감소시키기 위한 구조

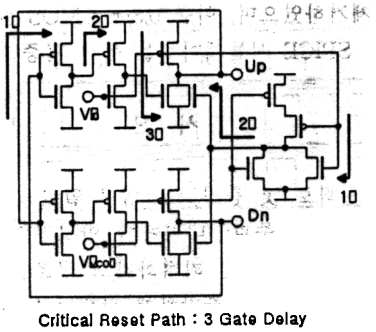

그림 4. 2가지 리셋경로를 가지는 구조

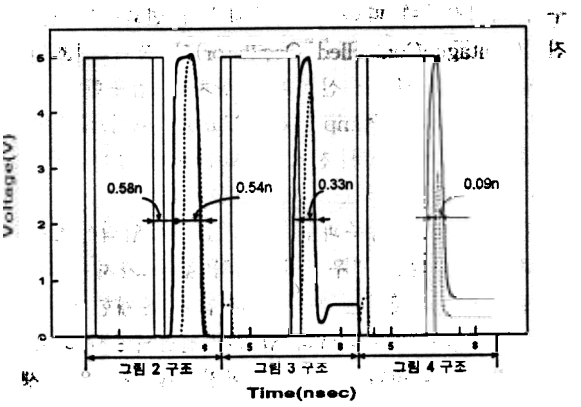

그림 5. 세가지 다른 구조에 대한 입출력

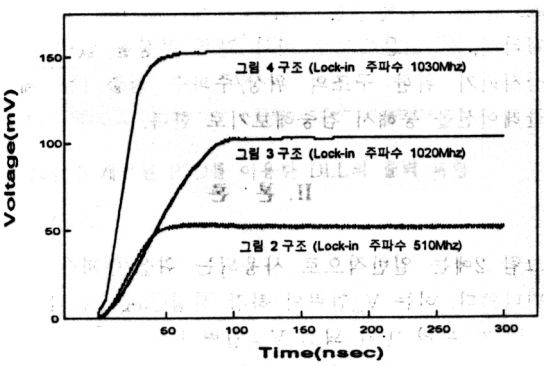

그림 6. 위상동기루프의 Lock-in과정에서의 제어전압