

Muxed Oscillator를 이용한  
버스트모드 클럭/데이터 복원 회로에  
관한 연구

연세대학교 대학원  
전기전자 공학과  
김 유 근

Muxed Oscillator를 이용한  
버스트모드 클럭/데이터 복원 회로에  
관한 연구

지도 최 우 영 교수

이 논문을 박사 학위논문으로 제출함

2003년 10월 일

연세대학교 대학원

전기전자 공학과

김 유 근

# 김유근의 박사 학위논문을 인준함

심사위원 \_\_\_\_\_ 인

심사위원 \_\_\_\_\_ 인

심사위원 \_\_\_\_\_ 인

심사위원 \_\_\_\_\_ 인

심사위원 \_\_\_\_\_ 인

연세대학교 대학원

2003년 10월 일

## 감사의 글

논문을 완성하기까지 부족한 저를 사랑으로 돌봐주신 많은 분들께 감사의 마음을 전하고자 합니다.

박사 과정 동안 각별한 관심과 지도를 통해 미흡한 저의 연구에 커다란 가르침을 주신 최우영 교수님께 깊은 감사를 드립니다. 또한, 본 논문을 작성하는데 큰 도움을 주신 이승우 박사님과 정태식 박사님께 감사드리고, 논문의 부족한 점을 지도해 주신 한건희 교수님, 위재경 교수님, 윤홍일 교수님께도 감사드립니다.

연구가 충실히 진행될 수 있도록 물심양면으로 도움을 주신 한국 전자 통신 연구원 고숙 스위치 팀의 이법철 팀장님께 감사의 마음을 전합니다.

연구실 생활을 같이 하며 가족처럼 지낸 재욱형과 평수, 근조와 같이 졸업하는 영광이형, 이뿐이혜승과 앞으로 연구실을 이끌어갈 창순, 준혁, 기혁, 광현, 효순, 정환, 성권 모두에게 고마운 마음을 전합니다. 또한, 이미 졸업했지만 친형 같았던 경환형과 승우형, 그리고 같이 고생했던 천오에게도 고마움을 전합니다.

오늘이 있기까지 그 무엇과도 비교할 수 없는 무한한 사랑으로 돌봐주신 부모님의 은혜에 머리 숙여 감사를 드리며 이 작은 결실을 드립니다. 그리고 옆에서 항상 격려 해주시던 형과 형수님께도 깊은 감사를 드립니다. 언제나 분에 넘치는 사랑으로 격려해주신 장인 장모님과 여러 친지 분들께도 감사리를 드립니다.

늘 함께 하며 곁에서 웃어 주는 아내 은주에게 그 동안의 미안함과 고마움을 동시에 전하며 이 기쁨을 함께 나누고자 합니다.

2003년 10월

김유근 올림

# 차 례

차 례 .....	i
그 립 차 례 .....	iv
표 차 례 .....	viii
국 문 요 약 .....	ix
제 1 장. 서 론 .....	1
제 2 장. 연구 배경 .....	3
제 2-1 절. PON 시스템 .....	4
제 2-2 절. PON 시스템의 종류 .....	7
제 2-3 절. 버스트 모드 클럭/데이터 복원 회로의 필요성 .....	9
제 2-4 절. 버스트 모드 클럭/데이터 복원 회로의 종류 .....	10
제 2-4-1 절. gated oscillator 방식 .....	10
제 2-4-2 절. multi-phase를 이용한 방식 .....	13
제 3 장. 622Mbps MO-CDR 회로 설계 .....	15
제 3-1 절. 새로운 방식의 클럭 및 데이터 복원 .....	17
제 3-2 절. 622Mbps MO-CDR 회로의 동작 및 구현 .....	18
제 3-2-1 절. HPSG .....	21
제 3-2-2 절. MO .....	25
제 3-2-3 절. 622Mbps MO-CDR 회로의 타이밍도 .....	28
제 3-2-4 절. 622Mbps MO-CDR 회로의 특징 .....	32

제 3-3 절.	622Mbps MO-CDR 회로의 설계 .....	33
제 3-3-1 절.	MO의 지연 회로 설계 .....	33
제 3-3-2 절.	MUX, XOR 회로 설계 .....	37
제 3-4 절.	위상 동기 회로 .....	40
제 3-4-1 절.	위상 동기 회로의 설계 .....	42
제 3-4-2 절.	위상 동기 회로의 시뮬레이션 .....	51
제 3-5 절.	데이터 전송 시뮬레이션 .....	53
제 4 장.	1.25Gbps MO-CDR 회로 설계 .....	59
제 4-1 절.	1.25Gbps MO-CDR 회로의 동작 및 구현 .....	59
제 4-1-1 절.	HPSG .....	61
제 4-1-2 절.	MO .....	64
제 4-1-3 절.	1.25Gbps MO-CDR 회로의 타이밍도 .....	67
제 4-1-4 절.	1.25Gbps MO-CDR 회로의 특징 .....	69
제 4-2 절.	1.25Gbps MO-CDR 회로의 설계 .....	70
제 4-2-1 절.	MO의 지연회로 설계 .....	70
제 4-2-2 절.	MUX, AND 회로 설계 .....	71
제 4-3 절.	위상 동기 회로 .....	72
제 4-3-1 절.	위상 동기 회로의 설계 .....	72
제 4-3-2 절.	위상 동기 회로의 시뮬레이션 .....	75
제 4-4 절.	입·출력 버퍼 .....	77
제 4-5 절.	데이터 전송 시뮬레이션 .....	81
제 5 장.	측정 결과 및 토의 .....	86
제 5-1 절.	칩 테스트 (622Mbps MO-CDR) .....	86
제 5-2 절.	칩 테스트 (1.25Gbps MO-CDR) .....	101
제 6 장.	결론 및 향후 연구 .....	116

참 고 문 헌 .....	118
ABSTRACT .....	121

## 그림 차례

그림 2-1. PON 시스템의 구성도 .....	4
그림 2-2. 광 수신기의 구조 .....	5
그림 2-3. Gated VCO의 구조 .....	10
그림 2-4. Gated oscillator를 이용한 버스트 모드 클럭/데이터 복원회로 .....	11
그림 2-5. Gated VCO를 사용한 클럭 추출 동작 .....	12
그림 2-6. multi-phase를 이용한 버스트 모드 클럭/데이터 복원회로 .....	13
그림 3-1. APON에서 Upsteam packet 구성 .....	15
그림 3-2. 버스트모드 클럭/데이터 복원 회로의 전체 블록도 .....	20
그림 3-3. HPSG의 회로도 .....	22
그림 3-4. HPSG와 전체 블록도 .....	23
그림 3-5. HPSG의 타이밍도 .....	24
그림 3-6. MO의 회로도 .....	26
그림 3-7. MO의 타이밍도 .....	27
그림 3-8. 입력 데이터를 인가하였을 때 클럭, HPS, recovered data .....	29
그림 3-9. 입력 데이터에 지터가 발생하여 위상 변화가 d만큼 발생할 경우 .....	30
그림 3-10. 입력 데이터에 지터가 발생하여 위상 변화가 -d만큼 발생할 경우 .....	31
그림 3-11. MO내에 들어가는 지연 소자의 회로도 .....	35
그림 3-12. 간단한 차동 구조의 인버터 .....	36
그림 3-13. MUX의 회로도 .....	38
그림 3-14. XOR의 회로도 .....	39
그림 3-15. 위상 동기 회로의 블록도 .....	41
그림 3-16. 전압 제어 발진기로 사용된 MO의 회로도 .....	43



그림 3-17.	VCO의 주파수 제어 특성 (622Mbps MO-CDR) .....	44
그림 3-18.	3가지 모델을 이용한 전압 제어 발진기의 출력과 제어 전압과의 관계 .....	45
그림 3-19.	위상/주파수 검출기의 회로도 .....	46
그림 3-20.	전하 펌프의 회로도 .....	48
그림 3-21.	lag-lead 필터 .....	49
그림 3-22.	Dynamic D-type flip-flop .....	50
그림 3-23.	위상 동기 회로의 동기 과정 (330MHz에서 동기) .....	52
그림 3-24.	버스트 모드 전송 시뮬레이션 (data rate = 622Mbps) .....	55
그림 3-25.	PRBS 입력 데이터로부터 복원된 데이터의 eye diagram .....	56
그림 3-26.	입력 데이터 패턴에 따른 출력의 과형 .....	57
그림 3-27.	회로의 레이 아웃 .....	58
그림 4-1.	1.25Gbps MO-CDR의 전체 블록도 .....	60
그림 4-2.	HPSG의 변형 (a) 622Mbps MO-CDR (b) 1.25Gbps MO-CDR .....	62
그림 4-3.	HPSG의 타이밍도. ....	63
그림 4-4.	MO의 변형 (a) 622Mbps MO-CDR (b) 1.25Gbps MO-CDR .....	65
그림 4-5.	MO의 타이밍도 .....	66
그림 4-6.	입력 데이터를 인가하였을 때 클럭, HPS, recovered data .....	68
그림 4-7.	AND의 회로도 .....	71
그림 4-8.	VCO의 주파수 제어 특성 (1.25Gbps MO-CDR) .....	73
그림 4-9.	3가지 모델을 이용한 전압 제어 발진기의 출력과 제어 전압과의 관계 .....	74
그림 4-10.	위상 동기 회로의 동기 과정 (1GHz에서 동기) .....	76
그림 4-11.	입력 버퍼의 회로도 .....	78
그림 4-12.	출력 버퍼의 회로도 .....	79

그림 4-13.	출력 버퍼의 pre-driver의 회로도 .....	78
그림 4-14.	버스트 모드 전송 시뮬레이션 (data rate = 1.25Gbps) .....	83
그림 4-15.	PRBS 입력 데이터로부터 복원된 데이터의 eye diagram .....	84
그림 4-16.	회로의 레이아웃 .....	85
그림 5-1.	제작한 칩의 사진 .....	89
그림 5-2.	위상 동기 회로 측정을 위한 실험 환경 .....	90
그림 5-3.	위상 동기 회로내의 VCO 출력의 지터 특성 .....	91
그림 5-4.	데이터 전송 실험을 위한 환경 .....	92
그림 5-5.	버스트 모드 입력과 복원된 데이터 (a) 버스트 윈도우 (b) 입력 데이터 (c) elastic 버퍼용 클럭 (d) 복원 데이터 .....	93
그림 5-6.	지터 인가된 400Mbps 입력과 출력의 eye 다이어그램 (a) 지터 인가된 입력의 eye 다이어그램 (b) 출력의 eye 다이어그램 .....	94
그림 5-7.	지터 인가된 622Mbps 입력과 출력의 eye 다이어그램 (a) 지터 인가된 입력의 eye 다이어그램 (b) 출력의 eye 다이어그램 .....	95
그림 5-8.	입력 데이터 패턴에 따른 출력의 파형 @400Mbps (a) 10 (b) 1100 .....	96
그림 5-9.	입력 데이터 패턴에 따른 출력의 파형 @622Mbps (a) 10 (b) 1100 .....	97
그림 5-10.	+25%의 입력 데이터 degradation이 발생했을 경우 복원 데이터의 파형 .....	98
그림 5-11.	-25%의 입력 데이터 degradation이 발생했을 경우 복원 데이터의 파형 .....	99

그림 5-12. 제작한 칩의 사진 .....	103
그림 5-13. 위상 동기 회로 측정을 위한 실험 환경 .....	104
그림 5-14. 위상 동기 회로내의 VCO 출력의 지터 특성 .....	105
그림 5-15. 데이터 전송 실험을 위한 환경 .....	106
그림 5-16. 버스트 모드 데이터 전송 실험 @1Gbps .....	107
그림 5-17. 버스트 모드 데이터 전송 실험 @1.25Gbps .....	108
그림 5-18. 복원 데이터의 eye 다이어그램 @1Gbps .....	109
그림 5-19. 복원 데이터의 eye 다이어그램 @1.25Gbps .....	110
그림 5-20. TDR 측정 셋업 .....	111
그림 5-21. (a) TDR 파형 (b) 확대 파형 .....	112
그림 5-22. transmission line을 통과한 1.25Gbps data의 eye diagram .....	113
그림 5-23. differential 출력 버퍼의 한 쪽을 open 했을 때의 출력 파형 .....	114

## 표 차 례

표 2-1. APON과 EPON 비교 .....	8
표 4-1. 오차에 따른 연속된 0이나 1의 최대 허용갯수. ....	81
표 5-1. 제안된 클럭/데이터 복원회로의 성능 사양. ....	99
표 5-2. 제안된 클럭/데이터 복원회로의 성능 사양 .....	115

## 국 문 요 약

본 논문에서는 PON (Passive Optical Network) 시스템에 적용될 수 있는, 새로운 구조의 버스트 모드 클럭 및 데이터 복원 (Clock and Data Recovery; CDR) 회로를 제안한다. 본 논문에서는 622Mbps급 버스트 모드 CDR과 이의 단점을 보완한 1.25Gbps급 버스트 모드 CDR을 제안하였다. 제안된 회로 (Muxed-Oscillator CDR) 는 버스트 모드 입력 데이터를 preamble 신호 없이도 바로 복원하며, 지터가 내재된 입력 데이터가 들어와도 이에 따라 클럭이 연동되어 오류 없이 복원한다. 622Mbps 버스트 모드 CDR 회로는 0.35 $\mu$ m CMOS 2P4M 공정 파라미터를 이용하여 설계하였다. 또한, MOSIS를 통해 칩을 제작한 후, 보드를 제작하여 측정을 수행하였다. 1.25Gbps 버스트 모드 CDR 회로는 0.25 $\mu$ m CMOS 1P5M 공정을 사용하였으며, 마찬가지로 MOSIS를 통해 칩을 제작, 측정하였다.

MO-CDR 회로의 구성은 위상 동기 회로 (Phase Locked Loop)와 CDR 모듈의 두 부분으로 나눌 수 있다. 위상 동기 회로는 외부 클럭을 이용하여 위상 동기 회로 내의 전압 제어 발진기와 CDR 모듈이 동일한 주파수에서 동작하도록 제어 전압 신호를 통해 주파수를 제어한다. CDR 모듈은 입력 데이터에 대해 클럭이 항상 최적의 샘플링 시점을 유지하는 역할을 수행한다.

MO-CDR 회로의 특징은 다음과 같다. 첫째, 위상 동기 회로는 입력 데이터 전송 속도보다 2배가 느린 주파수에 동기되며, CDR 모듈도 위상 동기 회로와 마찬가지로 2배 느린 클럭을 사용한다. 둘째, MO-CDR 회로는 입력 데이터의 천이가 발생하면, 한 비트 내에 샘플링 클럭의 위상을 최적의 시점으로 정렬하기 때문에 빠른 locking 시간을 갖는다. 본 구조는 preamble 신호가 필요 없으며, 이러한 특성은 전체 수신단 설계 마진을 높이게 되어 큰 장점이 된다. 셋째, 입력 데이터의 지터 발생으로 천이 시점이 변하더라도 클럭의 위상을 계속 조정하기 때문에 입력 데이터 지터에게 강한 특성을 갖는다.

MO-CDR 회로는 HSPICE를 이용하여 설계하였다. Post-layout 시뮬레이션 결과는 다음과 같다. 622Mbps MO-CDR 은 동작 범위가 400-680Mbps로 나타났고,

위상 동기 회로는 200-400MHz의 동기 범위를 얻었다. 실제 칩 측정결과 CDR의 동작 범위와 위상 동기 회로의 동기 범위는 각각 400-680Mbps, 200-400MHz로 나타났다. 위상 동기 회로의 중심 주파수인 300MHz에서 RMS 지터가 11.35ps, 최대 (peak-peak) 지터가 76ps로 나타났다. 최소 주파수인 200MHz에서는 RMS 지터와 최대 지터가 각각 15.5ps, 96ps로 나타났으며 최대 주파수인 400MHz에서는 각각이 11.7ps, 84ps로 나타났다. 버스트 모드 전송 실험 결과, 622Mbps에서의 버스트 입력을 에러 없이 복원하였고, 지터를 인가한  $2^{31}-1$ 의 PRBS 입력에 대해 400Mbps-622Mbps 까지 error 없이 동작됨을 확인하였다.

1.25Gbps MO-CDR 경우에는 시뮬레이션 결과 동작 범위가 1-1.35Gbps로 나타났다, 위상 동기 회로는 1-1.4GHz로 동기 범위를 얻었다. 실제 칩 측정결과 CDR의 동작 범위와 위상 동기 회로의 동기 범위는 각각 900Mbps-1.3Gbps, 800MHz-1.4GHz로 나타났다. 위상 동기 회로의 중심 주파수인 1.25GHz에서 RMS 지터가 5.8ps, 최대 (peak-peak) 지터가 52ps로 나타났다. 버스트 모드 전송 실험 결과, 1.25Gbps에서의 버스트 입력을 에러 없이 복원하였고,  $2^{31}-1$ 의 PRBS 입력에 대해 900Mbps-1.3Gbps 까지 에러 없이 동작됨을 확인하였다.

---

버스트 모드, 클럭 데이터 복원 회로, 위상 동기 회로

## 제 1 장. 서 론

최근 인터넷을 이용한 다양한 서비스는 ADSL이나 VSDL과 같은 초고속 가입자망의 폭발적인 증가를 가져왔다. 국내에선, 이미 2002년에 가입자 수가 천만을 돌파하였고 현재는 가입자 수가 천 백만에 이른다[1]. 특히, SD/HD급의 digital TV 시범 서비스로 인하여 인터넷 멀티 미디어 품질에 대한 수요가 한 단계 높아지고, 고품질 미디어를 이용한 새로운 형태의 서비스들도 등장할 전망이다. 또한, 인터넷망에서의 보안, 통신 품질 보장 기술의 진전으로 현재 고가의 회선 교환망을 통하여 이루어지고 있는 기업의 전용선 서비스도 패킷기반의 인터넷망과 ATM망 등으로 전환될 전망이며, 동시에 그 사용 대역폭 수요도 크게 확대될 전망이다. 이러한 초고속 서비스의 본격 이용 및 일련의 새로운 서비스의 방향은 한층 더 고속화되고 다양한 기능을 가진 초고속 가입자망의 출현을 예고하고 있다. 이러한 광대역 서비스를 가입자에게 원활하게 공급하기 위하여 광섬유를 가입자 단까지 직접 연결하는 광가입자망에 관한 관심이 높아지고 있다. 가입자망은 앞으로 기술 수준, 가입자의 형태, 지리적 조건, 서비스 품질, 경제성을 고려할 때 광전송 기술을 기반으로 한 FTTC (Fiber To The Curb) 및 FTTO (Fiber To The Office)를 거쳐 FTTH (Fiber To The Home)로 진화될 것으로 예상된다. 이러한 FTTH의 구현은 망 구성과 유지 측면에서 보다 경제성 있는 PON (Passive Optical Network)을 이용한 광가입자망 구현이 유력시되고 있다[2]. PON을 이용한 망의 경우 tree구조로 광케이블을 구성하게 되고, 원격노드에 광신호를 분배하는 수동소자 (광 분배기)를 사용한다. PON은 원격노드에 능동소자가 필요하지 않으므로 설치비용이 낮고 유지/보수/확장이 유리하게 된다. 본 논문은 이러한 PON 시스템에 적용될 수 있는 새로운 구조의 클럭/데이터 복원 회로를 제안하였다. 클럭/데이터 복원 회로의 역할은 전송된 데이터를 이용하여 데이터를 복원하고, 데이터에 동기된 클럭을 추출하는 것이다. 2장에서 언급할 내용이지만, PON 시스템의 OLT (Optical Line Terminal)는 버스트 모드 데이터를 처리해야 한다. 보통의 통신 시스템에서는 위상 동기 회로 (Phase Locked Loop)를 이용한 방법을 많이

사용하지만, 버스트 모드 클럭/데이터 복원 회로에서는 패킷 별로 위상의 변화가 많기 때문에 고속으로 반응하기가 어려워 이 방법을 사용할 수 없다. 따라서, 다른 구조들이 연구되어 왔다[3-5].

본 논문에서는 새로운 구조의 622Mbps급 버스트 모드 CDR과 이의 단점을 보완한 1.25Gbps급 버스트 모드 CDR을 제안한다. 제안한 회로 (Muxed-Oscillator CDR)는 버스트 모드 입력 데이터를 preamble 신호 없이도 바로 복원하며, 지터가 내재된 입력 데이터가 들어와도 이에 따라 클럭이 연동되어 오류 없이 복원한다. 622Mbps 버스트 모드 CDR 회로는 0.35 $\mu$ m CMOS 2P4M 공정 파라미터를 이용하여 설계하였다. 또한, MOSIS를 통해 칩을 제작한 후, 보드를 제작하여 측정을 수행하였다. 1.25Gbps 버스트 모드 CDR 회로는 0.25 $\mu$ m CMOS 1P5M 공정을 사용하였으며, 마찬가지로 MOSIS를 통해 칩을 제작, 측정하였다.

제안된 회로들을 포함하여 구성한 622Mbps급 버스트 모드 CDR 및 1.25Gbps급 버스트 모드 CDR는 제작 완료했으며, 제안된 구조들에 대한 SPICE 시뮬레이션과 측정을 통한 성능 검증을 병행하여 그 타당성을 입증하고자 한다.

2장에서는 본 연구의 배경에 관해서 설명한다. 연구의 배경이 되는 PON 시스템에 관해 간단히 설명하며, 클럭 및 데이터 복원 기능의 필요성과 여러 가지 버스트 모드 클럭/데이터 복원 방식에 대해 비교한다. 3장에서는 622Mbps MO-CDR 회로의 구조 및 동작에 대해 설명하고 4장에서는 1.25Gbps MO-CDR 회로에 관하여 설명한다. 5장에서는 제작된 칩을 시험 보드로 구성하여 검증한 측정 결과에 대해 언급하고, 마지막으로 6장에서 결론을 맺는다.



## 제 2 장. 연구 배경

초고속 인터넷 사업이 점차 포화 상태에 접어들고 안정화됨에 따라 미래에는 새로운 신규 서비스 창출 및 보다 고속/고품질의 FTTH 보급에 나설 것이다. 그리고 선결 조건으로 여겨졌던 고속 대용량 광대역서비스를 제공하는 데 대한 경제성 문제로 지적 받아 오던 스플리터와 고가의 소자 가격이 하락하고, 광네트워크 장비가 성숙해지면 그동안 투자가 미뤄졌던 FTTH 구조의 광가입자망이 빠르게 보급될 것으로 보인다. 현재의 초고속인터넷 서비스를 위한 광가입자망은 이미 ADSL 기술을 넘어 VDSL 기술로 대체되고 있다. 그리고 PON은 품질관리의 우수성, 광공유 특징을 활용하여 비즈니스 지역, 소호를 중심으로 적용될 것으로 보인다. FTTH로 가는 전단계로서 PON 기술은 상당히 매력적인데 일반 가입자 지역 즉, 주거지역에는 PON을 중심으로 한 광가입자망 구축이 이루어질 듯 하다[2]. PON망의 ONU (Optical Network Unit)에서 가입자 댁까지는 기존의 동선을 활용한 IP-VDSL 형태가 되거나 UTP 케이블을 이용한 Ethernet 형태가 주종을 이룰 것으로 전망된다. 본 연구에서는 이러한 PON 시스템에 수신단 중 새로운 구조의 클럭/데이터 복원 회로를 제안하였다. PON 시스템의 기본적인 이해를 위해 2-1절에 간단히 설명하였다. 2-2절에서는 버스트모드 클럭/데이터 복원회로의 필요성에 대해 언급하고, 2-3절에서는 기존의 발표된 버스트모드 클럭/데이터 복원 회로에 대해 언급하였다.

## 제 2-1 절. PON 시스템

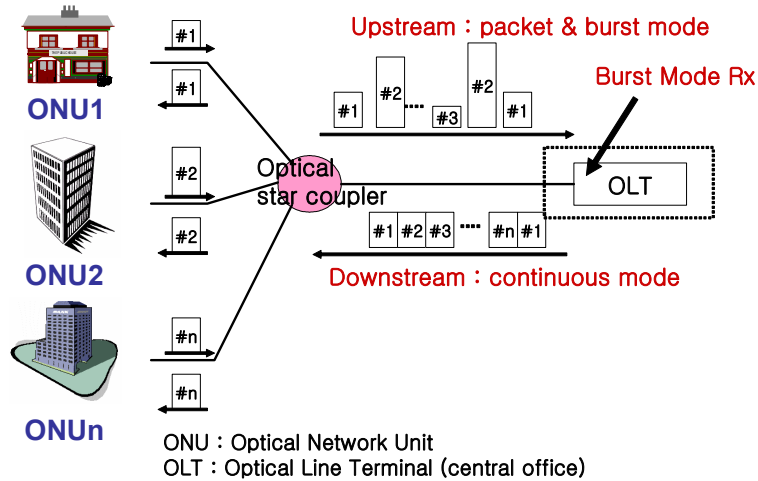


그림 2-1 PON 시스템의 구성도

그림 2-1은 PON 시스템의 구성도이다[6]. 그림에서와 같이 PON은 서비스의 제공자인 중앙기지국 (OLT)과 수요자인 가입자 (ONU)간에 수동 광분배 소자를 이용하여 연결한 네트워크로서 음성, 데이터 또는 비디오 서비스를 광섬유와 광분배기를 통하여 가입자에게 전송하는 방식이다. 즉 다수의 ONU (Optical Network Unit)가 하나의 광섬유를 통해 OLT (Optical Line Terminal)를 공유하는 점대다점 (point-to-multipoint) 망구조를 갖는다. PON 시스템의 하향전송, 즉 OLT로부터 ONU로의 전송에는 TDM(Time Division Multiplexing)을 사용한 브로드캐스팅 (broadcasting)방식이 사용된다. OLT에서 송신된 데이터는 망에 연결된 모든 ONU에서 수신되고, 각 ONU는 수신한 데이터의 내용을 살펴보고 자신에게 송신된 데이터만을 받아들인다. 한편 상향전송에서는 각 ONU들이 송신하는 데이터가 OLT로 전송될 때 데이터간의 충돌이 일어나지 않도록 하기 위하여 OLT에서는

ONU마다 시간을 할당하며, ONU는 자신에게 보장된 시간에서만 데이터를 송신하도록 하고 있다. 이러한 방식을 TDMA(Time Division Multiple Access)라고 부른다. PON시스템의 표준화 작업으로는 현재는 데이터 전송에 ATM cell을 사용하는 155Mbps급 ATM-PON(ITU-T G 983.1)이 발표되어 있으며, ITU-T와 IEEE에서 각각 GPON(ITU-T G984.2)/Ethernet PON(IEEE 802.3ah)이라는 이름의 기가비트급 PON시스템의 표준화 작업을 진행하고 있다.

본 연구에서는 APON에 적용될 수 있는 622Mbps 버스트모드 CDR과 EPON에 적용될 수 있는 1.25Gbps CDR을 제안하였다.

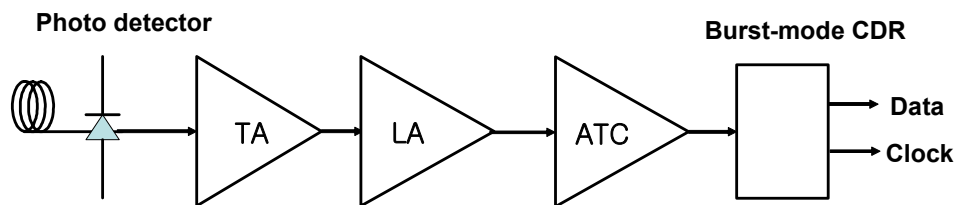


그림 2-2 광 수신기의 구조

그림 2-2는 광수신기의 구조를 나타낸 그림이다. 입력으로 들어오는 광 신호를 전류 신호로 바꾸어 주는 Photo Detector(PD), PD를 통과하여 나온 전류 신호를 전압 신호로 변환해주는 Trans-impedance Amplifier(TA), 전압 신호를 로직 레벨로 증폭시켜주는 Limiting Amplifier(LA) 그리고 디지털 스트림으로부터 클럭과 데이터를 복원하는 CDR 회로로 구성되어 있다. TA에 의해 증폭된 신호는 LA를 통하여 논리 레벨로 결정된다. 기존의 continuous mode 광통신에서는 LA는 입력 신호에 대한 정확한 threshold 판별과 offset 제거를 위하여 AC couple 되어 있는 경우가 대부분이다. 그러나 burst mode application에서는 신호에 DC성분이 포함되어 있으므로 수신기는 반드시 DC couple 되어 있어야 한다. 또한 PON 시스템인 경우 거리가 다른 ONU로 인하여 광신호의 감쇄효과가 일어나 서로 크기가 다른 packet의 논리 값을 결정하기 위하여 매 packet마다 LA의 기준(threshold)값을

가변적으로 결정해주는 Automatic Threshold Control (ATC)이 요구된다. 일반적으로 CDR 회로는 전송된 데이터로부터 동기된 클럭을 추출하고, 추출된 클럭을 이용하여 데이터를 복원하는 기능을 수행한다. 버스트 모드 CDR 회로는 전송된 버스트 모드 데이터로부터 위의 기능을 수행하는 것을 말한다.

본 논문에서는 이러한 PON의 수신기중 버스트모드 CDR에 관하여 연구를 수행하였다.

## 제 2-2 절. PON 시스템의 종류

PON은 OLT와 ONU사이의 데이터의 전송 방식에 따라 ATM-PON (APON), WDM-PON, Ethernet-PON (EPON)등으로 구분될 수 있다.

WDM-PON은 중앙 기지국에서 각 가입자에게 서로 다른 파장을 할당하여 동시에 데이터를 전송하는 방식으로서 각 가입자는 할당된 파장을 이용하여 항상 데이터를 송수신할 수 있다. 이 방식은 각 가입자에게 대용량의 데이터를 전송할 수 있을 뿐 아니라 보안성이 뛰어나고 대역폭 증대가 용이하다. 이와 같은 장점에도 불구하고 WDM-PON 방식에서는 서로 다른 파장의 광원들을 구비하여야 하며 각 광원의 파장을 항상 일정하게 유지하기 위한 부가적 회로가 필요한 점과 소자의 경제성으로 인하여 아직 실용화되지 못하고 있다.

APON은 광대역과 협대역 서비스가 모두 가능한 광대역가입자 시스템을 구성하기 위한 목적으로 규격작업을 진행하여 ITU-T에 표준으로 (G.983.x) 채택되었다.

EPON과 APON의 가장 큰 차이점은 EPON의 데이터는 가변길이 프레임으로 전달되는 반면 APON의 데이터는 53byte의 고정된 길이의 셀 형태로 전달되는 것이며 이는 IP 트래픽을 전달하는 데는 APON이 비효율적이라는 것을 의미한다. IP 트래픽을 ATM을 통해 전송하기 위해서는 IP 패킷을 53byte인 ATM셀로 바꾸어야 하며, 수신단에서는 다시 ATM 셀을 재조립하여 IP 패킷을 생성하여야 하므로 많은 오버헤드와 복잡성을 야기한다. 또한 인터넷 사용자의 증가로 인해 인터넷 트래픽의 비중이 커지므로 ATM 셀화로 인한 비용 및 복잡성의 부담은 더욱 증가되므로 APON의 ONU와 OLT의 가격이 증가하게 된다. 반면에 Ethernet은 IP트래픽을 전달하기 위해 만들어진 표준으로 프레임 길이가 최대 1518byte이므로 ATM에 비해서 오버헤드를 대폭 감소시킬 수 있어 전송효율이 향상된다. 표 2-1은 APON과 EPON을 비교한 것이다[6].

표 2-1 APON과 EPON 비교

	ATM-PON	Ethernet-PON
Layer 2 Protocol	ATM	Ethernet
Transport	Fixed Cell	Frame
Speed	상향 : 155Mbps 하향 : 622/155Mbps	상,하향 1.25Gbps
Scalable	difficult	easy
Service Provider	FSAN, ILECs	CLEC, ILECs
Standard	FSAN, ITU-T983	IEE 802.3ah T/F
Upstream	TDMA	TDMA
Cost	ATM cost	Ethernet cost

본 논문에서는 이러한 PON 시스템에 적용될 수 있는 새로운 구조의 622Mbps 버스트모드 CDR과 1.25Gbps CDR을 제안하였다.

## 제 2-3 절. 버스트 모드 클럭/데이터 복원회로의 필요성

PON시스템에서 데이터의 상향전송은 다수의 ONU가 자신에게 할당받은 시간 동안만 데이터를 전송하는 TDMA방식으로 이루어진다. 한편 OLT로부터 ONU까지의 거리는 일정하지 않으므로, 결국 ONU로부터 송신된 광신호는 각 ONU별로 모두 다른 감쇄와 지연을 겪게 된다. 다시 말하면, 모두 다른 크기와 위상을 갖게 된다.

일반적인 연속모드 클럭/데이터 복원회로는 클럭이 복원되기까지(클럭/데이터 복원회로의 출력 클럭이 입력되는 데이터에 동기될 때까지) 약 수십~수백bit이상의 위상 정렬 시간을 필요로 한다[7]. 그러므로 일반적인 연속모드 클럭/데이터 복원회로를 버스트 모드 데이터 전송에 사용하게 되면, 새로운 ONU의 데이터 전송이 시작될 때마다 매번 위상 정렬 시간이 필요하게 되므로 실제 링크 트래픽의 상당부분이 실제 데이터가 아닌 이러한 버스트 모드 오버헤드에 사용되게 되어 링크의 효율이 낮아지는 결과를 낳는다. 그러므로 PON시스템의 상향전송 링크와 같은 버스트 모드 데이터 전송에서는 수신부에 일반적인 연속모드가 아닌 버스트 모드 클럭/데이터 복원 회로를 사용하는 것이 필수적이다[3-5].

## 제 2-4 절. 버스트 모드 클럭/데이터 복원회로의 종류

일반적으로 burst mode 클럭/데이터 복원회로는 다음의 두 가지 종류로 구분하여 볼 수 있는데, gated oscillator[3] 방식과 멀티 페이즈[4]를 이용하는 방식이 있다.

### 제 2-4-1 절. gated oscillator 방식

gated oscillator 방식은 그림 2-3과 같은 gated VCO를 사용하여, 데이터의 천이시점을 기준으로 VCO의 발진을 제어함으로써 클럭을 추출해 내는 방법이다. 그림 2-4는 gated oscillator를 이용한 버스트 모드 클럭/데이터 복원 회로를 나타낸 그림이다. 이 방식을 통하여 클럭을 복원하는 원리는 그림 2-5에 나타나 있다.

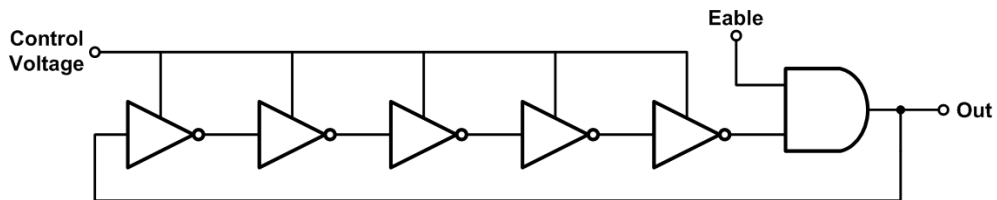


그림 2-3 Gated VCO의 구조



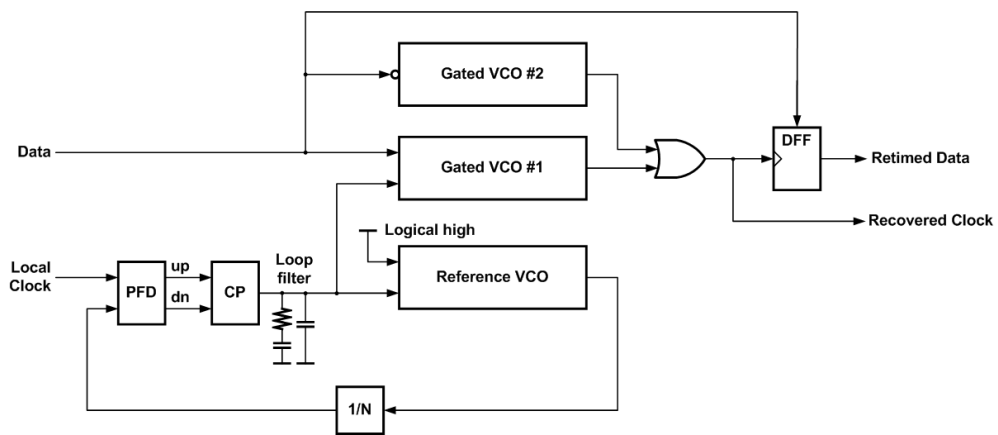


그림 2-4 gated oscillator를 이용한 버스트 모드 클럭/데이터 복원회로

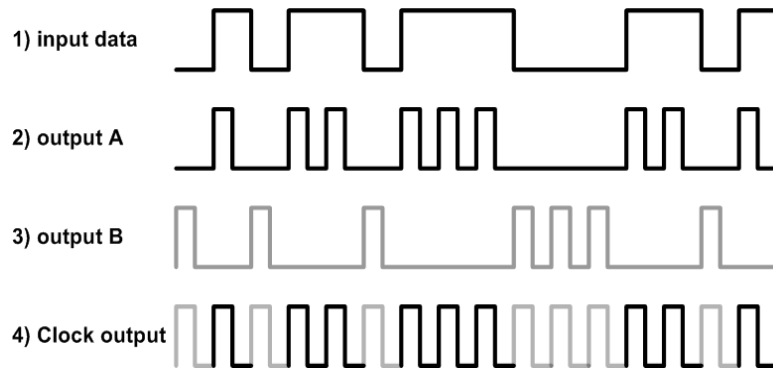


그림 2-5 Gated VCO를 사용한 클럭 추출 동작

그림 2-4에서 데이터의 속도와 같은 주파수로 조정된 2개의 gated VCO A, B를 사용하여 데이터가 high일 경우 VCO A를 동작시키고, 데이터가 low일 경우 VCO B를 동작시키게 된다. 그림 2-5 에서와 같이 각각의 gated VCO로부터 얻어진 두 개의 신호를 OR연산을 통해 합성하여 클럭을 추출해낸다. 이러한 방식의 경우 구조가 간단하고 전력소모가 적으나, gated VCO의 mismatch가 클 경우에, 동일한 값의 신호가 여러 개 연속되어 입력될 경우 (반복된 0 또는 1) 추출된 클럭의 위상 오차가 누적되는 결과를 가져오게 된다. 또한, 입력 지터가 그대로 클럭에 전달되기 때문에 최종 단계에서는 완충 버퍼 (elastic buffer)가 필요하다. 완충 버퍼는 깨끗한 클럭과 데이터를 얻기 위해 외부의 reference clock으로 다시 한번 데이터를 retiming 해주는 역할을 한다.

제 2-4-2 절. Multi-phase를 이용한 방식

Multi-phase를 이용한 방식은 다중 위상 전압 제어 발진기 (multi-phase VCO)를 사용하여 입력되는 데이터의 한 bit구간을 일정한 시간(위상)간격으로 여러번 샘플링 한 후, 샘플링된 데이터의 천이 시점을 분석하여 올바른 클록을 추출해 내는 방식이다.[4, 9-11]

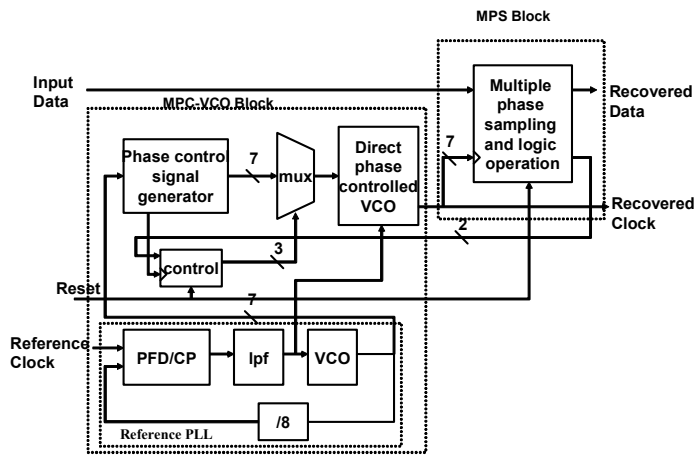


그림 2-6. multi-phase를 이용한 버스트 모드 클록/데이터 복원회로

이러한 방식의 경우 그림 2-6의 블록도에 나타나 있는 것처럼 구조가 비교적 복잡하고, 복잡한 논리연산을 수행하는 디지털 회로가 필요하게 되므로 전력 소모가 증가한다. 이러한 회로는 데이터를 복원하기 위해 최소한 3번의 샘플링 클럭을 이용한다. 이렇게 데이터를 디지털적으로 샘플링하기 때문에 위상 양자화 오차(phase quantization error)가 발생하게 된다. 이를 줄이기 위해서는 샘플링 횟수를 증가시켜서 SNR을 증가시키고 위상 양자화 오차를 작게 할 수 있을 듯 하지만, 샘플링을 위한 회로의 증가로 오히려 입력 커패시턴스를 증가시켜 입력 데이터의 대역폭을 제한하게 되며, 칩 면적과 전력 소모의 증가를 가져오게 된다. 또한, 한 비트의 데이터를 결정하기 위하여 3번 이상의 클럭 천이가 필요하기 때문에 클럭 주파수에 따라 전력 소모는 비례하여 한번의 클럭 천이에 데이터를 샘플링 하는 것보다 3배 이상의 전력 소모를 발생시킨다. 또한 데이터의 주파수가 커질수록 한 비트를 샘플링하는 클럭 간격이 좁아지게 된다. 그런데 칩 면적이 커짐에 따라 이동해야 하는 클럭 선이 길어지고, 물리적인 한계에 의해 클럭 간격이 정확하게 유지되기 힘들다. 따라서 최적의 클럭 샘플링 시점을 찾기가 힘들어지고 고속으로 갈수록 설계가 매우 힘들어지게 된다.

### 제 3 장. 622Mbps MO-CDR 회로 설계

클럭/데이터 복원 회로의 가장 중요한 동작은 입력 데이터로부터 위상과 주파수 정보를 얻어내어 정렬된 클럭을 만들어내고, 이 클럭을 이용하여 데이터를 복원하는 것이다. 본 연구의 응용분야인 PON 시스템에서는 2장에서 설명한 바와 같이 버스트 모드 데이터를 복원해야 하기 때문에 빠른 locking 특성이 요구된다. APON (ATM-PON) 인 경우 OLT (Optical Line Terminal) 의 수신기가 버스트 신호를 정확하게 수신할 수 있도록 하기 위하여 packet의 앞 부분에 오버헤드를 둔다. 그림 3-1은 APON에서의 Upstream packet 의 구성을 나타낸 그림이다. guard time은 packet간 충돌을 막기 위한 시간으로 최소 4bit을 할당한다. 그리고 ATC (Automatic Threshold Control) 와 클럭/데이터 복원을 위한 preamble bit이 10bit가 할당되어 있다. 또한 ATM cell을 알리는 delimiter bit이 packet에 포함되어 있다[8].

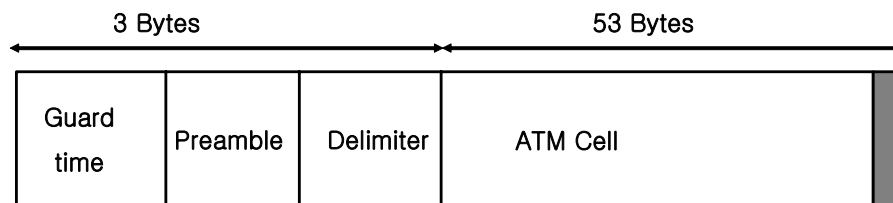


그림 3-1 APON에서 Upstream packet 구성

EPON의 경우 Burst mode overhead에 대한 사양은 아직 발표되지 않았으나, G984.2 표준안에 준한다면 guard time이 32bit, preamble time이 44bit 정도 될 것이라 예상된다. 따라서 PON 시스템에서는 클럭/데이터 복원 회로에서 적은 preamble을 필요로 한다면 ATC 부분에서 보다 정확한 threshold를 찾기가 쉽게 된다. 만약 클럭/데이터 복원 회로가 많은 preamble bit을 필요로 한다면 ATC의 설계가 어려워지고 마진이 줄게 된다. 본 논문에서 제안한 회로는 preamble bit

이 필요 없이 instantaneous locking 특성을 갖는다.

### 제 3-1 절. 새로운 방식의 클럭 및 데이터 복원 회로

앞서 설명한 이미 발표된 버스트 모드 클럭/데이터 복원 회로는 몇가지 문제점이 있었다. 첫째로, gated oscillator를 이용한 방법은 구조가 간단하고 preamble bit이 필요 없고 전력소모가 적으나, 3개의 gated oscillator들의 mismatch가 클 경우에, 동일한 값의 신호가 여러 개 연속되어 입력될 경우 (반복된 0 또는 1) 추출된 클럭의 위상 오차가 누적되어 데이터 복원에 오류를 가져오게 된다. 둘째로 다중 위상 전압 제어 발진기(multi-phase VCO)를 사용하여 multi-phase로 클럭/데이터를 복원하는 회로는 3bit 정도의 preamble 이 필요하며 전력소모가 비교적 커서 문제점을 안고 있다.

본 논문에서는 Muxed-Oscillator (MO)라는 블럭을 제안하고 이를 이용하여 새로운 구조의 버스트 모드 클럭/데이터 복원 회로를 설계, 제작하였다. 본 회로는 3개의 gated oscillator 가 match 되어야하는 gated oscillator를 이용한 클럭/데이터 복원 회로와는 달리 2개의 MO만 match가 되면 되어 설계가 보다 쉬우며, preamble bit이 필요 없다. 또한 데이터에 지터가 있는 경우에도 이에 따라 클럭이 연동되어 항상 최적의 샘플링 포인트에 데이터가 위치하게 된다. 또한 위상 동기 회로가 half clock 주파수로 동작하기 때문에 고속 회로 설계에 대한 부담이 적다.

### 제 3-2 절. 622Mbps MO-CDR 회로의 동작 및 구현

본 절에서는 APON의 수신기에 적용될 수 있는 새로운 622Mbps급 버스트 모드 클럭/데이터 복원 회로의 동작에 관하여 설명한다. 전체 블록도는 그림 3-2와 같다. 전체 회로는 입력 데이터를 받아 데이터와 클럭을 복원하는 블록과 위상 동기 회로 (Phase Locked Loop)로 구성되어 있다. 데이터와 클럭을 복원하는 블록은 HPSG (Half Period Signal Generator), 두 개의 MO 와 DFF으로 구성되어 있다. 위상동기 회로에서의 MO는 VCO (Voltage Controlled Oscillator)의 역할을 수행한다. 즉, 위상 동기 회로에 인가되는 reference clock을 체배하여 발전한다. 이때 두 MO는 같은 control voltage로 제어되어 동일한 주파수에서 발전하게 된다. 데이터의 천이가 있을 때에는, HPSG가 데이터 주기의 반에 해당하는 펄스를 발생시킨다. 이 펄스가 MO에 인가되면 MO는 클럭을 정렬시켜 optimal sampling point에서 클럭이 데이터를 샘플링하도록 한다. 결국, MO는 데이터의 천이 유무에 따라 2가지 경로를 가지며 동작함으로써, 빠른 acquisition시간을 가지며 클럭을 optimal point에 위치하도록 한다.

위상 동기 회로는 주파수/위상 검출기 (PFD)와 전하펌프 (Charge Pump), 루프 필터 (Loop Filter), 분주기 (Divider)와 VCO (Voltage Controlled Oscillator)로 사용되는 MO로 구성되어 있다. 위상 동기 회로는 외부에서 시스템 클럭을 제공받는 일반적인 구조를 사용하였으나, VCO로써 MO가 사용되었다는 점이 특징이다. 본 논문에서 사용된 위상 동기 회로는 half clock 주파수로 동작하는데, 이는 클럭/데이터 복원 회로에서 클럭의 양쪽 edge를 사용하기 때문이다. 분주는 8분주를 하여 VCO출력 주파수의 1/8 에 해당하는 시스템 클럭을 인가하도록 하였다. HPSG와 MO에 관한 동작 설명은 뒤에서 설명한다.

일반적인 빠른 locking 특성의 클럭/데이터 복원회로는 입력 데이터에 대한 지터 감소 기능이 없기 때문에, elastic 버퍼를 이용하여 보다 깨끗한 데이터와 클럭을 얻을 수 있다[12]. Elastic 버퍼는 입력 지터를 제거하기 위하여 지터가 없는 클럭으로 다시 retiming 시켜준다. 따라서 elastic 버퍼의 입력으로 복원된 클럭과



이에 정렬되어 있는 데이터, 그리고 지터가 없는 클럭이 입력으로 사용되고 출력으로 깨끗한 데이터와 클럭이 복원되는 것이다. 그러나 본 연구에서는 이러한 elastic buffer는 구현되지 않았고, elastic buffer 블록을 추가했을 때 필요한 지터가 없는 클럭을 생성하는 블록 (CGEB) 만을 추가 하였다. CGEB는 위상 동기 회로의 VCO에서 90° 차이의 위상을 가진 2개의 클럭을 XOR하여 깨끗한 클럭을 생성한다.

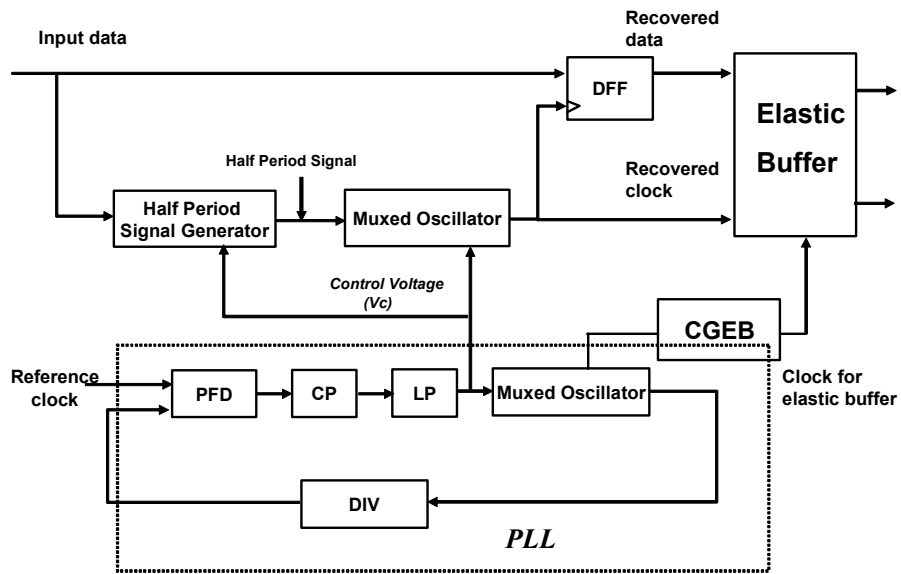


그림 3-2 버스트모드 클럭/데이터 복원 회로의 전체 블럭도

### 제 3-2-1 절. HPSG

MO-CDR (Muxed Oscillator- Clock Data Recovery) 회로의 입력 데이터는 HPSG (Half Period Signal Generator)의 입력으로 들어간다. HPSG는 그림 3-3과 같이 입력 신호 주기의 반주기( $T/2$ )만큼 지연시키는 지연소자와 XOR로 구성되어 있다. HPS (Half Period Signal) 을 생성하기 위하여 XOR를 사용한다. XOR의 한 입력은 입력 데이터를 연결하고, 다른 입력은 입력 데이터의  $T/2$  만큼 지연된 신호를 연결한다. HPS는 데이터의 천이가 있을 때마다 발생하고, 천이가 없을 때는 발생하지 않는다. 반주기 지연 소자는 뒤에서 설명할 MO의 일부 (반주기 지연)를 사용해서 지연 소자들이 MO와 같은 전압으로 제어되게 한다. 그림 3-4에서와 같이 2개의 MO와 HPSG의 지연 소자들은 같은 전압으로 제어된다. 그 결과 HPSG는 주파수에 상관없이 항상 반주기의 신호를 생성한다. 그림 3-5는 동작 설명을 위한 타이밍도이다. 그림에서와 같이 데이터의 천이가 있을 때에 반주기의 펄스가 발생함을 알 수 있다.

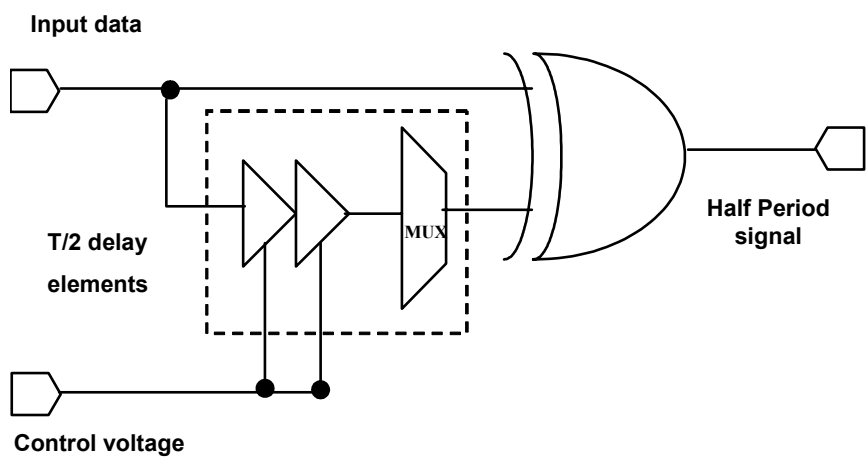


그림 3-3 HPSG의 회로도

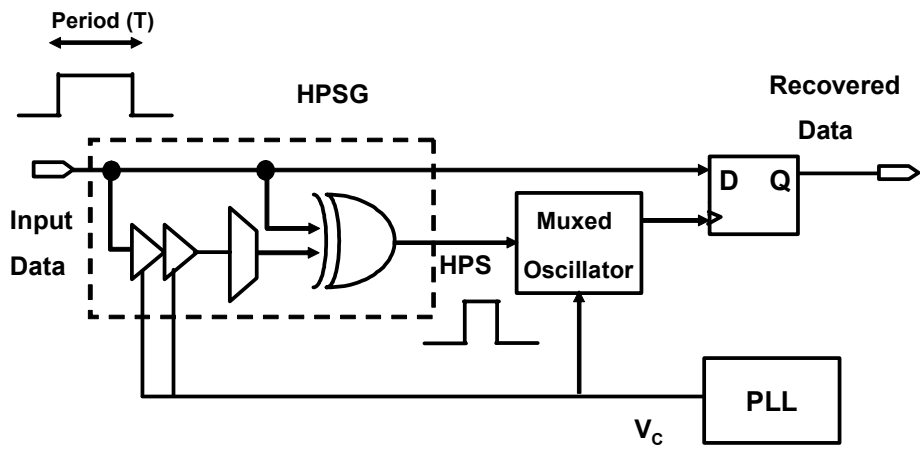


그림 3-4 HPSG와 전체 블럭도

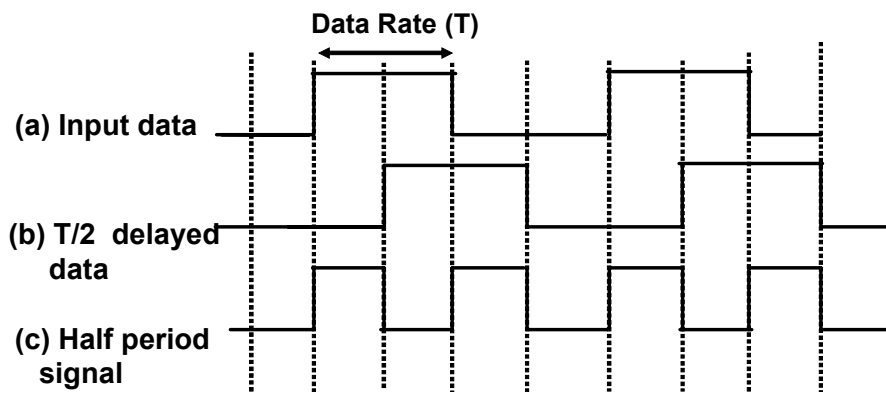


그림 3-5 HPSG의 타이밍도

### 제 3-2-2 절. MO (Muxed Oscillator)

그림 3-6은 MO를 나타낸 그림이다. MO는 위상 동기 회로의 전압 제어 신호에 의해 제어되는 지연소자, HPSG에서 생성되는 HPS에 의해 제어되는 MUX와 반전기 (inverter)로 구성되어 있다. 그림에서와 같이 MO는 HPS의 값에 따라 2개의 loop를 갖는다. 만약 HPSG 출력 값이 로직 'low' (데이터의 천이가 없을 때) 이면, loop1이 선택된다. 이때, MO는 주기가 T인 일반적인 링 오실레이터로 동작하게 된다. HPS 값이 로직 'high' (데이터의 천이가 있을 때) 이면, loop2가 선택되어 MO는 이전 값을 유지하는 buffer로써 동작하게 된다. 그림 3-7은 MO의 동작 설명을 위한 타이밍도이다. 입력 데이터 신호가 0110 이라면, HPS는 데이터의 천이가 있을 때 발생된다. clk(a)는 D-FF 입력으로 사용되고 데이터를 샘플링하는 클럭이다. 앞서 설명과 같이 HPS가 'high'로 유지될 때, MO는 loop2를 선택하여 clk(a)와 clk(b)는 반주기 (T/2) 동안 값을 유지한다. 반주기 신호가 'low'가 되면 MO는 주기가 T인 일반적인 링 오실레이터로 동작한다. 이 때의 오실레이션 주파수는 위상 동기 회로에서 VCO로써 사용된 MO와 동일하다. MO를 위상 동기 회로 내의 VCO로 사용하기 위해 두 개의 MUX에 로직 'low' (loop1)을 인가하여 링 오실레이터로 동작시킨다. 그래서 그림 3-7과 같은 타이밍도를 얻을 수 있다. clk(a)를 double edged D-FF에 클럭신호로 인가할 때 데이터가 들어오면 바로 복원하게 되고, 지터를 내재한 입력이 들어와도 거기에 따라 clk(a)가 연동되어 데이터의 중앙에 clk(a)가 정렬된다. 따라서 오류없는 데이터 복원이 가능하다.

MO 내에 있는 지연 소자들은 control voltage ( $V_c$ )를 통해 지연 시간을 제어하게 된다. 이 신호는 위상 동기 회로 내에 VCO로써 사용된 다른 MO의 지연 소자에 인가되는 제어 신호와 동일하고, HPSG 에서도 동일하게 인가된다. MO이 한 단의 지연 시간은 데이터 주기 T와 동일하며, HPSG 회로 내의 지연 회로는 지연 시간이 T/2에 해당한다. 따라서, MO, HPSG와 위상 동기 회로 내의 MO는 동일한 지연 시간을 갖고 변하도록 control voltage ( $V_c$ )에 의해 연결된다.

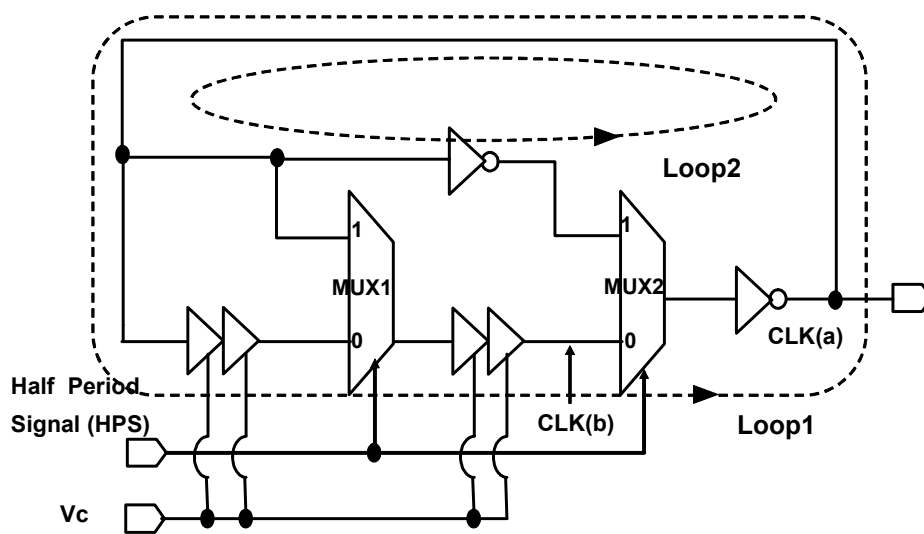


그림 3-6 MO의 회로도



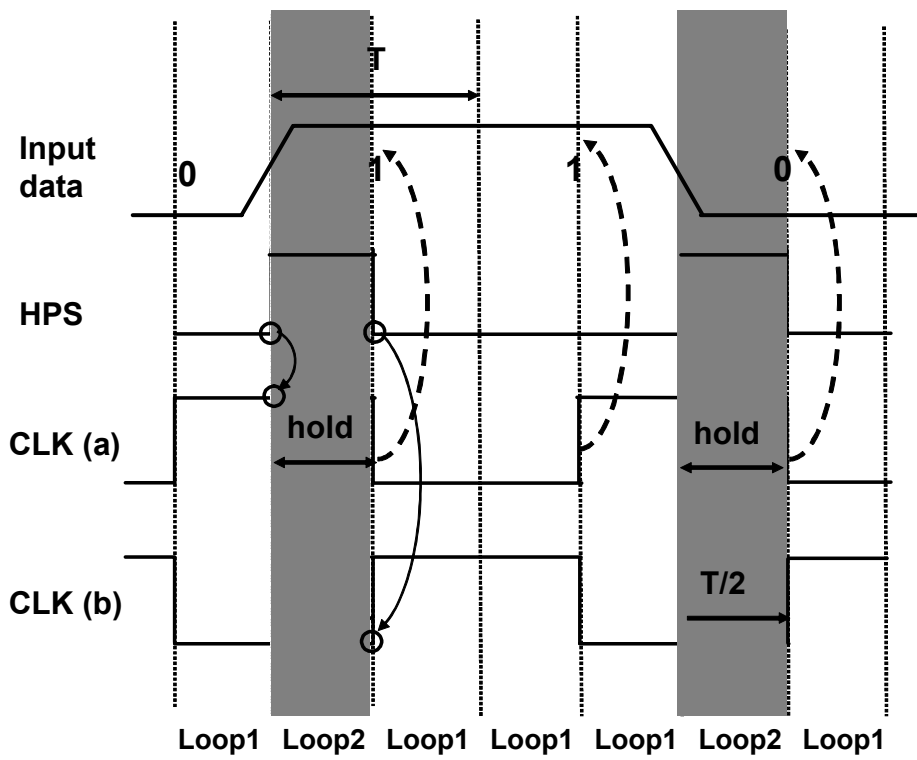


그림 3-7 MO의 타이밍도

### 제 3-2-3 절. 622Mbps MO-CDR 회로의 타이밍도

제안한 방식을 전체적으로 설명하기 위한 타이밍도를 그림 3-8에 나타내었다. 입력 데이터를 인가하였을 때 클럭, HPS 와 클럭으로 데이터를 샘플링 하여 얻은 recovered data이다. 입력 데이터는 로직 '0110'이고, 데이터의 주기는 T라고 가정하였다.

먼저, 입력 데이터의 천이가 일어나는 시점에서 펄스폭이 T/2인 HPS 가 발생한다. 이는 데이터의 하강 시점에서도 동일하게 나타난다. 앞서 언급했듯이 HPS 값이 로직 'low' (데이터의 천이가 없을 때) 이면 MO는 주기가 T인 일반적인 링 오실레이터로 동작하게 되고, HPS 값이 로직 'high' (데이터의 천이가 있을 때) 이면 이전 값을 유지하는 buffer로써 동작하게 된다. 따라서 그림 3-8과 같은 타이밍도를 얻을 수 있고 이 클럭 (clk(a)) 으로 데이터를 샘플링하여 recovered data를 얻을 수 있다. 이 때 데이터를 샘플링하기 위한 DFF은 double-edged DFF 을 사용한다[13].

만약, 입력 데이터의 외부적 또는 내부적인 환경에 의해 지터가 발생할 경우 데이터의 위상 변화가 생긴다. 이러한 변화는 데이터의 천이 시점의 위상 변화를 가져온다. 그림 3-9는 입력 데이터의 지터로 인해 데이터의 위상에 변화가 생겨 데이터의 천이가 데이터의 지터가 없는 경우보다 d의 위상만큼 앞서서 발생한 경우를 나타낸다. 이 경우도 회로는 데이터에 지터가 없는 경우와 동일하게 동작한다. 입력 데이터의 지터가 발생하여 데이터의 천이 시점이 변하더라도, HPS 또한 이른 시점에서 발생한다. 또한 clk(a)는 HPS에 따라 T/2 시간 후에 상승 또는 하락하기 때문에 가장 적합한 샘플링 클럭을 제공한다. 또한 그림 3-10은 지터에 의해 데이터의 천이 시점이 입력 데이터의 지터가 없는 경우보다 시간적으로 뒤에 천이가 발생할 경우를 나타낸다. 마찬가지로 HPS 또한 늦은 시점에서 발생하여 T/2 시간 후에 상승 또는 하락하기 때문에 가장 적합한 샘플링 클럭을 제공한다. 결국 그림 3-9 와 3-10 에서 알 수 있듯이 입력 데이터의 지터가 있는 경우와 없는 경우, 모두 데이터 천이 시점 후 반주기 만큼 후에 복원 클럭이 상승 또는 하강하여 최적의 데이터를 DFF (D-Flip-Flop)을 통해 복원한다.

MO 내에 있는 지연 소자들은 control voltage ( $V_c$ )를 통해 지연 시간을 제어하게 된다. 이 신호는 위상 동기 회로 내에 VCO로써 사용된 다른 MO의 지연 소자에 인가되는 제어 신호와 동일하고, HPSG 에서도 동일하게 인가된다.

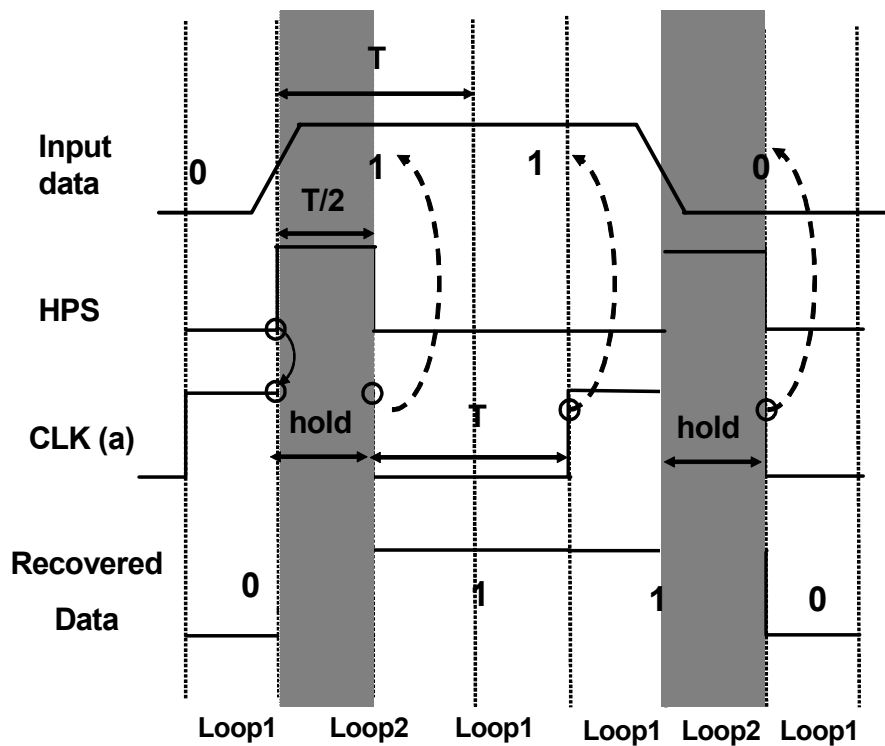


그림 3-8 입력 데이터를 인가하였을 때  
클럭, HPS, recovered data

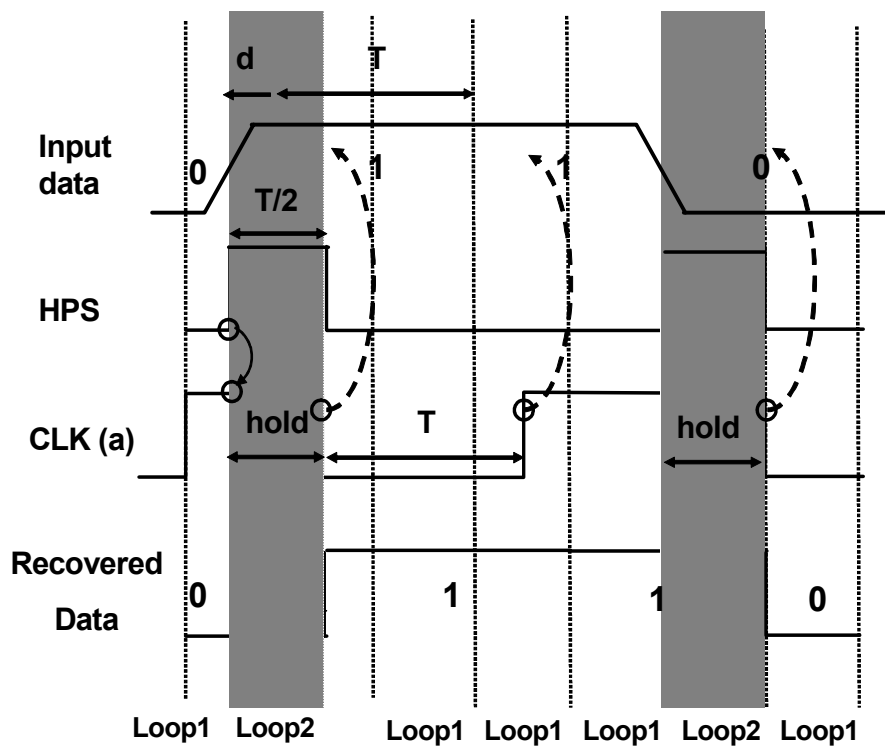


그림 3-9 입력 데이터에 지터가 발생하여  
위상 변화가  $d$ 만큼 발생할 경우

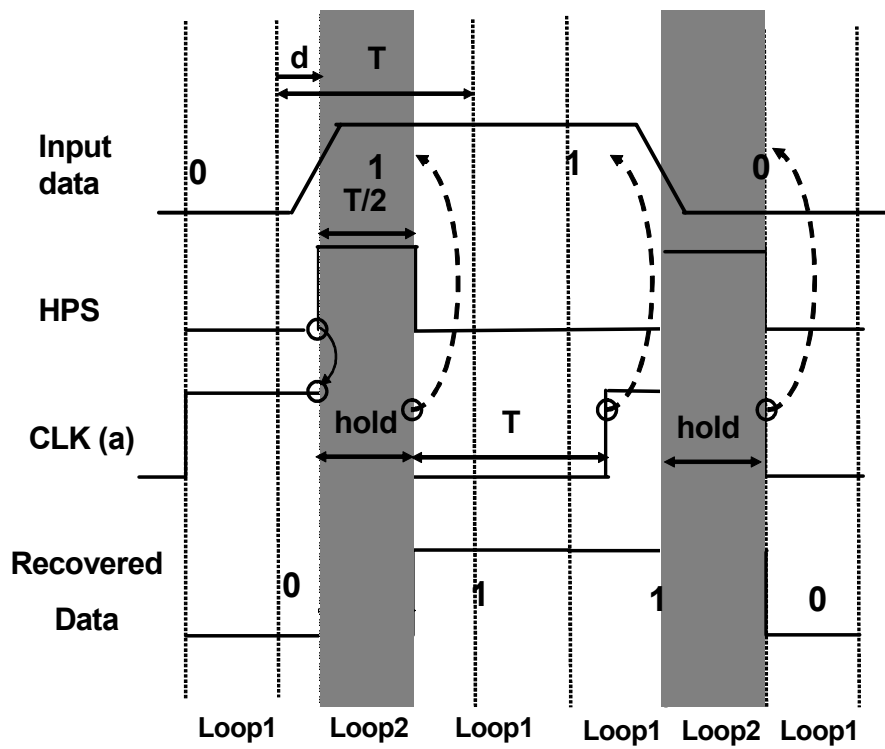


그림 3-10 입력 데이터에 지터가 발생하여  
위상 변화가  $-d$ 만큼 발생할 경우

#### 제 3-2-4 절. 622Mbps MO-CDR 회로의 특징

본 논문에서 제안한 622Mbps MO-CDR 회로의 특징은 다음과 같다. 첫째, 위상 동기 회로는 입력 데이터 전송 속도보다 2배가 느린 주파수에 동기되며, CDR 모듈도 위상 동기 회로와 마찬가지로 2배 느린 클럭을 사용한다. 일반적으로 하나의 클럭을 이용하여 데이터를 전송할 경우, 예를 들면 622Mbps의 전송을 위해서는 622MHz의 클럭을 필요로 하며, 이를 제공하기 위한 위상 동기 회로 (Phase Locked Loop)를 구성하여야 한다. 데이터 rate가 높아질수록 고속의 위상/주파수 검출기와 전하펌프, 전압제어 발진기 회로의 설계가 필요하다. 그러나 본 논문에서 제안한 MO-CDR 회로의 위상 동기 회로는 half clock 주파수로 동작하므로 이러한 고속 소자에 대한 설계가 다른 구조보다 쉽다고 할 수 있다. 앞에서 언급했던 gated oscillator를 이용한 방식은 MO-CDR처럼 클럭의 양쪽 edge를 사용할 수 없다. 둘째, MO-CDR 회로는 입력 데이터의 천이가 발생하면, 한 비트 내에 샘플링 클럭의 위상을 최적의 시점으로 정렬하기 때문에 빠른 locking 시간을 갖는다. 따라서 본 구조는 preamble 신호가 필요 없으며, 이러한 특성은 전체 수신단 설계 마진을 높이게 되어 큰 장점이 된다. 셋째, 입력 데이터의 지터 발생으로 천이 시점이 변하더라도 클럭의 위상을 계속 조정하기 때문에 입력 데이터 지터에게 강한 특성을 갖는다.

### 제 3-3 절. 622Mbps MO-CDR 회로의 설계

그림 3-11은 MO내에 들어가는 지연 소자의 회로도이며, 차동 구조를 갖는다. MO는 인버터 4개와 두 개의 MUX를 포함하여 총 6단의 링 구조로 되어 있고 모두 차동 구조로 설계하였다. 차동 구조를 갖는 회로는 높은 CMRR (Common-Mode Rejection Ratio) 특성을 갖기 때문에 온도, 공정 상의 파라미터 변화 및 전원 잡음 등의 외부적인 요인들에 대해 안정성이 뛰어난 장점이 있다.

#### 제 3-3-1 절. MO의 지연 회로 설계

MO 블록은 CDR에 하나 그리고 위상 동기 회로에 한 개로 총 2개가 사용되었다. 위상 동기 회로 내의 MO는 전압 제어 발진기의 역할을 수행하고 CDR 모듈에 있는 MO는 복원 클럭을 발생시킨다. 이렇게 함으로써 control voltage를 이용하여 위상 동기 회로의 동작 주파수와 CDR 모듈의 동작 주파수가 일치할 수 있다. 회로에서 지연 시간은 시상수 (time constant)에 비례하는데, 그림 3-12와 같은 간단한 차동 인버터의 시상수는 다음과 같은 식으로 나타낼 수 있다.

$$\begin{aligned}\tau &= RC_L \\ &= \frac{C_L}{\mu_P C_{OX} \left(\frac{W}{L}\right) (V_{DD} - V_{cont} - |V_{THP}|)}\end{aligned}$$

위에서 R은 로드 저항이고,  $C_L$ 은 출력단에 연결된 캐패시턴스 값으로 다음 단의 입력 캐패시턴스를 포함한 값이다. 일반적인 링 오실레이터는 동일한 지연 소자를 negative feedback 시켜 오실레이션이 일어나도록 한다. 그런데, 링 오실레이터를 갖는 MO 블록에서는 한 단의 회로의 지연 시간을  $T_D$  라고 할 때, N 단의 링 오실레이터는 주파수가  $(2N \cdot T_D)^{-1}$  이다. 그러나 본 논문에서는 일반적인 형태의 차동 인버터만을 사용한 오실레이터가 아닌 MUX가 포함된 새로운 구조의 링 오실레이터를 사용하였다. 차동 인버터의 로드 저항의 형태가 동일한 경우, 지연 시간을 결정하는 것 중 가장 중요한 것은  $C_L$ 이다. 이는 인버터 또는 MUX의 출력

단에 연결 되는 다음 단의 입력 NMOS의 W/L의 값이 얼마냐에 따라 캐패시턴스  $C_L$  값이 바뀌게 된다. 본 논문에서는 MUX 1개와 인버터 2개가 반주기의 지연을 갖도록 설계하였다. 이 반주기 지연을 HPSG의 반주기 지연 소자로 활용했다.

본 논문에서 사용한 지연 소자 및 버퍼는 MCML (MOS current-mode logic) 회로이다. 이 회로를 이용하여 링 오실레이터를 꾸몄을 경우 지터를 비교하면, 일반적인 CMOS 인버터를 이용한 경우보다 35% 감소한다[14]. 이는 차동 구조를 갖는 MCML 회로가 잡음 특성이 더 좋기 때문이며, 전원을 따라 움직이는 스위칭 잡음에 의한 영향을 줄일 수 있다.



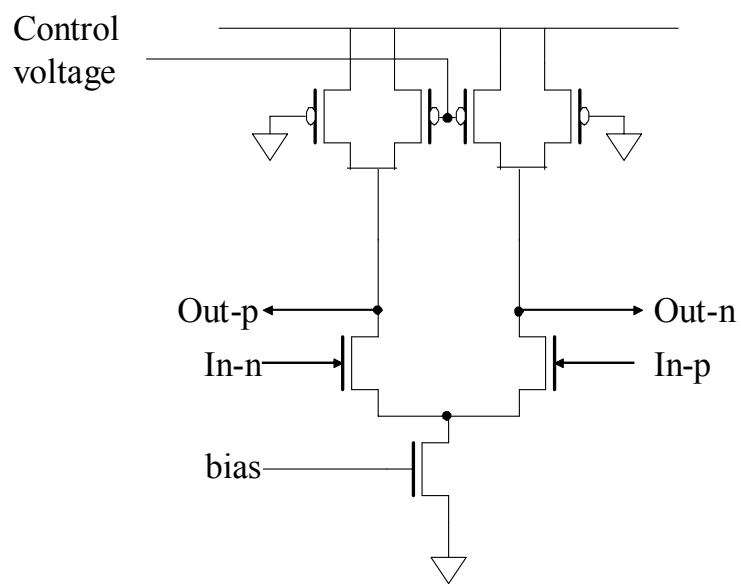


그림 3-11 MO내에 들어가는 지연 소자의 회로도

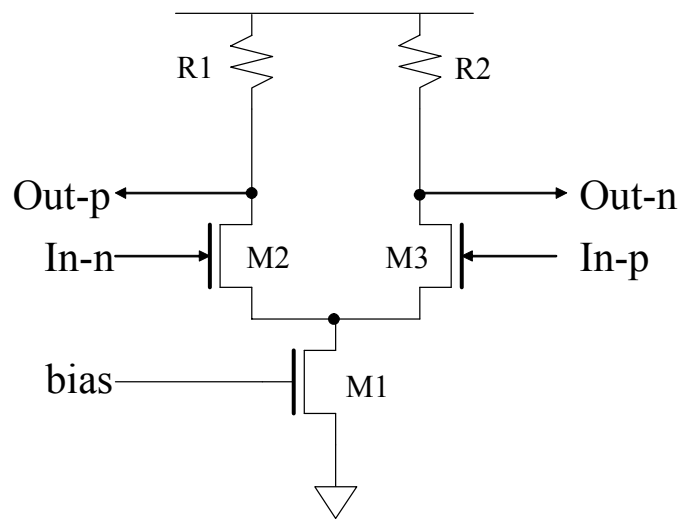


그림 3-12 간단한 차동 구조의 인버터

### 제 3-3-2 절. MUX, XOR 설계

MCML을 이용하여 구성된 로직 회로의 특징은 다음과 같다. 먼저, 원하는 로직 동작을 구성하는 차동 구조의 NMOS 쌍이 있고, 일정한 구동 전류를 만드는 NMOS의 전류 공급원이 필요하며, 로드는 PMOS로 구성되어 신호의 진폭을 결정한다. 이 MCML 회로를 이용하여 인버터뿐만 아니라, MUX, XOR 등의 로직을 설계하였다[15], 또한, 일반적인 CMOS 로직 회로에 비해 다음과 같은 장점이 있다. 먼저, 전류 모드 동작을 기본으로 하기 때문에 전원 및 접지에서의 전기적 spike가 적다. 또한, 로직 상으로 적은 전압 진폭을 갖기 때문에 지연 시간이 짧고 dynamic power 소모를 줄일 수 있다. 구조적으로 차동 구조이므로 잡음 특성이 좋다. 이는 복잡한 로직 회로를 구성할 때 트랜지스터의 수를 줄일 수 있다.

MCML을 이용한 회로는 MUX와 XOR이다. 그림 3-13은 MO내에 들어가는 MUX의 회로도이다. MUX는 차동 신호인 S와 SN이 각각 로직 '1'과 로직 '0'이면 차동 입력 D1과 D1N이 선택되고, S와 SN이 각각 로직 '0'과 로직 '1'이면 차동 입력 D0P와 D0N이 선택되어 출력으로 나오게 된다.

그림 3-14는 HPSG 블록에 사용되는 XOR 회로도이다. XOR 회로는 차동 입력 B와 BN이 로직 '0'과 로직 '1'일 때는 출력 OUTP와 OUTN은 각각 A와 AN을 출력으로 내보내어 버퍼와 동일한 역할을 수행하며, 차동 입력 B와 BN이 로직 '1'과 로직 '0'일 때는 출력 OUTP와 OUTN이 각각 AN과 A를 출력으로 내보내어 인버터 역할을 수행한다. XOR회로는 본 회로 중 가장 속도를 제한하는 회로이다. 데이터 주기의 반주기의 펄스를 만들어야 하기 때문이다.

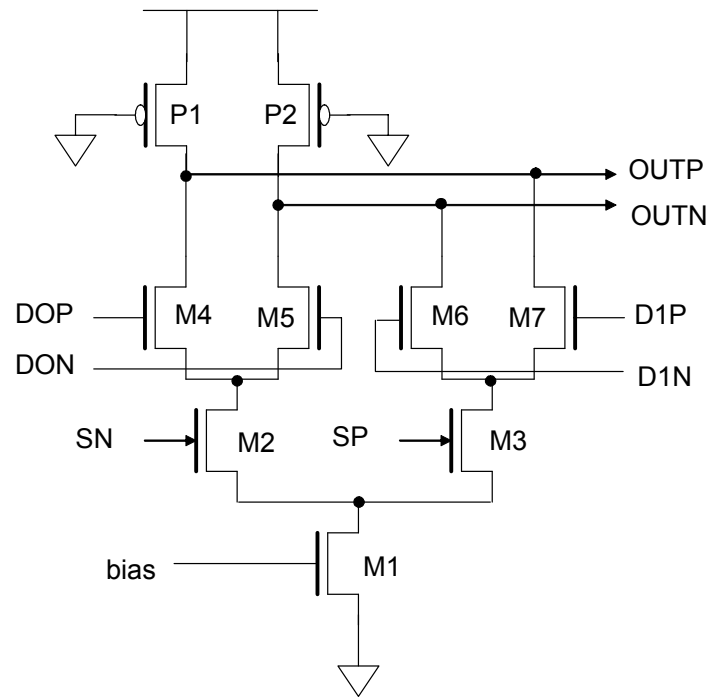


그림 3-13 MUX의 회로도

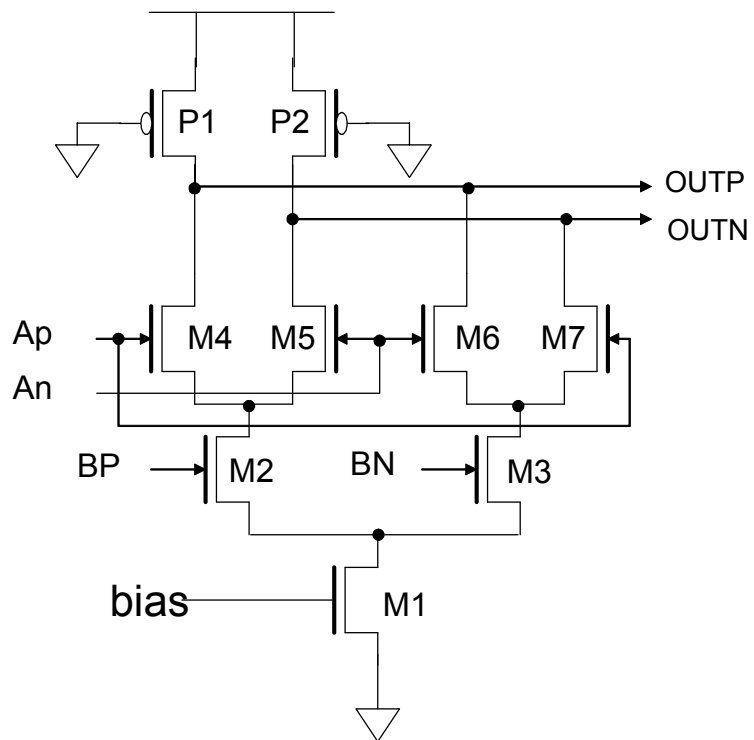


그림 3-14 XOR의 회로도

### 제 3-4 절. 위상 동기 회로

위상 동기 회로는 최근 고속 통신 시스템과 VLSI 시스템에서 자주 사용되고 있다. 이는 나날이 발전하는 IC 기술로 인해 가격과 성능 측면에서 점점 뛰어난 특성을 지니기 때문이다. 이를 바탕으로 위상 동기 회로는 다음과 같은 다양한 기능을 수행한다. 첫째, 클록의 타이밍 지터 감소이고 둘째로, skew 억제이다. 셋째로, 주파수 체배이고 마지막으로 클럭 복원이다. 그림 3-15는 위상 동기 회로의 블록도이다. 위상 동기 회로는 일반적으로 그림 3-15와 같이 위상/주파수 검출기, 전하펌프, 루프 필터, 전압제어 발진기와 주파수 분주기로 구성되어 있다. 위상/주파수 검출기는 두 신호의 위상 차이를 비교하여 이 차이만큼의 전압을 발생시키는 역할을 한다. 이 전압의 차이는 전하 펌프에 의해 전류량으로 변환되며, 루프 필터는 위상 차이를 누적하게 된다. 이는 제어 전압을 통해 전압제어 발진기에 전달되며, 전압제어 발진기의 클럭 주파수를 조절하게 된다. 622Mbps MO-CDR과 1.25Gbps MO-CDR에서 사용된 위상 동기 회로는 VCO의 차이 외에 다른 블록들은 동일한 구조를 사용하였다.

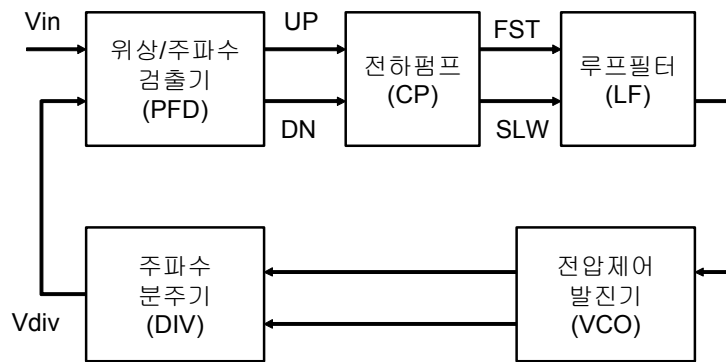


그림 3-15 위상 동기 회로의 블럭도

### 제 3-4-1 절. 위상 동기 회로의 설계

본 논문에서는 MO가 전압제어 발진기 (Voltage Controlled Oscillator)의 역할을 한다. 그림 3-16은 622Mbps MO-CDR내의 MO의 회로도이다. MO를 전압제어 발진기로 사용하기 위해 HPS 값을 logic '0'을 인가한다. 그렇게 되면 MO는 loop1을 select하게 되고 일반적인 링 오실레이터로 동작하게 되는 것이다. 전압제어 발진기의 성능은 전체 회로 성능에 가장 큰 영향을 미치는 블록으로 안정적인 동작이 보장되어야 한다. 시뮬레이션 결과 VCO의 발진 주파수는 200-400MHz로 나타났다. 그림 3-17은 VCO의 주파수 제어 특성을 나타낸 것이다. 0.6V - 2.6V의 제어 전압 범위에서 출력 신호의 주파수는 240-400MHz로 변화하고 진폭은 1.5-2.0V로 변화한다. VCO의 이득은 80MHz/V이다. 그림 3-18은 FF, TT, SS model을 사용하여 전압 제어 발진기의 오실레이션 주파수를 시뮬레이션 한 결과이다. TT model을 중심으로 15% 정도의 차이를 나타내는 것을 확인하였다.



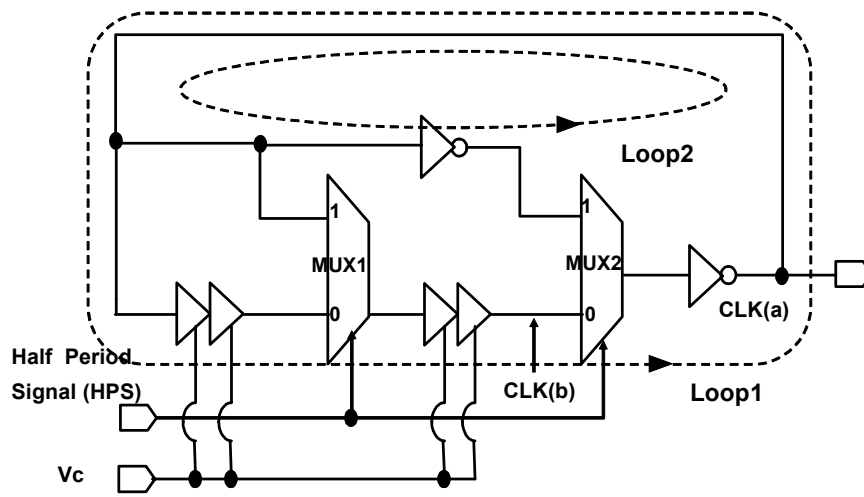


그림 3-16 전압 제어 발진기로 사용된 MO의 회로도

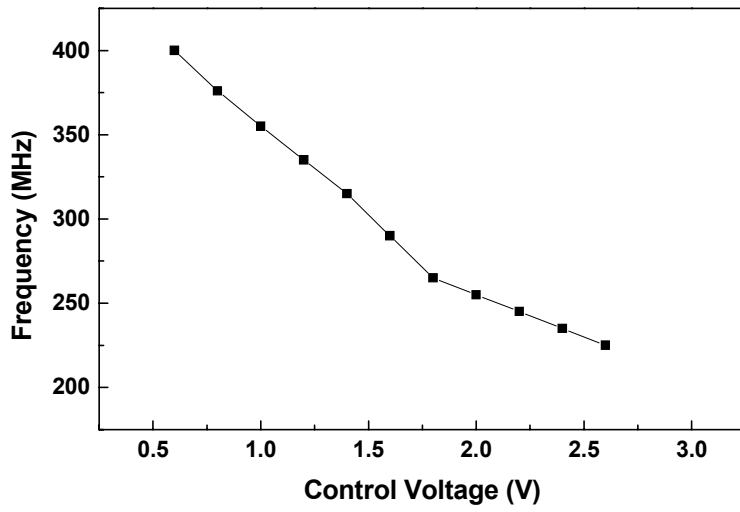


그림 3-17 VCO의 주파수 제어 특성  
(622Mbps MO-CDR)

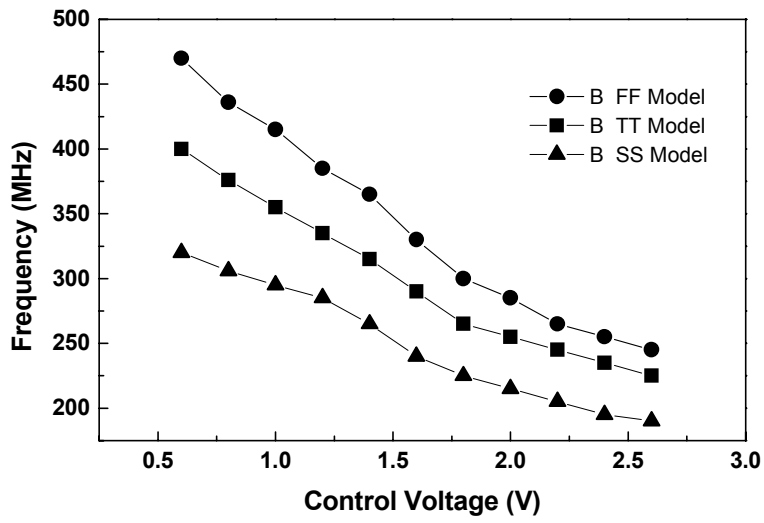


그림 3-18 3가지 모델을 이용한 전압 제어 발진기의 출력과 제어 전압과의 관계

본 논문에서 사용한 위상/주파수 검출기는 낮은 주파수의 지역 발진기로부터의 입력을 받아 동기를 시키기 위해 사용되는 순서회로를 이용한 위상 주파수 검출기로서 그림 3-19와 같은 구조를 가지며 7 gate 리셋 시간을 가지며 dead zone 문제가 해결된 구조의 위상 주파수 검출기이다.

이 구조의 위상 주파수 검출기는  $V_{in}$ 과  $V_{div}$ 를 입력으로 받아서 UP, DN 신호를 출력한다. 본 연구에서 설계한 차동 전하펌프는 differential 입력을 필요로 하므로 single 신호를 differential 신호로 바꿀 수 있는 buffer를 사용하여 UP, DN 신호의 반대 신호를 추출하였다.

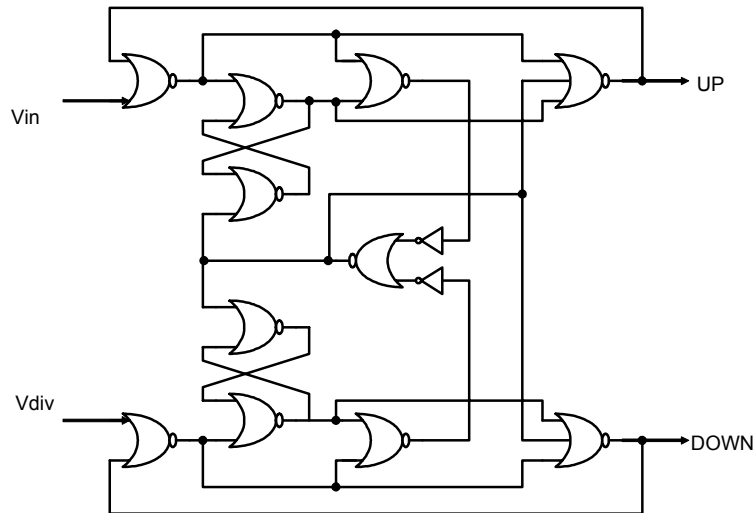


그림 3-19 위상/주파수 검출기의 회로도

전하 펌프 회로의 동작 속도 및 누설 전류량은 위상동기 회로의 정적 위상 오차(static phase error)와 지터 특성에 영향을 미치는 주된 요인이다[16]. 일반적인 전하 펌프 회로는 PLL에 있어서 위상 검출기의 출력 전압을 입력으로 받아서 그에 상응하는 전류량을 루프 필터에 공급하는 역할을 한다. 본 논문에서 사용한 전하 펌프는 그림 3-20과 같다. NMOS와 PMOS로 구성된 두 쌍의 current mirror와 UP/DOWN 신호를 받는 switch로 구성되어 있다[17]. 전하펌프가 고속의 동작을 위해서는 pumping current를 완전히 차단시키는 구조가 아닌 항상 전류원들이 활성화되어 있어야 한다. 즉, 두 전류원의 출력 전류량을 직접 제어하는 방식보다는 그림 3-20과 같이 항상 일정한 전류량이 전류원에서 출력되는 상태에서 전류의 경로를 제어하여 루프 필터의 커패시터를 충전, 방전 혹은 유지하는 것이 고속 전하 펌프 회로 설계에 유리하다. 그러나, 항상 유지되어 있는 전류원의 전류량 오차는 전하펌프의 누설전류를 증가시켜 지터 잡음을 발생시키는 요인이 된다. 그러나, 데이터에 의한 빠른 feedback과 루프 필터에 의한 보상으로 전체 회로의 성능에는 영향을 미치지 않게 된다[17].

위상동기 회로의 안정성과 동기시간은 루프 필터의 파라미터 값에 의해 결정된다. 각 파라미터 값을 결정하는 방법은 위상 동기 회로의 각 블록의 이득을 이용하여 루프 대역폭을 고려하여 전달함수의 감쇄상수(damping factor)가 0.707이 되도록 결정한다[18]. 루프필터는 그림 3-21과 같은 형태의 lag-lead 필터가 사용되었고 파라미터 값은 C1 과 C2는 각각 200pF와 20pF이고 R값은 1200 $\Omega$ 이다. 펌핑 전류는 300 $\mu$ A이다.

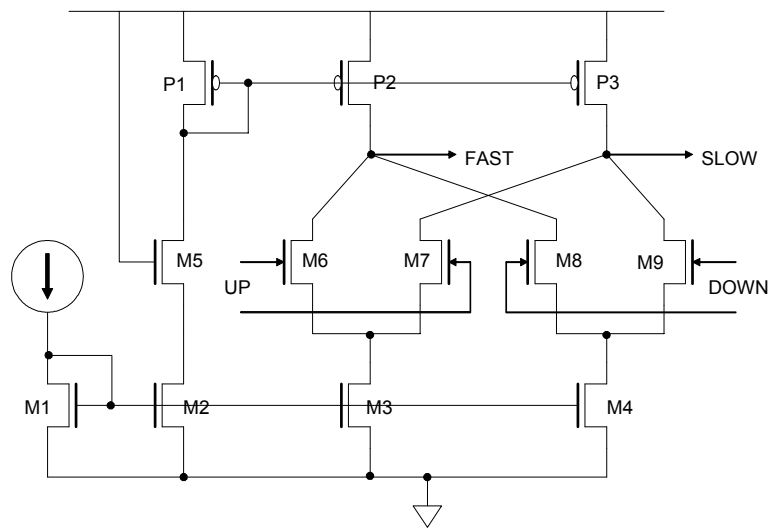


그림 3-20 전하 펌프의 회로도

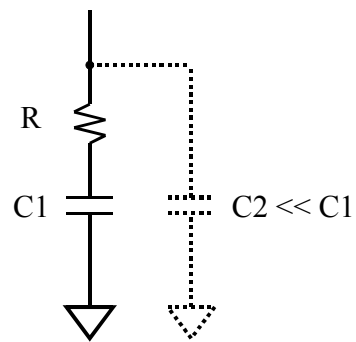


그림 3-21 lag-lead 필터





### 제 3-4-2 절. 위상 동기 회로의 시뮬레이션

앞서 설명한 위상/주파수 검출기, 전하펌프, 루프 필터, 전압제어 발진기와 주파수 분주기를 합쳐 위상 동기 회로를 구성하며 시뮬레이션을 수행하였다. 위상 동기 회로의 동기 범위는 시뮬레이션 결과 제어 전압이 0.6V-2.5V 변할 때, 200-400MHz로 나타났다.

본 논문에서 제안한 MO-CDR은 빠른 locking 시간을 갖는 위상 동기 회로를 필요로 하지 않는다. 이는 입력 데이터에 의해 동기되는 것이 아니고, 외부 클럭에 의해 동기되기 때문에 동기된 후에 입력 데이터가 인가된다고 가정하기 때문이다. 그림 3-23은 위상 동기 회로의 동기과정을 나타내는 예이다. 사용한 파리미터는 0.35 $\mu$ m CMOS 공정이다. 온도는 80 $^{\circ}$ C 이고, 330MHz에서 동기된 것이다.

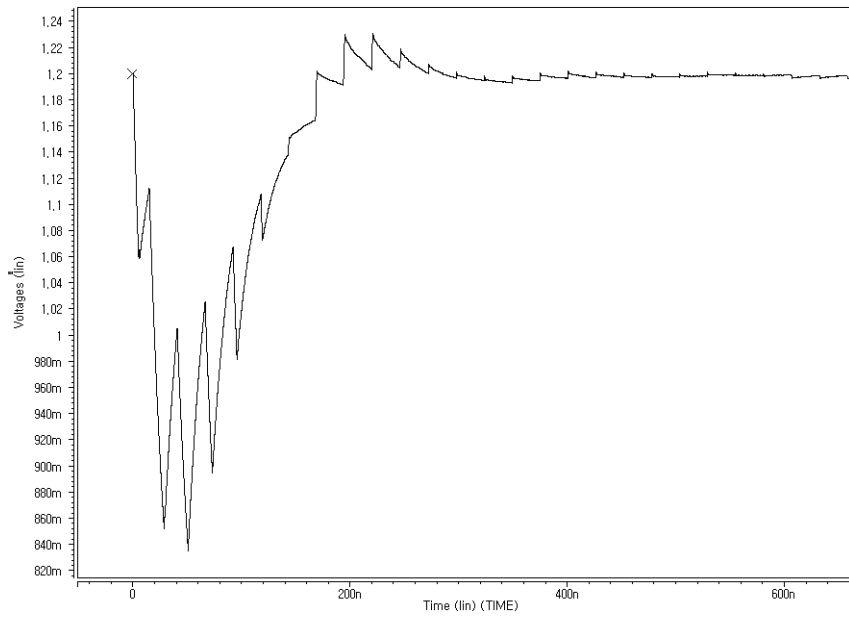


그림 3-23 위상 동기 회로의 동기 과정  
(330MHz에서 동기)

### 제 3-5 절. 데이터 전송 시뮬레이션

본 절에서는 622Mbps MO-CDR 회로의 성능을 검증하기 위한 방법으로 SPICE를 이용하여 post-layout 시뮬레이션을 수행하고, 그 결과에 관하여 설명한다. 시뮬레이션에 사용한 공정은 0.35 $\mu$ m CMOS 공정이다. 버스트 모드 전송 시뮬레이션을 하기 위하여 다음과 같은 방법을 사용하였다. 데이터의 패킷과 패킷 사이의 데이터가 없는 구간을 처음에 0으로 인가하다가 패킷이 시작할 때  $2^7-1$ 의 PRBS 입력을 인가한다. 그림 3-24는 622Mbps 버스트 모드 입력과 복원된 데이터를 시뮬레이션을 통해 얻은 그림이다. 1bit의 데이터 손실 없이 데이터 복원이 이루어짐을 알 수 있다. 따라서 제안한 구조는 preamble 신호 없이도 바로 locking 되는 특성을 확인할 수 있었다. 그림 3-25는  $2^7-1$ 의 PRBS 입력으로부터 얻은 복원 데이터의 eye diagram이다. 본 논문에서 제안한 622Mbps MO-CDR은 클럭의 double-edge를 사용하기 때문에 일반적인 single-edge 구조보다는 지터에 민감하다. 하지만 elastic buffer를 사용한다면 이러한 문제를 극복할 수 있다. 그림 3-26은 입력 데이터의 패턴에 따른 출력의 파형이다. (a)는 1010의 데이터를 반복하여 인가하였고 (b)는 1100의 데이터를 반복하여 인가하였다. 시뮬레이션 결과 (a)의 경우 (1010의 데이터 패턴) rising time과 fall time이 각각 0.23n와 0.228n 였다. (b)의 경우 (1100의 데이터 패턴) 에는 0.24n와 0.238n로 나타났다. 시뮬레이션 결과로는 데이터 패턴에 관계없이 고른 rising time과 fall time을 유지하였다. 이러한 시뮬레이션 결과와 측정 결과의 비교는 5장에서 논의하도록 하겠다.

레이아웃을 마친 회로의 모습을 그림 3-27에 나타내었다. 전체 면적은 2.1 $\times$ 2.1 mm<sup>2</sup>, I/O를 제외한 core의 면적은 0.7 $\times$ 0.8mm<sup>2</sup>이고 32pin TQFP plastic package로 제작되었다. 입력버퍼는 입력단자에 ESD 방지회로를 갖춘 구조로 되어 있으며 출력버퍼는 출력전류를 외부에서 조정할 수 있는 CML 구조를 사용하였다[20]. 입/출력버퍼는 모두 차동 신호를 사용하며, 입력신호는 데이터와 reference 클럭 두 가지이며 출력신호는 복원된 클럭과 데이터, VCO 출력과 elastic buffer 블럭을 추

가했을 때 필요한 지터가 없는 클럭 네 가지이다.

본 논문에서 제안한 버스트 모드 클럭/데이터 복원 회로가 에러 없이 연속된 0 또는 1을 복원할 수 있는 최대 비트수를 산술적으로 계산할 수가 있다.

첫 번째 경우로는 연속된 0 또는 1이 원래 주기보다 큰 경우가 반복적으로 누적될 때이다. 1비트의 주기가 T라고 하고 원래 주기 보다 큰 비트의 주기를  $T_0$ 라고 할 때 허용할 수 있는 최대 비트 수의 계산은 다음과 같다.

$$\begin{aligned} 1) \quad T_0 > T \\ nT + \frac{1}{2} T &= nT_0 \\ n &= \frac{\frac{1}{2} T}{T_0 - T} \end{aligned}$$

또한 연속된 0 또는 1이 원래 주기보다 작은 경우도 마찬가지로의 계산이 가능하다.

$$\begin{aligned} 2) \quad T_0 < T \\ nT - \frac{1}{2} T &= nT_0 \\ n &= \frac{\frac{1}{2} T}{T - T_0} \end{aligned}$$

만약 0.5%의 mismatch가 발생한 1 또는 0의 데이터가 연속적으로 인가 된다면 최대 허용 가능한 비트수는 위의 계산식에 의해 100개가 된다. 또한 1%의 mismatch가 발생한 경우의 최대 허용 가능한 비트수는 50개이다.

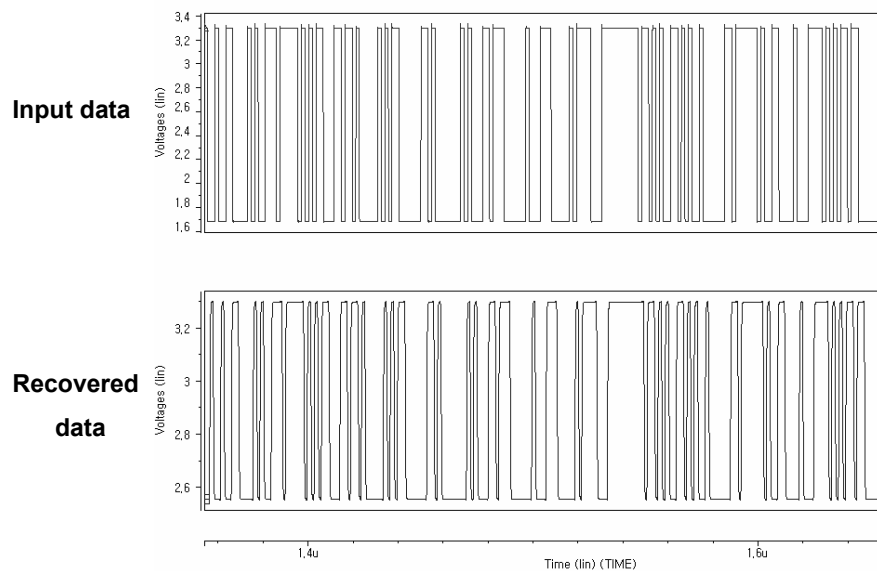


그림 3-24 버스트 모드 전송 시뮬레이션  
(data rate = 622Mbps)

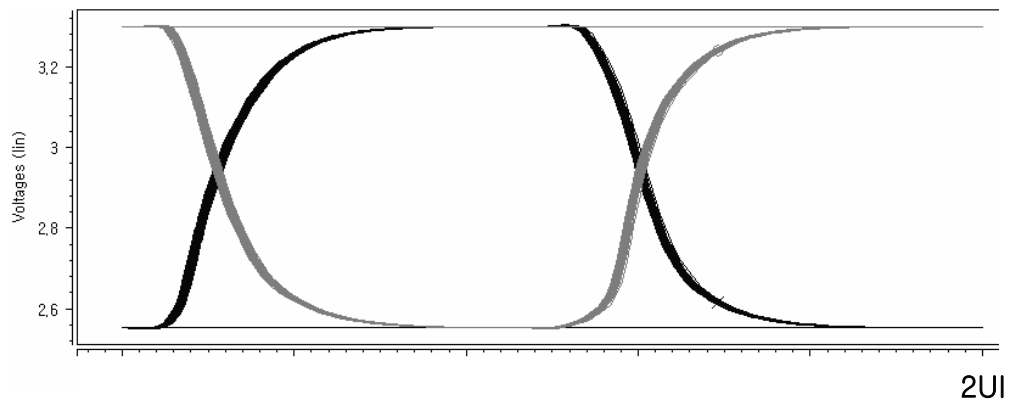


그림 3-25 PRBS 입력 데이터로부터  
복원된 데이터의 eye diagram

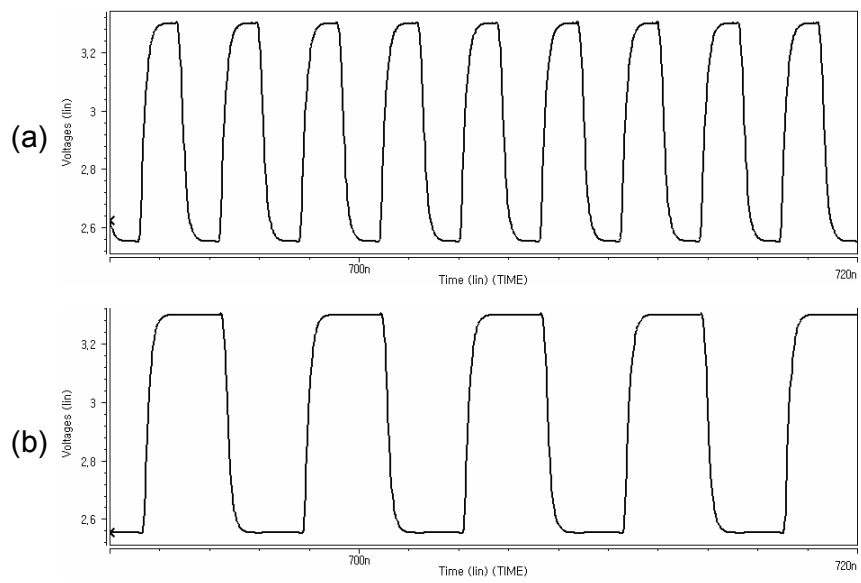


그림 3-26 입력 데이터 패턴에 따른 출력의 파형

(a) 10의 반복 패턴

(b) 1100의 반복 패턴

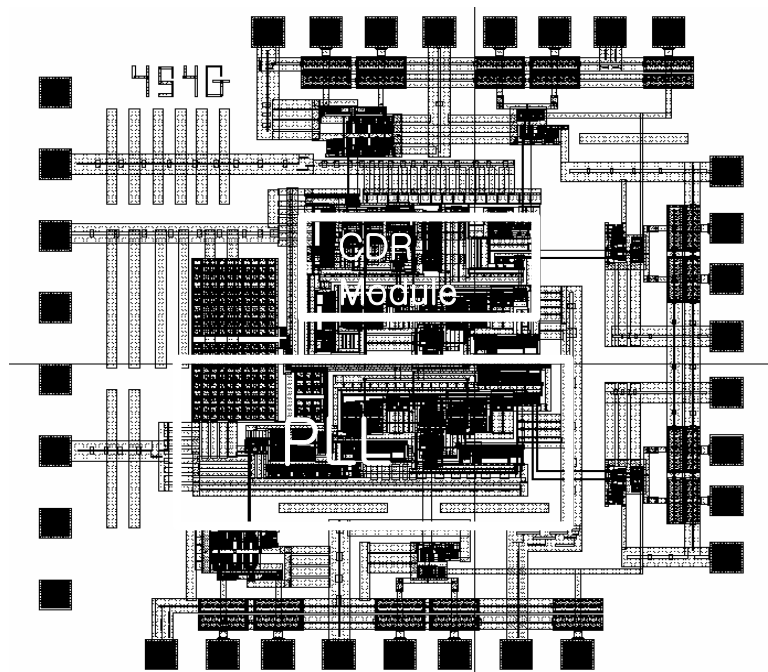


그림 3-27 회로의 레이아웃



## 제 4 장. 1.25Gbps MO-CDR 회로 설계

### 제 4-1 절. 1.25Gbps MO-CDR 회로의 동작 및 구현

3장에서는 APON의 수신기에 적용될 수 있는 새로운 622Mbps급 버스트 모드 클럭/데이터 복원 회로에 관하여 설명하였다. 본 4장에서는 622Mbps 버스트 모드 CDR을 몇 가지 회로를 변형하여 EPON에 적용될 수 있는 data rate를 올려서 1.25Gbps급 버스트 모드 클럭/데이터 복원회로를 제안하였다. 전체 블록도는 그림 4-1과 같다. 전체 회로는 입력 데이터를 받아 데이터와 클럭을 복원하는 블록과 시스템 클럭을 제공하는 위상 동기 회로 (Phase Locked Loop)로 구성되어 있다. 데이터와 클럭을 복원하는 블록은 HPSG (Half Period Signal Generator), 두 개의 MO 와 DFF으로 구성되어 있다. 앞서의 622Mbps MO-CDR과의 차이점은 다음과 같다. 622Mbps MO-CDR의 위상 동기 회로는 half clock 주파수로 동작하여 복원되는 데이터의 rate는 622Mbps 이고 복원되는 클럭의 주파수는 311MHz이다. 그러나 1.25Gbps MO-CDR의 위상 동기 회로는 1.25GHz로 동작한다. 그리고 복원되는 데이터의 rate는 1.25Gbps 이고 복원되는 클럭의 주파수는 1.25GHz이다. 이러한 변형을 위하여 HPSG와 MO를 변형하였고 DFF은 일반적인 single-edged DFF을 사용하였다. 이러한 변형의 이유는 복원되는 클럭이 2배 느리기 때문이다. 자세한 분석은 5장에서 측정 데이터와 함께 언급하였다.

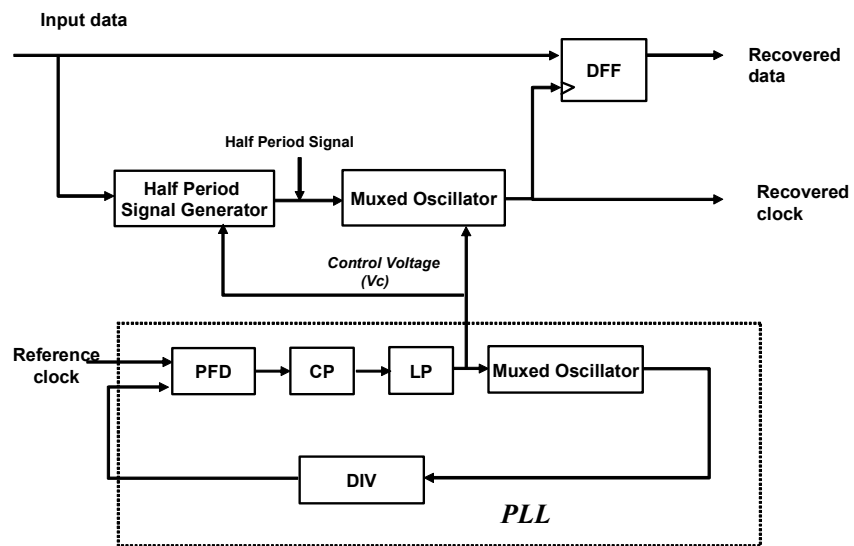
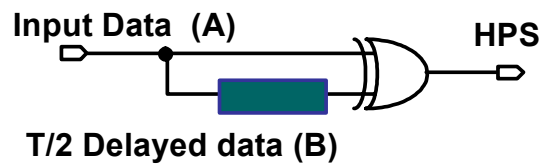


그림 4-1 1.25Gbps MO-CDR의 전체 블록도

#### 제 4-1-1 절. HPSG

이 절에서는 622Mbps MO-CDR에서 사용된 HPSG를 변형하여 1.25Gbps MO-CDR에 적용한 것에 대해 설명한다. 그림 4-2는 622Mbps MO-CDR의 HPSG와 1.25Gbps MO-CDR의 HPSG를 비교한 것이다. 입력 신호 주기의 반주기 ( $T/2$ )만큼 지연시키는 지연소자와 AND와 인버터로 구성되어 있다. 입력 데이터와  $T/2$  지연된 입력 데이터를 XOR을 취하면 데이터의 천이가 시작되고 끝나는 2개의 시점에서 HPS (Half Period Signal)가 발생하지만 AND를 이용하면 데이터의 천이가 시작되는 시점에서만 HPS가 발생하게 된다. 그림 4-3은 동작 설명을 위한 타이밍도 이다. 그림에서와 같이 데이터의 천이가 시작되는 시점에서 데이터의 반주기의 펄스가 발생함을 알 수 있다.

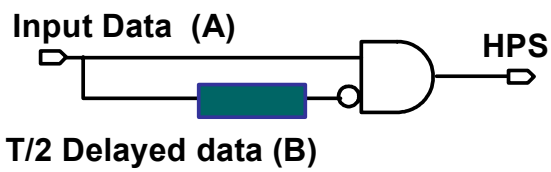
622Mbps MO-CDR



$$\text{HPS} = A * B + AB^*$$

(a)

1.25Gbps MO-CDR



$$\text{HPS} = AB^*$$

(b)

그림 4-2 HPSG의 변형

(a) 622Mbps MO-CDR

(b) 1.25Gbps MO-CDR

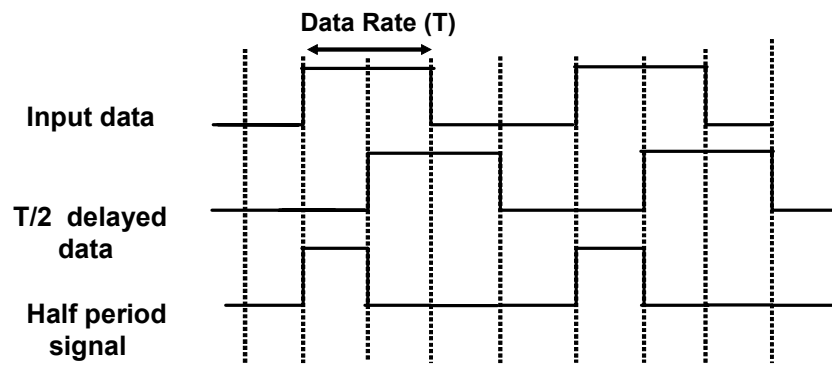


그림 4-3 HPSG의 타이밍도

#### 제 4-1-2 절. MO

그림 4-4는 622Mbps MO-CDR에서 사용된 MO와 이를 변형한 1.25Gbps MO-CDR에서 사용한 MO를 비교한 것이다. 622Mbps MO-CDR에서와 마찬가지로 MO는 위상 동기 회로의 전압 제어 신호에 의해 제어되는 지연소자, HPSG에서 생성되는 HPS에 의해 제어되는 MUX와 반전기 (inverter)로 구성되어 있다. 기본적인 동작은 622Mbps MO-CDR과 같다고 할 수 있다. 만약 반주기 신호 값 (HPS) 이 로직 'low' (데이터의 천이가 없을 때) 이면, MO는 주기가 T인 일반적인 링 오실레이터로 동작하게 된다. HPS 값이 로직 'high' (데이터의 상승 천이가 있을 때) 이면, 첫 번째 MUX는 로직 'high'를 채택하고 두 번째 MUX는 logic 'low'를 select하게 된다. 따라서 그림 4-5와 같은 타이밍도를 얻을 수 있다. 622Mbps MO-CDR에서는 샘플링 클럭 주파수가 311MHz 였던 것과는 달리 1.25Gbps MO-CDR에서는 클럭 주파수가 1.25GHz임을 알 수가 있다.

MO 내에 있는 지연 소자들은 control voltage ( $V_c$ )를 통해 지연 시간을 제어하게 된다. 이 신호는 위상 동기 회로 내에 VCO로써 사용된 다른 MO의 지연 소자에 인가되는 제어 신호와 동일하고, HPSG 에서도 동일하게 인가된다. MO이 한 단의 지연 시간은 데이터 주기 T와 동일하며, HPSG 회로 내의 지연 회로는 지연 시간이 T/2에 해당한다. 따라서, MO, HPSG와 위상 동기 회로 내의 MO는 동일한 지연 시간을 갖고 변화도록 control voltage ( $V_c$ )에 의해 연결된다.

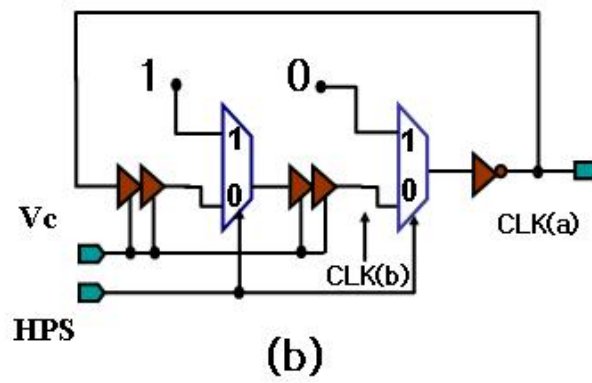
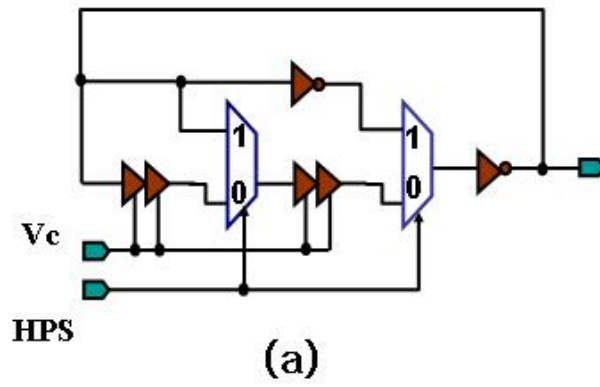


그림 4-4 MO의 변형  
 (a) 622Mbps MO-CDR  
 (b) 1.25Gbps MO-CDR

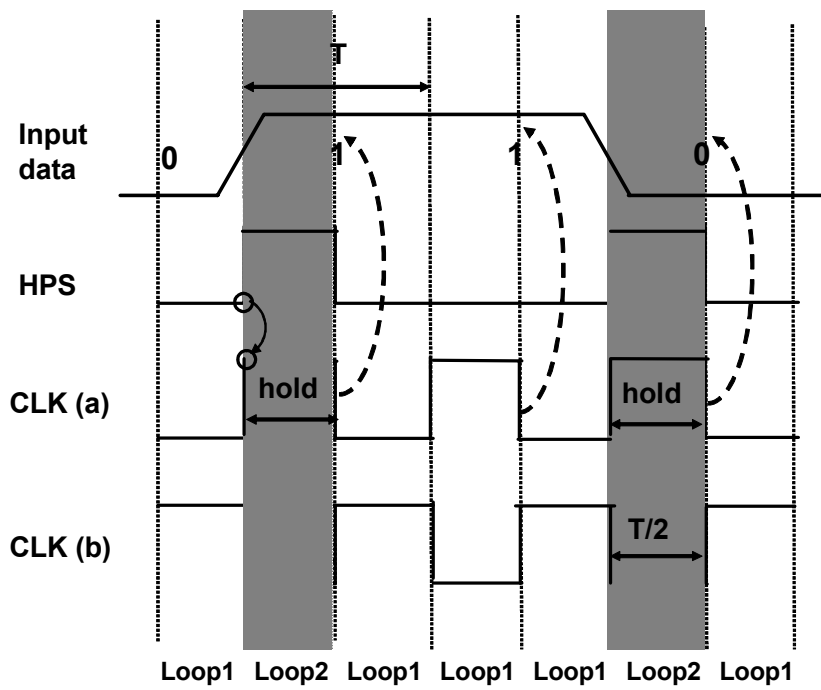


그림 4-5 MO의 타이밍도



### 제 4-1-3 절. 1.25Gbps MO-CDR 회로의 타이밍도

제안한 방식을 전체적으로 설명하기 위한 타이밍도를 그림 4-6에 나타내었다. 입력 데이터를 인가하였을 때 클럭, HPS 와 클럭으로 데이터를 샘플링 하여 얻은 recovered data이다. 입력 데이터는 로직 '0110'이고, 데이터의 주기는 T라고 가정하였다.

먼저, 입력 데이터의 천이가 일어나는 시점에서 펄스폭이  $T/2$  인 HPS 가 발생한다. 앞서 언급했듯이 HPS 값이 로직 'low' (데이터의 상승 천이가 없을 때) 이면 MO는 주기가 T인 일반적인 링 오실레이터로 동작하게 되고, HPS 값이 로직 'high' (데이터의 상승 천이가 있을 때) 이면 앞 절에서 설명한 동작을 수행한다. 따라서 그림 4-6과 같은 타이밍도를 얻을 수 있고 이 클럭 (clk(a)) 으로 데이터를 샘플링하여 recovered data를 얻을 수 있다. 이 때 데이터를 샘플링하기 위한 DFF은 single-edged DFF을 사용한다.

622Mbps MO-CDR과 마찬가지로 입력 데이터의 지터로 인해 데이터의 위상에 변화가 생겨도 이에 따라 HPS가 연동되고, 또한 HPS에 따라 클럭이 연동되므로 항상 최적의 샘플링 포인트에 클럭이 정렬된다.

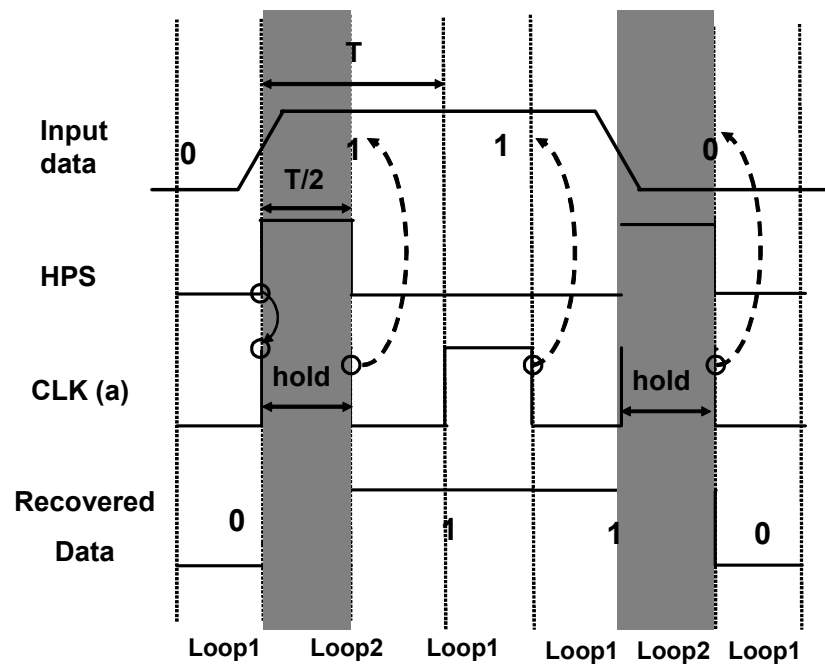


그림 4-6 입력 데이터를 인가하였을 때  
클럭, HPS, recovered data

#### 제 4-1-4 절. 1.25Gbps MO-CDR 회로의 특징

본 논문에서 제안한 1.25Gbps MO-CDR 회로의 특징은 다음과 같다. 첫째, MO-CDR 회로는 입력 데이터의 천이가 발생하면, 한 비트 내에 샘플링 클럭의 위상을 최적의 시점으로 정렬하기 때문에 빠른 locking 시간을 갖는다. 따라서 본 구조는 preamble 신호가 필요 없으며, 이러한 특성은 전체 수신단 설계 마진을 높이게 되어 큰 장점이 된다. 둘째, 입력 데이터의 지터 발생으로 천이 시점이 변화더라도 클럭의 위상을 계속 조정하기 때문에 입력 데이터 지터에게 강한 특성을 갖는다.

## 제 4-2 절. 1.25Gbps MO-CDR 회로의 설계

### 제 4-2-1 절. MO의 지연 회로 설계

MO 블록은 622Mbps MO-CDR과 마찬가지로 CDR 모듈에 하나 그리고 위상 동기 회로에 한 개로 총 2개가 사용되었다. 위상 동기 회로 내의 MO는 전압 제어 발진기의 역할을 수행하고 CDR 모듈에 있는 MO는 복원 클럭을 발생시킨다. 이렇게 함으로써 control voltage를 이용하여 위상 동기 회로의 동작 주파수와 CDR 모듈의 동작 주파수가 일치할 수 있다. 본 논문에서 사용된 지연소자는 622Mbps MO-CDR에서 사용한 구조와 같고 MUX 1개와 인버터 2개가 반주기의 지연을 갖도록 설계하였다. 이 반주기 지연을 HPSG의 반주기 지연 소자로 활용했다.

제 4-2-2 절. MUX, AND 회로 설계

MCML을 이용하여 MUX와 AND를 설계하였다. 여기서 사용된 MUX는 622Mbps MO-CDR에서 사용된 것과 같다.

그림 4-7은 HPSG 블록에 사용되는 AND의 회로도이다. AND회로는 fully differential logic에 사용될 수 있도록 설계되었으며, 각각 두 입력의 변화에 같은 응답을 가질 수 있도록 symmetric하게 구성하였다. 622Mbps MO-CDR에서 사용된 XOR회로와 마찬가지로 본 회로 중 가장 속도를 제한하는 회로가 AND이다. 데이터 주기의 반주기의 펄스를 만들어야 하기 때문이다.

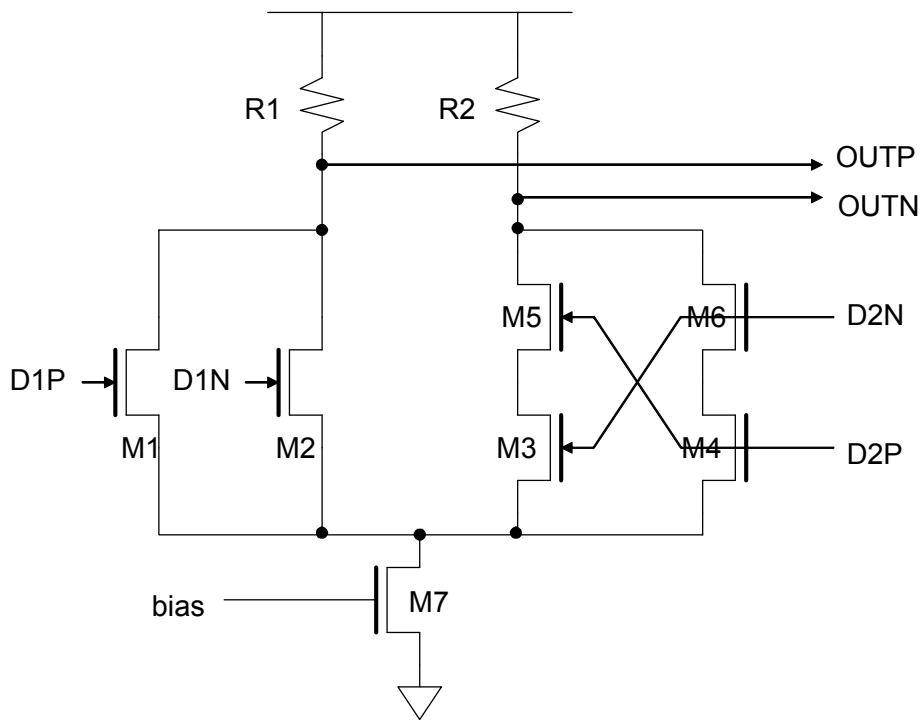


그림 4-7 AND의 회로도

## 제 4-3 절. 위상 동기 회로

### 제 4-3-1 절. 위상 동기 회로의 설계

1.25Gbps MO-CDR 회로에 사용한 위상동기 회로의 블록은 전압 제어 발진기를 제외하곤 622Mbps MO-CDR과 동일하므로 전압 제어 발진기만 언급한다. 본문에서는 앞서 622Mbps MO-CDR 회로와 같이 MO가 전압제어 발진기(Voltage Controlled Oscillator)의 역할을 한다. MO를 전압제어 발진기로 사용하기 위해 HPS 값을 logic '0'을 인가한다. 그렇게 되면 MO는 일반적인 링 오실레이터로 동작하게 되는 것이다. 전압제어 발진기의 성능은 전체 회로 성능에 가장 큰 영향을 미치는 블록으로 안정적인 동작이 보장되어야 한다. 시뮬레이션 결과 VCO의 발진 주파수는 800MHz-1.35GHz로 나타났다. 그림 4-8은 VCO의 주파수 제어 특성을 나타낸 것이다. 0.6V - 1.8V의 제어 전압 범위에서 출력 신호의 주파수는 800-1400MHz로 변화하고 진폭은 1.5-2.0V로 변화한다. VCO의 이득은 500MHz/V이다. 그림 4-9는 FF, TT, SS model을 사용하여 전압 제어 발진기의 오실레이션 주파수를 시뮬레이션 한 결과이다. TT model을 중심으로 10% 정도의 차이를 나타내는 것을 확인하였다. 루프필터는 622Mbps MO-CDR 회로와 마찬가지로 lag-lead 필터가 사용되었고 파라미터 값은 C1 과 C2는 각각 200pF와 20pF이고 R값은 1000 $\Omega$ 이다. 펌핑 전류는 100 $\mu$ A이다.

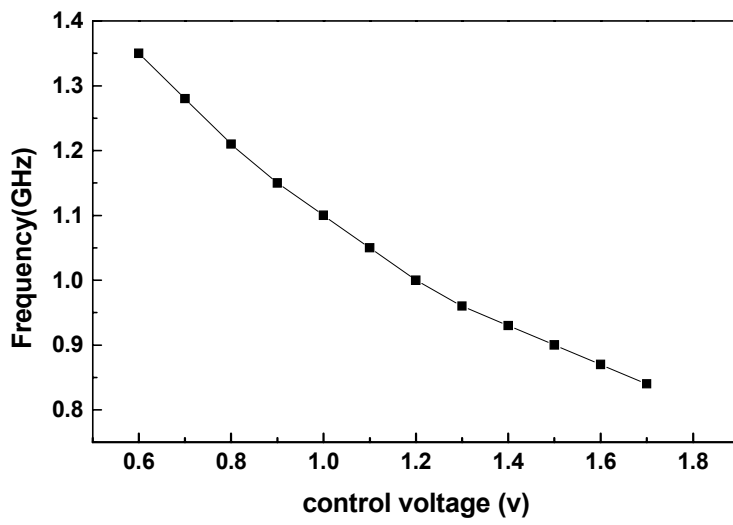


그림 4-8 VCO의 주파수 제어 특성  
(1.25Gbps MO-CDR)

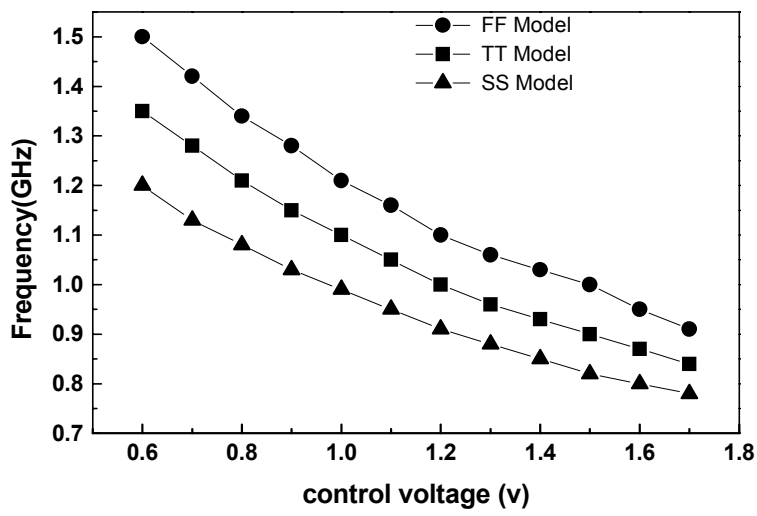


그림 4-9 3가지 모델을 이용한 전압 제어 발진기의 출력과 제어 전압의 관계



#### 제 4-3-2 절. 위상 동기 회로의 시뮬레이션

위상/주파수 검출기, 전하펌프, 루프 필터, 전압제어 발진기와 주파수 분주기를 합쳐 위상 동기 회로를 구성하며 시뮬레이션을 수행하였다. 시뮬레이션 결과 제어 전압이 0.6V-1.8V 변할 때 800MHz-1.4GHz의 동기 범위를 얻을 수 있었다.

본 논문에서 제안한 MO-CDR은 빠른 locking 시간을 갖는 위상 동기 회로를 필요로 하지 않는다. 이는 입력 데이터에 의해 동기되는 것이 아니고, 외부 클럭에 의해 동기되기 때문에 동기된 후에 입력 데이터가 인가된다고 가정하기 때문이다. 그림 4-10은 위상 동기 회로의 동기과정을 나타내는 예이다. 사용한 파리미터는 0.25 $\mu$ m CMOS 공정이다. 온도는 80 $^{\circ}$ C 이고, 1GHz에서 동기된 것이다.

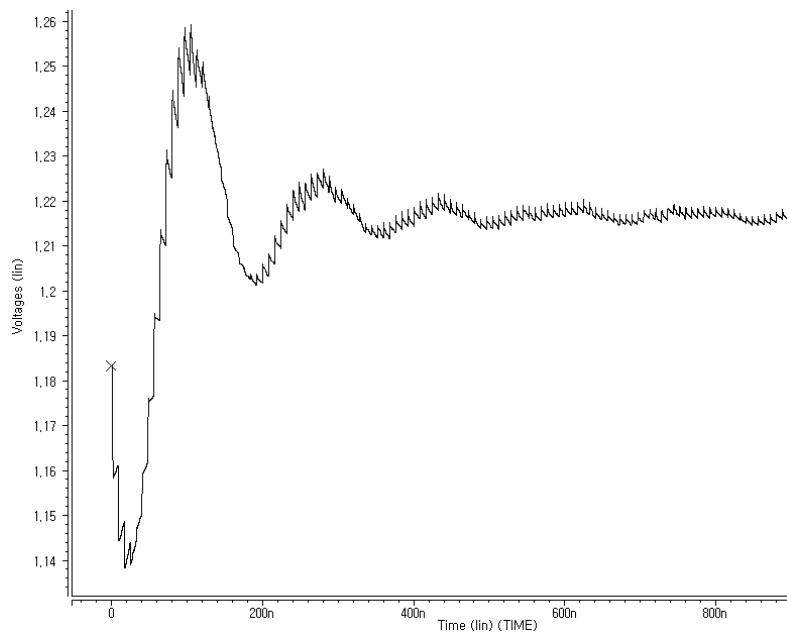


그림 4-10 위상 동기 회로의 동기 과정  
(1GHz에서 동기)

## 제 4-4 절. 입 · 출력 버퍼

통신 시스템이 고속화 및 대용량화되며 I/O의 bandwidth가 시스템 성능향상의 최대 병목 지점으로 작용하고 있다. 따라서 응용시스템이나 데이터 rate에 따라 최적의 I/O 구조를 선택하는 것이 무엇보다 중요하다 할 수 있겠다. 본 논문에서 사용한 입력 버퍼 경우는 그림 4-11의 회로를 6단의 직렬로 연결하여 구성하였다 [21]. 이는 입력 신호의 공통 모드 신호가 흔들려도 입력 버퍼를 거친 공통 모드 신호는 일정하게 유지하도록 하기 위해서이다. 그림 4-11의 차동 인버터에서  $V_{DD}$ 와 연결된 저항은 인버터의 출력이  $V_{DD}$ 까지 올라가는 것을 막아주고, 따라서 다음 단의 바이어스를 잡기 용이하게 하는 역할을 수행한다. 출력 버퍼는 그림 4-12와 같이 open drain 구조를 사용하였다[20]. 설계된 open drain 출력 버퍼의 진폭은 외부 바이어스 저항에 따라 조정이 가능하도록 설계하였다. 저항 값에 따라 6-11 mA의 전류가 흐르며, 50 $\Omega$  termination 저항으로부터 300-500mV의 출력 폭을 얻을 수 있다. Negative 전압을 사용할 경우 termination 없이 직접 연결하여 측정이 가능한 구조적 특징이 있다. 출력 버퍼의 pre-driver는 그림 4-13과 같다[20].

Chip-to-chip interconnection 전송 속도가 Gbps 이상으로 증가함에 따라 package modeling은 전송 채널에 있어서 매우 중요하다. 일반적으로 package model은 그것의 종류에 따라 다양한 값을 가지며 고속 칩의 경우 고가인 단점이 있지만 package 영향이 적은 BGA (Ball Grid Array) type을 많이 사용한다. 하지만 본 연구에서는 가격이 상대적으로 저렴한 44pin TQFP plastic package를 사용하였다. 시뮬레이션에서 이용한 파라미터는 기존의 TDR장비를 이용하여 package parameter extraction을 하여 얻은 것을 사용하였다[20].

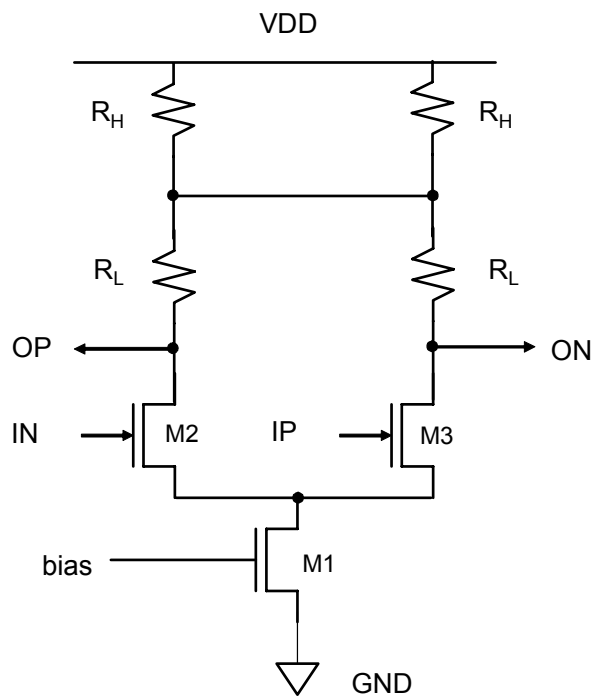


그림 4-11 입력 버퍼의 회로도

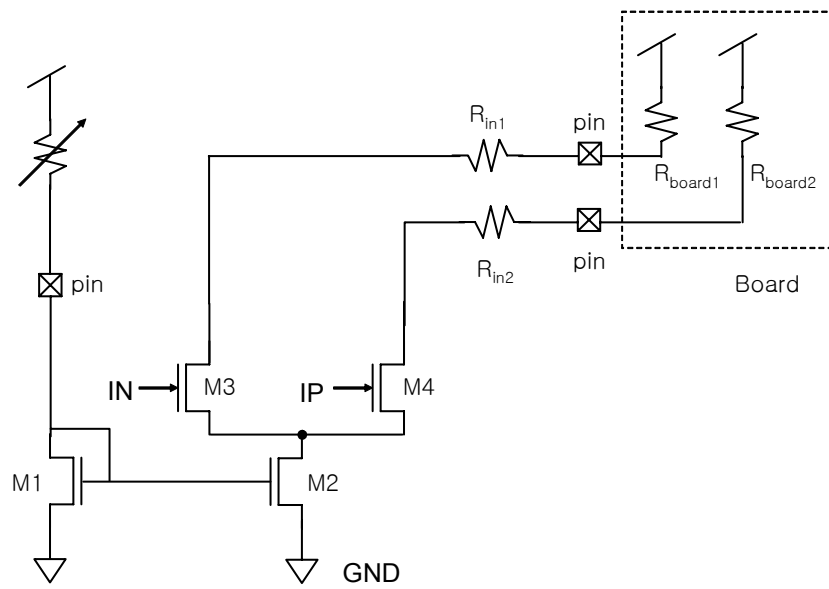


그림 4-12 출력 버퍼의 회로도

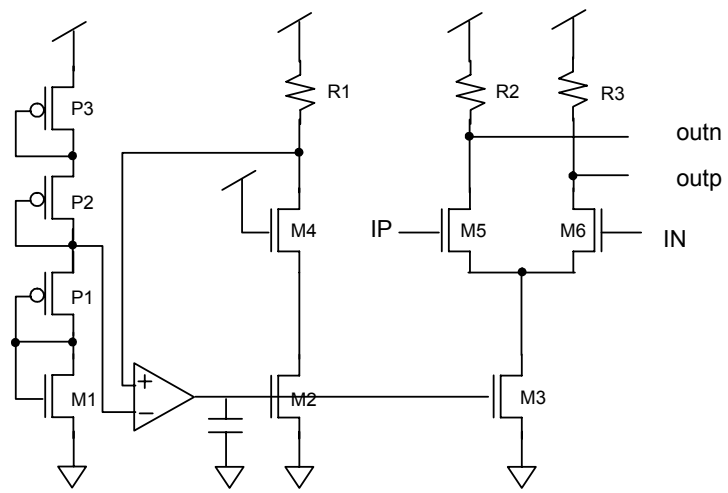


그림 4-13 출력 버퍼의 pre-driver의 회로도

## 제 4-5 절. 데이터 전송 시뮬레이션

본 절에서는 1.25Gbps MO-CDR 회로의 성능을 검증하기 위한 방법으로 SPICE를 이용하여 post-layout 시뮬레이션을 수행하고, 그 결과에 관하여 설명한다. 시뮬레이션에 사용한 공정은 0.25 $\mu$ m CMOS 공정이다. 버스트 모드 전송 시뮬레이션을 하기 위하여 다음과 같은 방법을 사용하였다. 데이터의 패킷과 패킷 사이의 데이터가 없는 구간을 처음에 0으로 인가하다가 패킷이 시작할 때  $2^7-1$ 의 PRBS 입력을 인가한다. 그림 4-14는 1.25Gbps 입력 데이터와 복원된 데이터를 나타낸 그림이다. 이 때의 PLL의 locking frequency는 1.25GHz 이다. 1bit의 데이터 손실 없이 데이터 복원이 이루어짐을 알 수 있다. 따라서 제안한 구조는 preamble 신호 없이도 바로 locking 되는 특성을 확인할 수 있었다. 그림 4-15는 PRBS 입력 데이터로부터 복원된 데이터의 eye diagram을 나타낸 그림이다.

본 논문에서 제안한 버스트 모드 클럭/데이터 복원 회로가 에러 없이 연속된 0 또는 1을 복원할 수 있는 최대 비트수를 산술적으로 계산하는 식은 3장에서 언급한 바 있다. 표 4-1은 이 수식에 따라 계산한 오차에 따른 연속된 0이나 1의 최대 허용 개수를 나타낸 표이다.

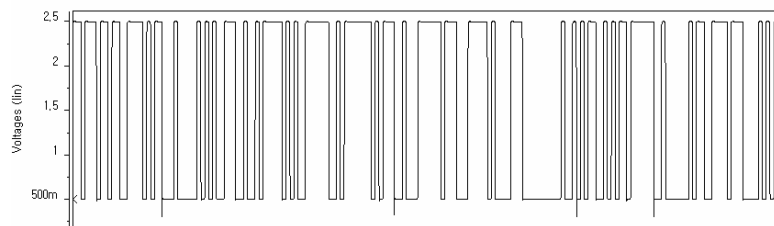
표 4-1 오차에 따른 연속된 0이나 1의 최대 허용개수

오차 (%)	연속된 0이나 1의 최대 허용 비트수
0.5	100
1	50
1.5	33
2	25

레이아웃을 마친 회로의 모습을 그림 4-16 에 나타내었다. I/O를 제외한 core 의 면적은  $0.7 \times 0.7 \text{mm}^2$ 이고 44pin TQFP plastic package로 제작되었다. 입력버퍼는 입력단자에 ESD 방지회로를 갖춘 구조로 되어 있으며 출력버퍼는 출력전류를 외부에서 조정할 수 있는 CML 구조를 사용하였다[20]. 입/출력버퍼는 모두 차동 신호를 사용하며, 입력신호는 데이터와 reference 클럭 두 가지이며 출력신호는 복원된 클럭과 데이터와 VCO 출력 세 가지이다.



**Input  
data**



**Recovered  
data**

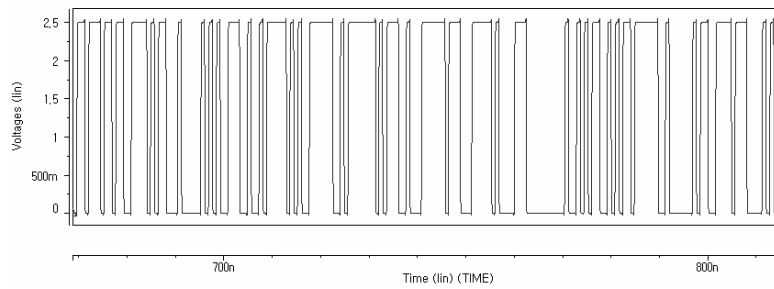


그림 4-14 버스트 모드 전송 시뮬레이션  
(data rate = 1.25Gbps)

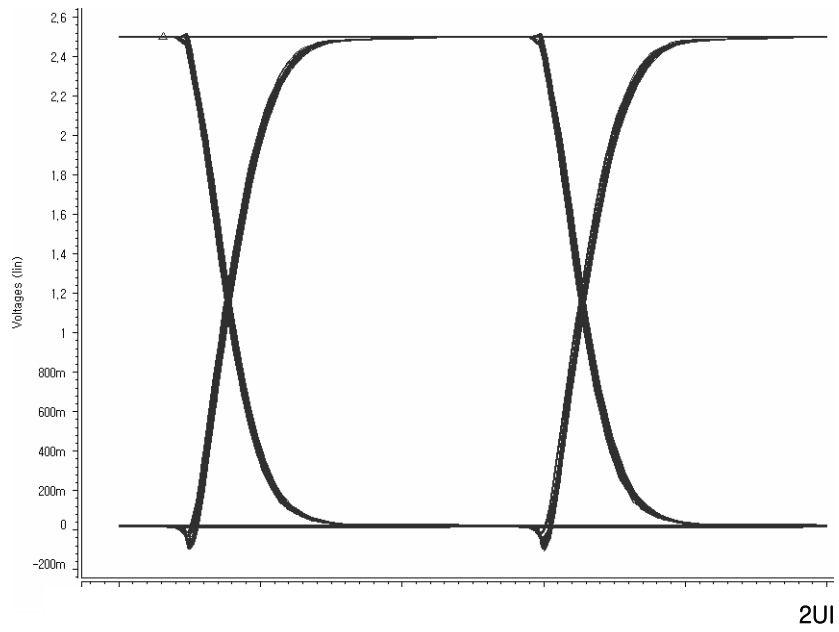


그림 4-15 PRBS 입력 데이터로부터  
복원된 데이터의 eye diagram

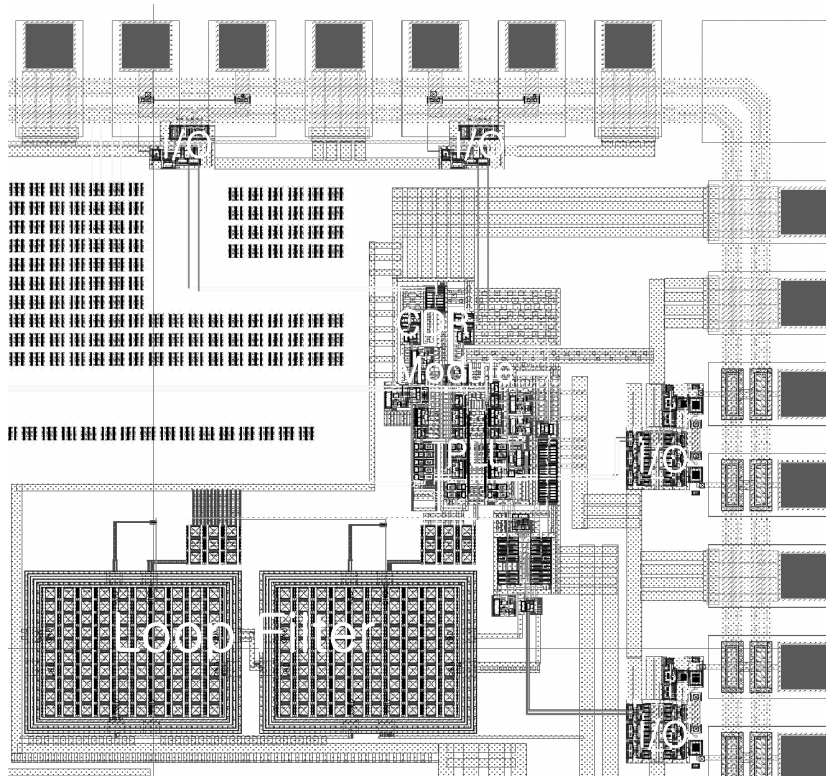


그림 4-16 회로의 레이아웃

## 제 5 장. 측정 결과 및 토의

### 제 5-1 절. 칩 테스트 (622Mbps MO-CDR)

앞서 언급한 블록들을 합쳐 전체 블록을 완성하게 된다. MO에서 생성된 클럭 주파수는 half clock 주파수로 동작하므로 데이터를 샘플링할 때는 double-edged D-FF을 사용한다. 제안한 회로를 검증하기 위하여 MOSIS TSMC 0.35um CMOS공정을 이용하여 칩을 제작하였다. 그림 5-1은 제작된 클럭/데이터 복원회로의 사진이다. 모든 입출력 버퍼에 ESD 보호회로를 포함하였고, 전체 면적은  $2.1 \times 2.1\text{mm}^2$ , I/O를 제외한 core의 면적은  $0.7 \times 0.8\text{mm}^2$ 이고 32pin TQFP plastic package로 제작되었다.

위상 동기 회로의 측정을 위하여 그림 5-2와 같은 실험 환경을 구축하였다. 위상 동기 회로에서는 8분주기를 사용하였기 때문에 reference 클럭으로 25-50MHz를 인가하였다. 측정 결과, 위상 동기 회로의 동작 범위는 200MHz-400MHz로 나타났다. 그림 5-3은 300MHz에서의 위상 동기 회로내의 VCO 출력의 지터 측정 그림이다. RMS 지터가 11.35ps, 최대 (peak-peak) 지터가 76ps로 나타났다. 최소 주파수인 200MHz에서는 RMS 지터와 최대 지터가 각각 15.5ps, 96ps로 나타났으며 최대 주파수인 400MHz에서는 각각이 11.7ps, 84ps로 나타났다. 그림 5-4는 데이터 전송 실험을 위한 환경이다. Anritsu MP1632A/C 3.2G BERT를 이용하여 버스트모드 입력 데이터를 만들어 측정하였다. 버스트 모드 입력의 생성을 위해 PRBS에 burst window를 씌워 버스트 모드 입력 packet을 만들었다. 실험에서는 burst window의 크기를  $30\mu\text{s}$ , burst window의 간격을  $50\mu\text{s}$ 로 하였다. 그림 5-5는 burst window와 622Mbps 입력 데이터, 복원 데이터와 elastic buffer에 사용될 클럭을 보인 그림이다. 데이터 패턴은 10101100의 8bit를 반복하여 인가하였으며, 정확히 복원됨을 알 수 있다. 측정결과  $2^{31}-1$ 의 PRBS 인가시 400Mbps-680Mbps 범위에서 error 없이 동작됨을 확인하였다. 그림 5-5 (c)의 elastic buffer에 사용될

클럭은 앞 절에서 언급했듯이 위상 동기 회로의 VCO에서 합성한 클럭이다. 제안된 클럭/데이터 복원 회로가 지터가 있는 입력에 대해서도 오류없는 동작을 하는지 알아보기 위한 실험을 수행하였다. 그림 5-6-(a)와 5-6-(b)는 각각이 입력 데이터 rate가 400Mb/s 일 때의 입력과 복원된 데이터의 eye diagram이다. 입력 데이터에 지터를 인가하기 위하여 5m의 twin-axial 케이블을 통과시켰다. 그림 5-7-(a)와 5-7(b)는 각각이 입력 데이터 rate가 622Mb/s 일 때의 입력과 복원된 데이터의 eye diagram이다. 622Mb/s일 때의 데이터 경로가 2개로 나타나는데, 이의 원인을 분석하기 위하여 데이터 패턴에 따른 출력을 측정하였다. 그림 5-8은 입력 데이터가 rate가 400Mbps일 때의 입력 패턴에 따른 출력의 파형이다. (a)는 10이라는 데이터를 반복하여 인가한 경우의 출력 파형이고 (b)는 1100의 데이터를 반복인가 했을 때의 출력 파형이다. 측정결과 (a)의 경우는 amplitude는 342mV이고 rising time과 falling time이 각각 1.2n로 측정되었다. (b)의 경우는 amplitude는 367mV 이고 rising time과 falling time이 각각 1.4n로 나타났다. 측정 결과에 따르면 10과 1100이라는 데이터 패턴에 따라 rising time과 falling time이 약 16% 정도가 차이가 나타났다. 그림 5-9는 입력 데이터가 rate가 622Mbps일 때의 입력 패턴에 따른 출력의 파형이다. 마찬가지로 (a)는 10이라는 데이터를, (b)는 1100의 데이터를 반복인가 했을 때의 출력 파형이다. 측정결과 (a)의 경우는 amplitude는 306mV이고 rising time과 falling time이 각각 0.9n와 0.89n로 측정되었다. (b)의 경우는 amplitude는 365mV 이고 rising time과 falling time이 각각 1.4n로 나타났다. 측정 결과에 따르면 10과 1100이라는 데이터 패턴에 따라 rising time과 falling time이 약 55%정도가 차이가 나타났다. 이러한 데이터 패턴에 따른 rising time과 falling time의 차이로 인하여 복원 데이터의 eye diagram에서 두 줄의 데이터 복원이 관찰되는 것이다. 이러한 현상으로 분석해 보면 출력 버퍼의 BW가 충분치 못했다고 판단할 수 있다. 이렇게 판단할 수 있는 근거는 데이터 rate가 400Mbps에서는 16%의 rising time과 falling time의 차이가 나타났지만, 622Mbps에서는 55%정도의 차이가 났기 때문이다. double edge를 이용하여 생긴 영향은 3-5절의 출력 데이터의 eye-diagram을 보면은 그리 크지 않다는 것을 알 수 있다. 그림 5-10은 +25%의 입력 데이터 degradation이 발생했을 경우 복원 데이터

의 파형이다. 이 때 입력 데이터 rate는 500Mbps이다. 측정 결과 데이터 복원은 이루어지지만 입력 데이터 degradation이 출력에 나타나는 것을 알 수 있다. 따라서 이러한 경우 elastic buffer를 통하여 데이터의 duty degradation을 보정할 필요가 있다. 그림 5-11은 -25%의 입력 데이터 degradation이 발생했을 경우 복원 데이터의 파형이다. 이 때 입력 데이터 rate는 마찬가지로 500Mbps이다. 측정 결과 마찬가지로 데이터 복원은 이루어지지만 입력 데이터 degradation이 출력에 나타나는 것을 알 수 있다.

표 5-1은 제작된 칩의 사양을 나타낸 것이다.

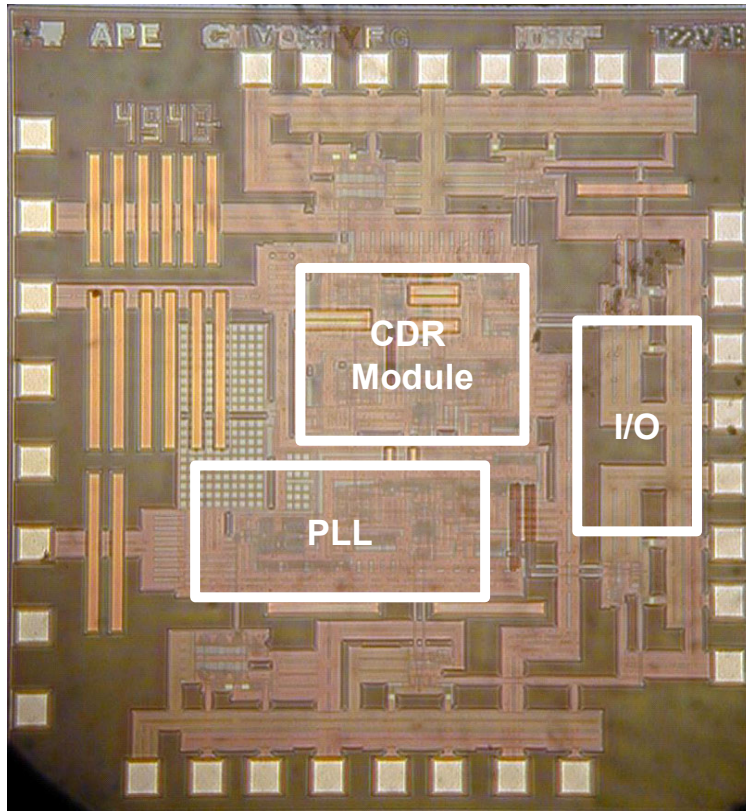


그림 5-1 제작한 칩의 사진

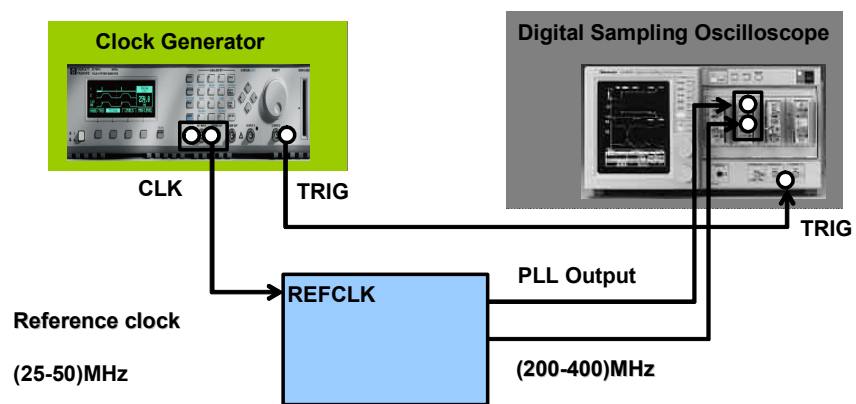


그림 5-2 위상 동기 회로 측정을 위한 실험 환경



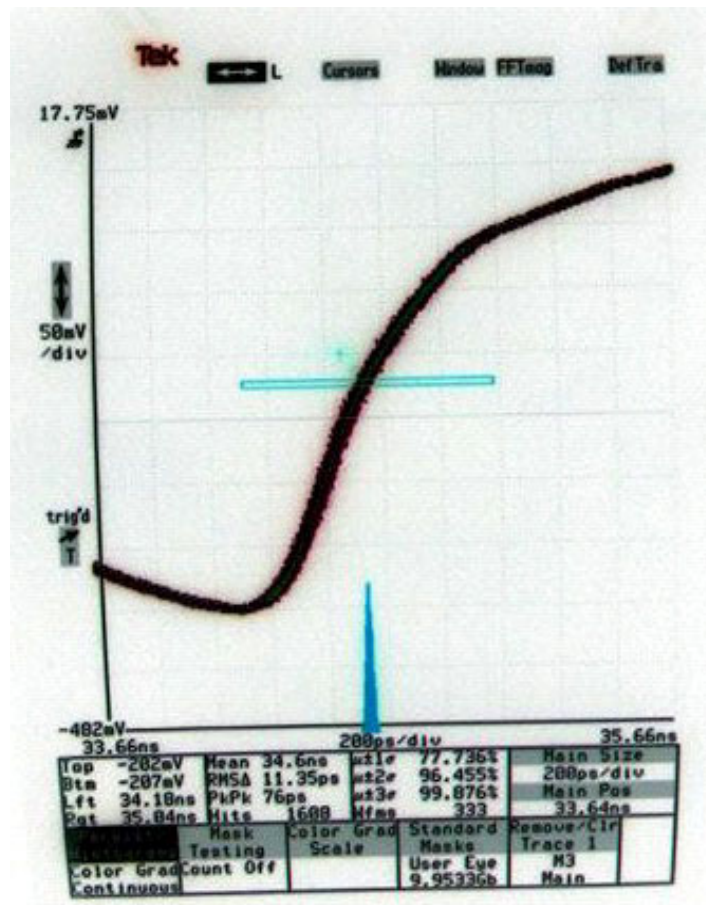


그림 5-3 위상 동기 회로내의 VCO 출력의 지터 특성

RMS 지터=11.35ps

최대 지터=84ps

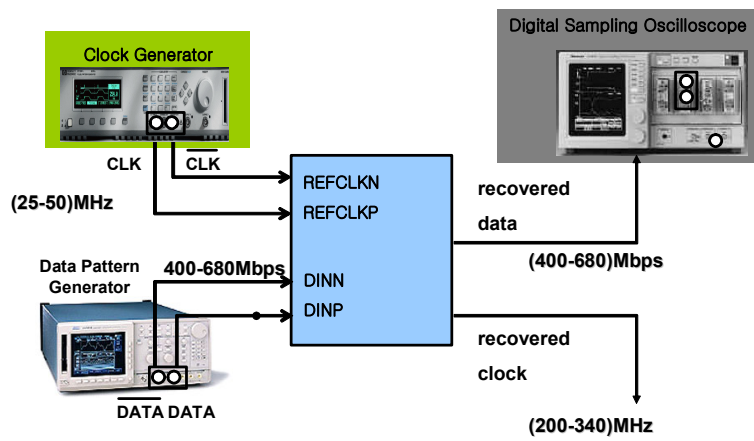


그림 5-4 데이터 전송 실험을 위한 환경

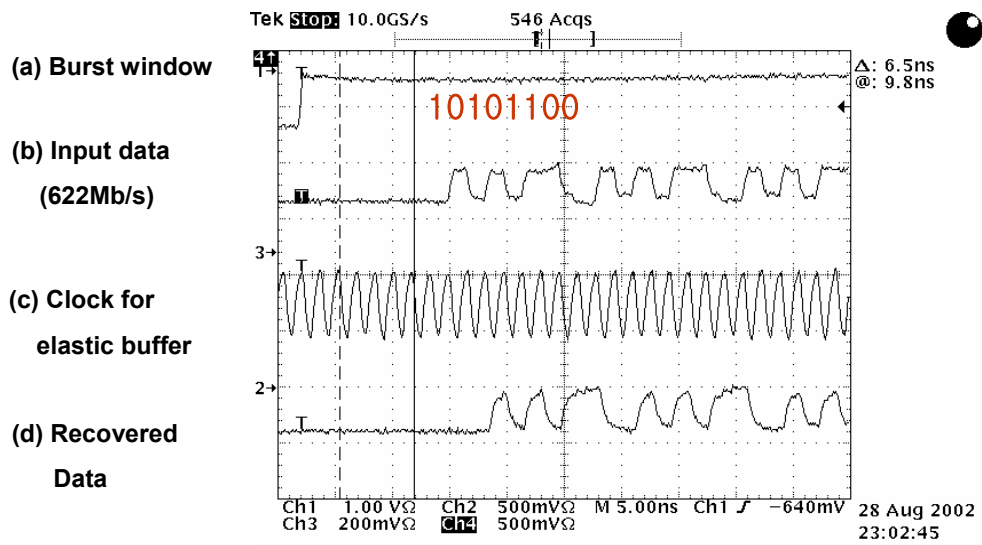
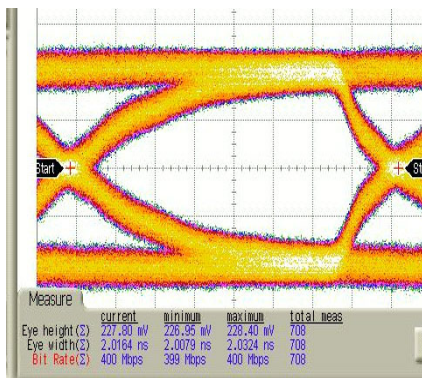
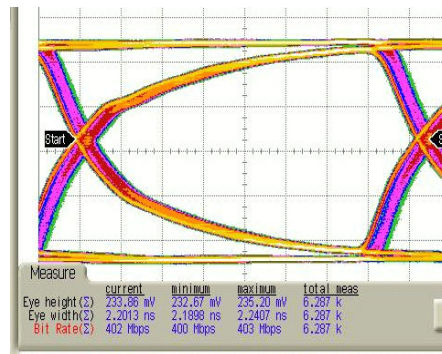


그림 5-5 버스트 모드 입력과 복원된 데이터

- (a) 버스트 윈도우
- (b) 입력 데이터
- (c) elastic 버퍼용 클럭
- (d) 복원 데이터



(a)

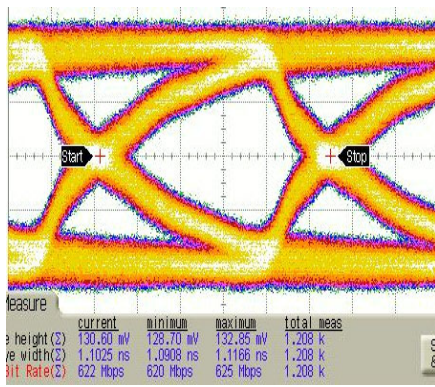


(b)

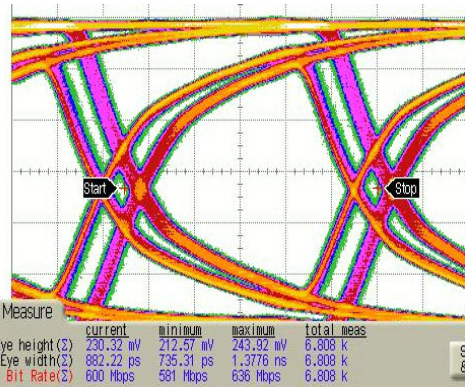
그림 5-6 지터 인가된 400Mbps 입력과 출력의 eye 다이어그램

(a)지터 인가된 입력의 eye 다이어그램

(b)출력의 eye 다이어그램



(a)

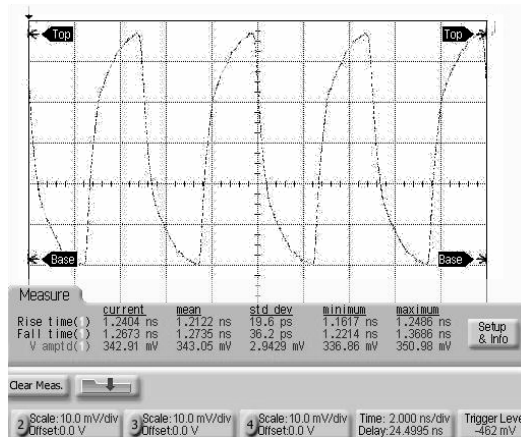


(b)

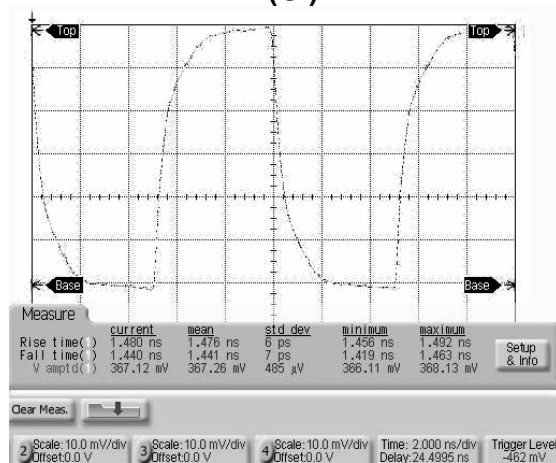
그림 5-7 지터 인가된 622Mbps 입력과 출력의 eye 다이어그램

(a)지터 인가된 입력의 eye 다이어그램

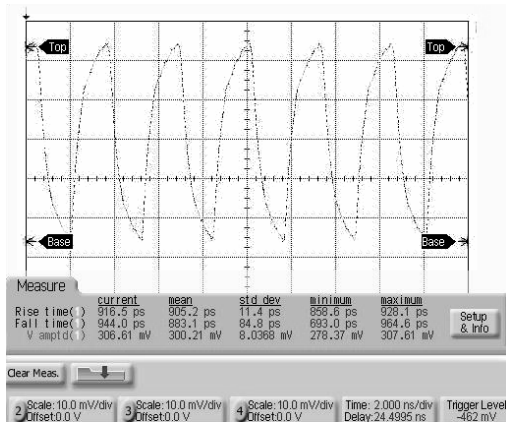
(b)출력의 eye 다이어그램



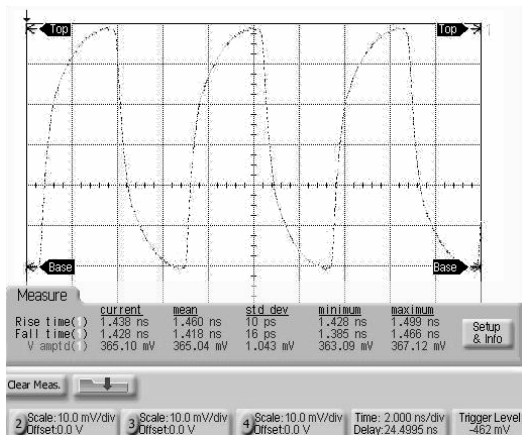
(a)



(b)



(a)



(b)

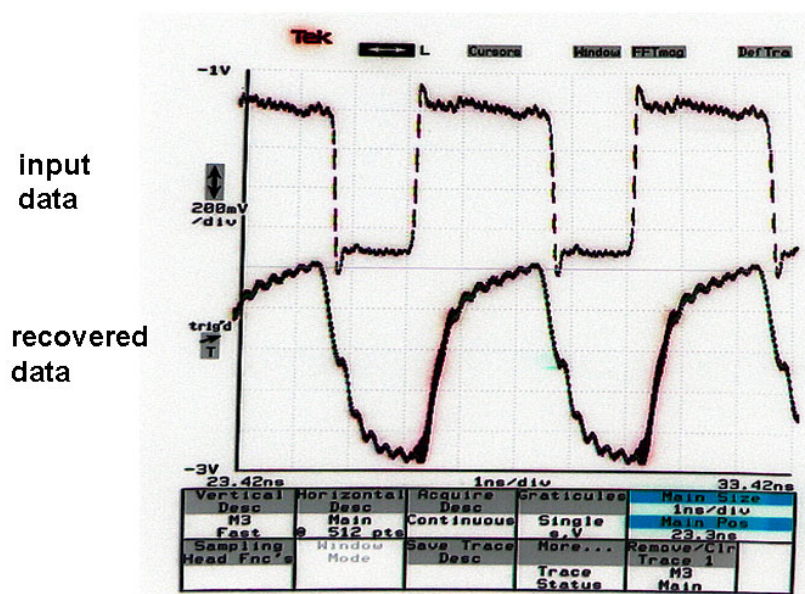


그림 5-10 +25%의 입력 데이터 degradation이 발생했을 경우 복원 데이터 파형



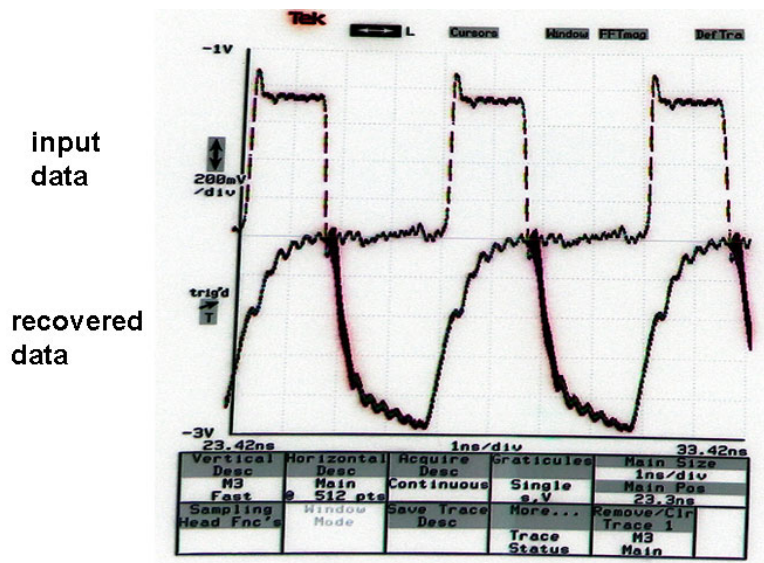


그림 5-11 -25%의 입력 데이터 degradation이 발생했을 경우 복원 데이터 파형

항 목	성능 및 사양
사용 공정	CMOS 0.35 $\mu$ m 공정
CDR 동작 범위	400Mbps - 680Mbps
PLL 동기 범위	200MHz - 400MHz
PLL 지터 특성	200MHz RMS : 15.5ps, pkpk: 96ps 300MHz RMS : 11.4ps, pkpk: 76ps 400MHz RMS : 11.7ps, pkpk: 84ps
사용 전원	3.3V / 0.0V
소비 전력	130 mW (core) 150 mW (I/O)
칩 면적	700 $\mu$ m $\times$ 700 $\mu$ m(core)

표 5-1 제안된 클럭/데이터 복원회로의 성능 사양

## 제 5-2 절. 칩 테스트 (1.25Gbps MO-CDR)

이 절에서는 1.25Gbps MO-CDR의 측정에 관하여 언급한다. 제안한 회로를 검증하기 위하여 MOSIS TSMC 0.25um CMOS공정을 이용하여 칩을 제작하였다. 그림 5-12는 제작된 클럭/데이터 복원회로의 사진이다. 모든 입출력 버퍼에 ESD 보호회로를 포함하였고, core의 면적은  $0.7 \times 0.7 \text{mm}^2$ 이고 44pin TQFP plastic package로 제작되었다. 그런데 layout 작업의 실수로 인하여 칩이 제대로 동작하지 않아서 FIB (Focused Ion Beam) 장비를 이용하여 칩을 수정하였다. 수정한 칩을 이용하여 측정을 수행하였다.

위상 동기 회로의 측정을 위하여 그림 5-13과 같은 실험 환경을 구축하였다. 위상 동기 회로에서는 8분주기를 사용하였기 때문에 reference 클럭으로 100-175MHz를 인가하였다. 측정 결과, 위상 동기 회로의 동작 범위는 800MHz-1400MHz로 나타났다. 그림 5-14는 1.25GHz에서의 위상 동기 회로내의 VCO 출력의 지터 측정 그림이다. RMS 지터가 5.8ps, 최대 (peak-peak) 지터가 52ps로 나타났다. 최소 주파수인 800MHz에서는 RMS 지터와 최대 지터가 각각 7ps, 57ps로 나타났으며 최대 주파수인 1400MHz에서는 각각 11ps, 78ps로 나타났다. 그림 5-15는 데이터 전송 실험을 위한 환경이다. 측정 결과 제안한 클럭/데이터 복원 회로의 동작 범위는 900Mbps-1300Mbps로 나타났다. 버스트 모드 복원 실험을 위하여 10101100 의 8bit 데이터 다음에 300bit는 0을 인가한 후 이러한 데이터 패턴을 주기적으로 인가하였다. 그림 5-16는 그러한 데이터 패턴에 데이터 rate가 1Gbps 일때의 복원된 데이터와 클럭이다. 1Gbps의 데이터와 1GHz의 클럭이 정확히 복원됨을 알 수 있다. 그림 5-17은 데이터 rate가 1.25Gbps 일 때의 버스트 모드 복원 결과이다. 1.25Gbps 데이터와 1.25GHz의 클럭이 정확히 복원됨을 확인하였다.

그림 5-18은 1Gbps의  $2^{31}-1$  PRBS 입력을 인가했을 때 출력 데이터의 eye diagram이다. 그림 5-19는 1.25Gbps의  $2^{31}-1$  PRBS 입력을 인가했을 때 출력 데

이터의 eye diagram이다. 그림에서 오버 슈팅이 관찰됨을 알 수 있다. 오버 슈팅의 원인을 찾기 위하여 TDR 장비를 이용하여 transmission line characteristic impedance를 측정하였다. 그림 5-20은 측정 셋업을 나타낸 그림이다. SMA connector에 TDR장비를 연결하고 약 3cm의 board trace를 거쳐 50Ω의 load 저항을 연결하였다. 그림 5-21은 측정된 TDR 파형과 그것의 확대 파형이다. 측정그림에서 SMA의 cap 성분으로 인하여 아래로 내려갔다가 화살표 부분으로 표시한 transmission line에서의 characteristic impedance가 관찰된다. 확대 파형에서와 같이 평균 60Ω 정도의 transmission line characteristic impedance가 측정되었다. 이 정도의 오차는 1.25Gbps 정도의 data rate의 출력에는 크게 영향을 주지 않는 것으로 관찰했다. 그림 5-22는 data rate가 1.25Gbps인  $2^{31}-1$  PRBS 데이터를 transmission line을 통과한 후 측정한 eye diagram이다. 오버 슈팅의 원인을 찾던 중에 복원 데이터의 출력이 differential 구조인데 그 중에 하나가 open되어 있는 것을 알게 되었다. 출력버퍼는 4장에서 설명한 바와 같이 open-drain 구조로 되어 있어 한 쪽이 open된다면 원하는 출력 레벨까지 못 올라가고, 또한 1이나 0으로 천이시 급격한 전류 변화로 오버 슈팅이 발생할 수 있다. 그림 5-23은 differential 출력 버퍼의 한 쪽을 open했을 때의 복원데이터를 나타낸 그림이다. 실제 측정 결과와 매우 유사한 결과를 얻을 수 있었다. 복원 데이터의 출력 버퍼가 한 쪽이 오픈 된 것은 FIB과정에서 손상된 것으로 볼 수 있다. 이것의 근거는 FIB로 수정된 또 다른 칩은 위상 동기 회로 부분이 제대로 수정이 안 되어 정상적인 동작은 하지 않지만 입력 데이터를 인가하였을 때 초기 복원 데이터를 관찰할 수 있었는데 그 출력 데이터가 differential 출력 모두 오버 슈팅이 없는 정상적인 데이터가 복원되었다.

또한 측정 결과 입력 데이터와 위상 동기 회로의 주파수가 0.5%의 오차를 보였는데, 이는 두 개의 MO의 mismatch로 인한 결과로 3-5절 수식의 계산에 따르면 50개의 연속된 0또는 1을 복원할 수 있다. 두 개의 MO의 mismatch는 복합적 원인을 갖을 수 있다. 첫째로 공정에 의한 variation과 둘째로 layout 상으로 보면 control line의 길이로 인한 IR drop이 가장 큰 원인으로 판단된다.

표 5-2는 제작된 칩의 사양을 나타낸 것이다.

그림 5-12 제작한 칩의 사진

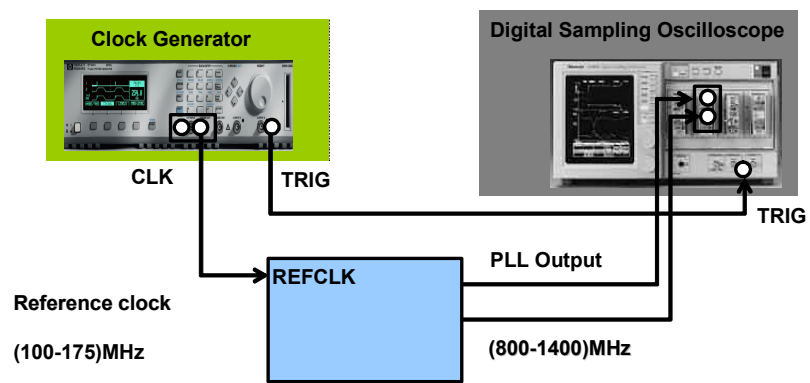


그림 5-13 위상 동기 회로 측정을 위한 실험 환경

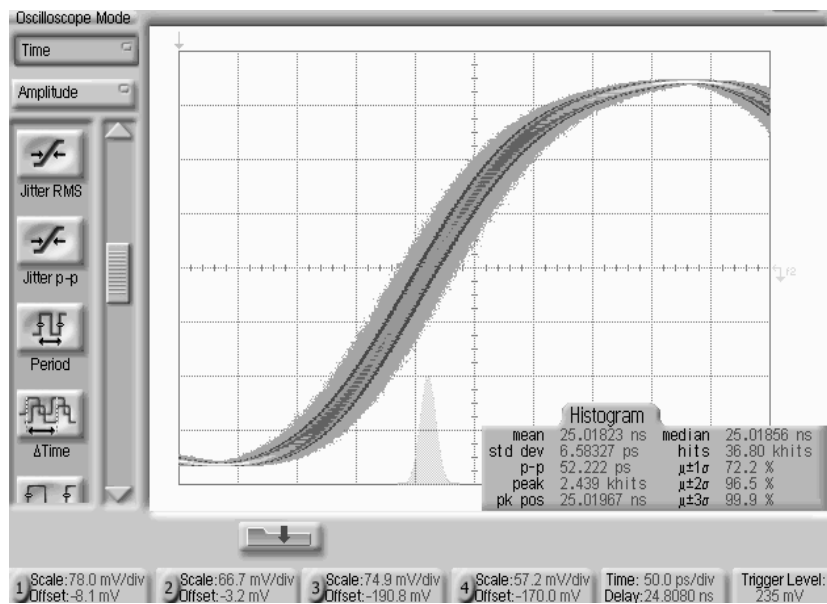


그림 5-14 위상 동기 회로내의 VCO 출력의 지터 특성

RMS 지터=5.8ps

최대 지터=52ps

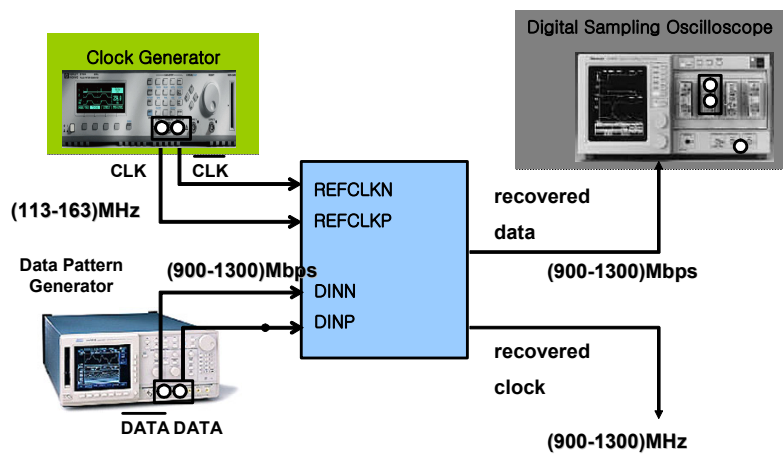


그림 5-15 데이터 전송 실험을 위한 환경



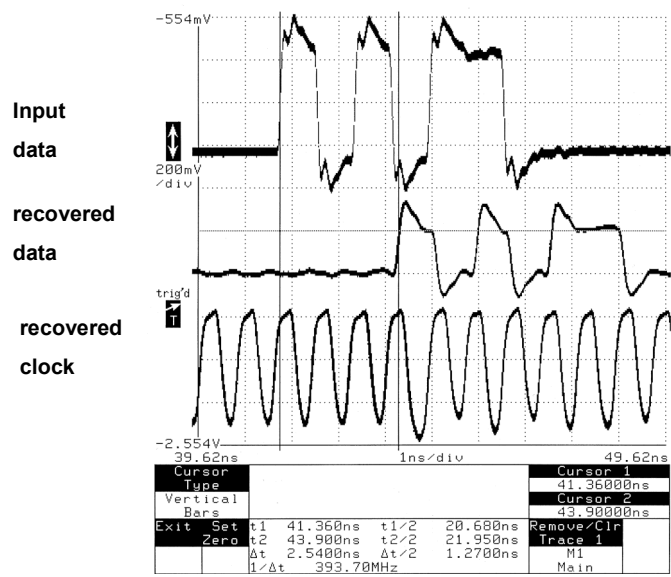


그림 5-16 버스트 모드 데이터 전송 실험 @1Gbps

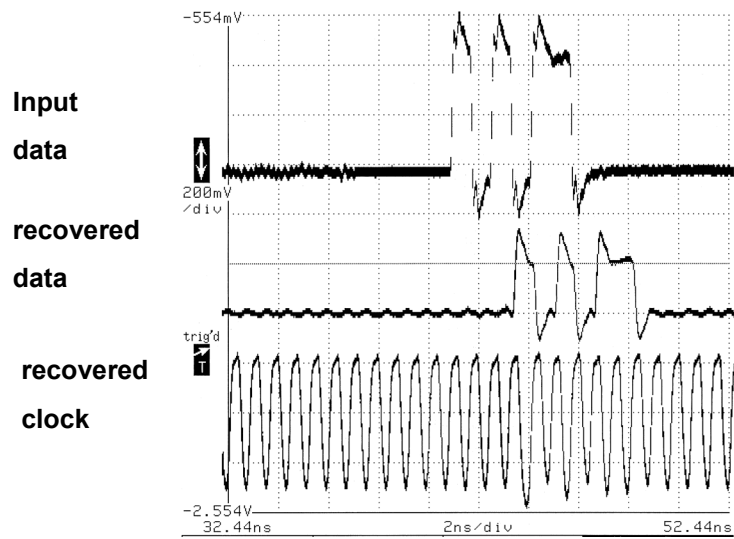
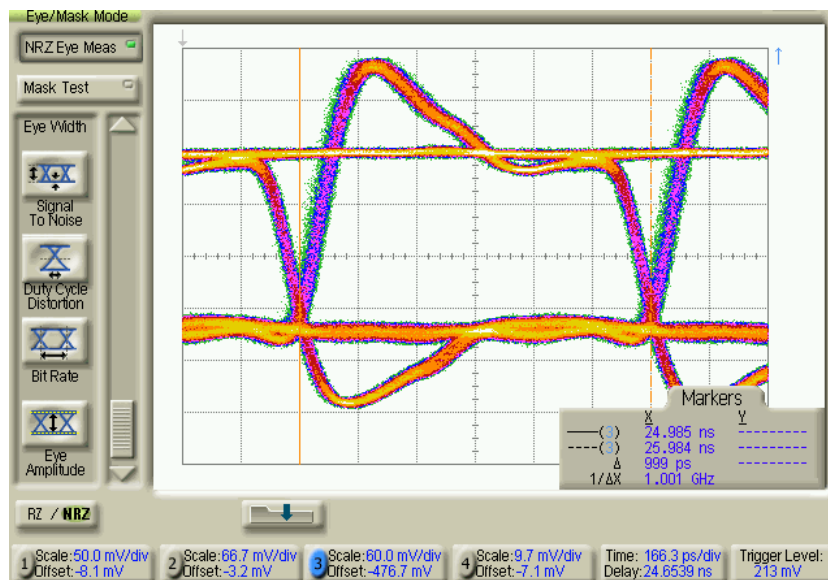
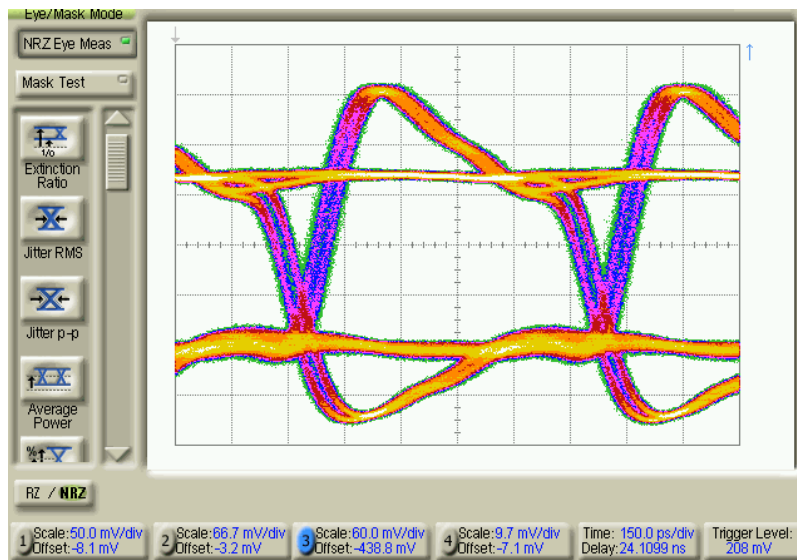


그림 5-17 버스트 모드 데이터 전송 실험 @1.25Gbps



5-18 복원 데이터의 eye 다이어그램 @1Gbps



5-19 복원 데이터의 eye 다이어그램 @1.25Gbps

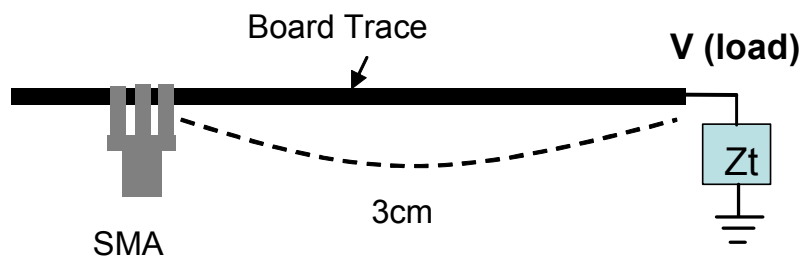
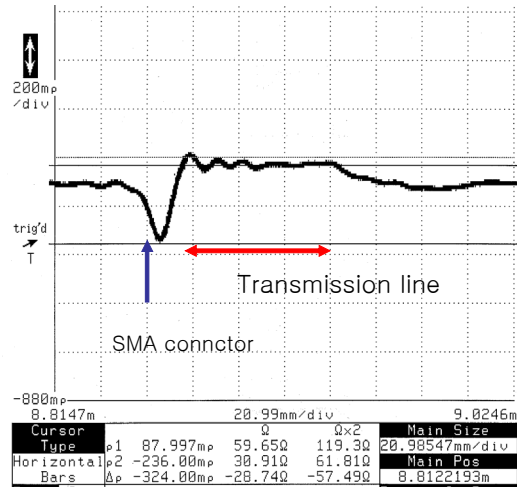
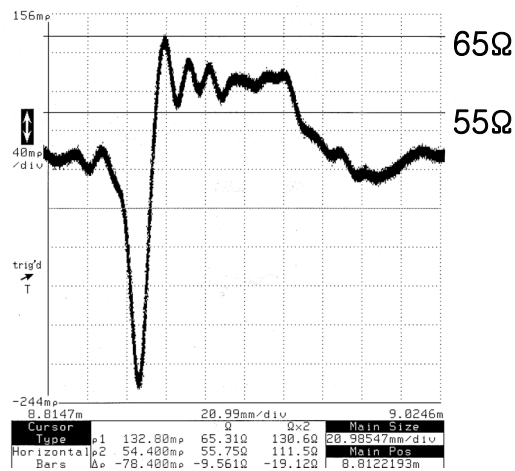


그림 5-20 TDR 측정 셋업



(a)



(b)

그림 5-21 (a) TDR 파형  
(b) 확대파형

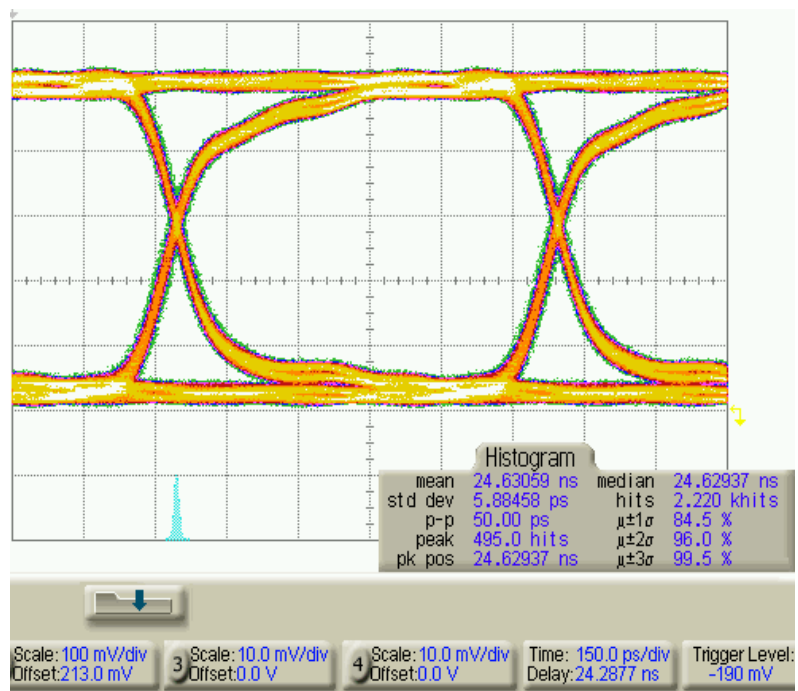


그림 5-22 transmission line을 통과한  
1.25Gbps data의 eye diagram

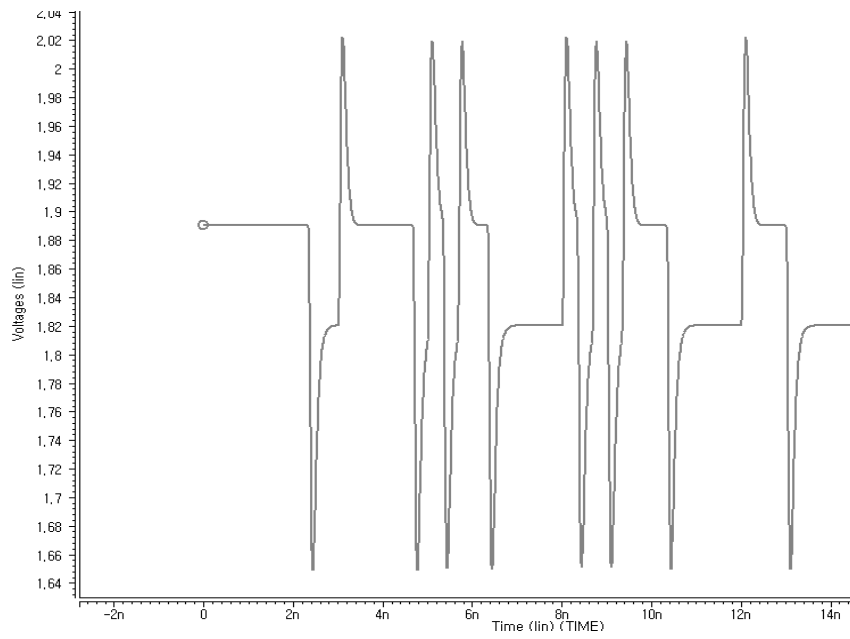


그림 5-23 differential 출력 버퍼의 한 쪽을 open 했을  
 때의 출력 파형



항 목	성능 및 사양
사용 공정	CMOS 0.25 $\mu$ m공정
CDR 동작 범위	900Mbps - 1.3Gbps
PLL 동기 범위	800MHz - 1.4GHz
PLL 지터 특성	800MHz RMS : 7ps, pkpk: 57ps 1.25GHz RMS : 5.8ps, pkpk: 52ps 1.4GHz RMS : 11ps, pkpk: 78ps
사용 전원	2.5V / 0.0V
소비 전력	80 mW (core) 120 mW (I/O)
칩 면적	700 $\mu$ m $\times$ 700 $\mu$ m(core)

표 5-2 제안된 클럭/데이터 복원회로의 성능 사양

## 제 6 장. 결론 및 향후 연구

본 논문에서는 PON (Passive Optical Network) 시스템에 적용될 수 있는, 새로운 구조의 버스트 모드 클럭 및 데이터 복원 (Clock and Data Recovery; CDR) 회로를 제안하였다. 본 논문에서는 622Mbps급 버스트 모드 CDR과 이를 변형한 1.25Gbps급 버스트 모드 CDR을 제안하였다. 제안한 회로 (Muxed-Oscillator CDR) 는 버스트 모드 입력 데이터를 preamble 신호 없이도 바로 복원하며, 지터가 내재된 입력 데이터가 들어와도 이에 따라 클럭이 연동되어 오류 없이 복원한다. 622Mbps 버스트 모드 CDR 회로는  $0.35\mu\text{m}$  CMOS 2P4M 공정 파라미터를 이용하여 설계하였다. 또한, MOSIS를 통해 칩을 제작한 후, 보드를 제작하여 측정을 수행하였다. 1.25Gbps 버스트 모드 CDR 회로는  $0.25\mu\text{m}$  CMOS 1P5M 공정을 사용하였으며, 마찬가지로 MOSIS를 통해 칩을 제작, 측정하였다.

MO-CDR 회로의 장점은 다음과 같다. 첫째, 위상 동기 회로는 입력 데이터 전송 속도보다 2배가 느린 주파수에 동기되며, CDR 모듈도 위상 동기 회로와 마찬가지로 2배 느린 클럭을 사용한다. 둘째, MO-CDR 회로는 입력 데이터의 천이가 발생하면, 한 비트 내에 샘플링 클럭의 위상을 최적의 시점으로 정렬하기 때문에 빠른 locking 시간을 갖는다. 본 구조는 preamble 신호가 필요 없으며, 이러한 특성은 전체 수신단 설계 마진을 높이게 되어 큰 장점이 된다. 셋째, 입력 데이터의 지터 발생으로 천이 시점이 변하더라도 클럭의 위상을 계속 조정하기 때문에 입력 데이터 지터에게 강한 특성을 갖는다. 넷째, 전력 소모가 적다.

MO-CDR 회로의 단점은 두 개의 MO가 match 되어야 한다는 것과 입력 데이터 rate가 높아질수록 XOR 나 AND같은 고속 논리 소자의 설계에 많은 어려움이 따른다는 것이다.

실제 칩 측정결과 CDR의 동작 범위와 위상 동기 회로의 동기 범위는 각각 400-680Mbps, 200-400MHz로 나타났다. 위상 동기 회로의 중심 주파수인 300MHz에서 RMS 지터가 11.35ps, 최대 (peak-peak) 지터가 76ps로 나타났다. 최소 주파수인 200MHz에서는 RMS 지터와 최대 지터가 각각 15.5ps, 96ps로 나타

났으며 최대 주파수인 400MHz에서는 각각이 11.7ps, 84ps로 나타났다. 버스트 모드 전송 실험 결과, 622Mbps에서의 버스트 입력을 에러없이 복원하였고, 지터를 인가한 PRBS 입력에 대해 400Mbps-622Mbps 까지 error 없이 동작됨을 확인하였다.

1.25Gbps MO-CDR 경우에는 실제 칩 측정결과 CDR의 동작 범위와 위상 동기 회로의 동기 범위는 각각 900Mbps-1.3Gbps, 800MHz-1.4GHz로 나타났다. 위상 동기 회로의 중심 주파수인 1.25GHz에서 RMS 지터가 5.8ps, 최대 (peak-peak) 지터가 52ps로 나타났다. 버스트 모드 전송 실험 결과, 1.25Gbps에서의 버스트 입력을 에러없이 복원하였고, 지터를 인가한 PRBS 입력에 대해 900Mbps-1.3Gbps 까지 error 없이 동작됨을 확인하였다.

본 논문에서 제안한 MO-CDR 회로의 성능을 향상시키기 위해 몇 가지 개선할 점을 언급하고자 한다. 먼저 622Mbps MO-CDR 회로는 클럭의 double edge를 사용하므로 single edge 구조보다는 지터에 민감하므로 elastic buffer를 사용하여야 한다. 또한 output 버퍼의 BW가 충분치 않은 점이 출력 eye diagram에 나타나 있다. 1.25Gbps MO-CDR 회로는 layout 실수로 인하여 FIB 과정 중에 출력 버퍼가 손상이 가해졌다.

이상의 문제점 및 개선할 점을 고려하여 향후 연구 및 설계가 진행된다면, 더욱 성능을 향상시킬 수 있을 것으로 기대되며, 본 논문에서 제안한 MO-CDR 회로는 APON이나 EPON의 수신기에 적용될 수 있을 것으로 판단된다.

## 참 고 문 헌

- [1] 정보통신부 보도자료, 2002.11.6
- [2] 김종안, 유건일, 김운하, "FTTH 광가입자망 기술 및 진화방안", 2003년 3월 전자공학회지 제30권 제3호
- [3] M. banu and A. E. Dunlop, "Clock Recovery Circuit with Instantaneous Locking", Electronic letters, Vol. 28, No. 23, pp. 2127-2130, 1992
- [4] Nobusuke Yamaoka, et al., "A CMOS Data and Clock Recovery Macrocell for Burst-Mode/Continuous-Mode Transmissions", Proc. of the IEEE Custom Integrated Circuits Conference, pp. 45-48, 1997
- [5] Kim, B.; Helman, D.N.; Gray, P.R., "A 30 MHz high-speed analog/digital PLL in 2 um CMOS", in Proceedings of the 1990 IEEE International Solid-State Circuits Conference, pp 104-105, 1990
- [6] 박태성, 오윤제, 강병창, "Ethernet-PON 기술동향", 2002년 4월 한국광학회지 제6권 2호.
- [7] R. Gu, J.M. Tran, Lin Heng-Vhieh, Yee Ah-Lyan and M. Izzard, "A 0.5-3.5Gb/s low power low jitter serial data CMOS transceiver," ISSCC 1999, Digest of Technical papers, pp. 354-355, February 1999.
- [8] 장영준, "버스트 모드 수신기를 위한 Automatic Threshold Control(ATC) 회로 설계 연구," 연세대학교 대학원 전기전자공학과 석사학위논문, 2002.2.
- [9] Kyeongho Lee, Sungjoon Kim, Gijung Ahn and Deog-Kyoon Jeong, "A CMOS serial link for fully duplexed data communication," IEEE Journal of Solid-State Circuits, Vol. 30, No. 4, pp. 353-364, April 1995.
- [10] J.K. Kang, Liu Wentai and R.K. Cavin, "A CMOS high-speed data recovery circuit using matched delay sampling technique," IEEE Journal of Solid-State Circuits, Vol. 32, No.10, pp. 1588-1596, October 1997.

- [11] S. Kim, K. Lee, D.K. Jeong, D.D. Lee and A.G. Nowatzky, "An 800Mbps multi-channel CMOS serial link with 3X oversampling," 1995 CICC, pp. 451-454, 1995.
- [12] Alfred E. Dunlop, Wilhelm C. Fischer, Mihai Banu, Thaddeus Gabara, "150/30Mb/s CMOS Non-Oversampled clock and data recovery circuits with instantaneous locking and jitter rejection", in Proceedings of the 1995 IEEE International Solid State Circuits Conferences, pp.44-46, 1995.
- [13] Kerry Bernstein, Keith M. Carrig, Christopher M. Durham, Patrik R.Hansen, David Hogenmiller, Edward J. Nowak and Norman J. Rohrer, - High Speed CMOS Design Styles, IBM Microelectronics, 1998.
- [14] M. Mizuno, M. Yamashina, K. Furuta, H. Igura, H. Abiko, K. Okabe, A. Ono and H. Yamada, "A GHz MOS adaptive pipeline technique using MOS current-mode logic," IEEE Journal of Solid-State Circuits, Vol. 31, No. 6, pp. 784-791, June 1996.
- [15] M. Alioto and G. Palumbo, "Modeling and optimized design of current mode MUX/XOR and D flip-flop," IEEE Transactions on Circuits and Systems II : Analog and Digital Signal Processing, Vol. 47, No. 5, pp. 452-461, May 2000.
- [16] R.E. Best, *Phase-Locked Loop : Theory, Design, and Applications*, McGraw-Hill, 1984.
- [17] John P. Uyemura, *Circuit Design for CMOS VLSI*, Kluwer Academic Publishers, 1993.
- [18] B. Razavi, *Monolithic Phase-Locked Loops and Clock Recovery Circuits - Theory and Design*, IEEE Press, 1996.
- [19] Michel Combes "A Portable Clock Multiplier Generator Using Digital CMOS Standard Cells," IEEE J. Solid-State Circuits, vol. 31, no. 7, pp. 958-965, 1996.

[20] 이천오, “Gbps급 LVDS I/O에 관한 연구”, 연세대학교 석사논문, 2003.

[21] 이승우, “1/N 주파수를 이용한 클럭 및 데이터 복원 회로에 관한 연구”, 연세대학교 박사논문, 2002.

## ABSTRACT

# Novel Burst-Mode Clock and Data Recovery Circuits with Muxed Oscillators

Yu-Gun Kim  
Dept. of Electrical and  
Electronic Engineering  
Graduate School  
Yonsei University

In this thesis, a novel 622Mbps burst-mode clock and data recovery (CDR) circuits and a novel 1.25Gbps burst-mode CDR circuits with muxed oscillators are realized for passive optical network (PON) application. Two CDR circuits are implemented with  $0.35\mu\text{m}$  and  $0.25\mu\text{m}$  CMOS process technology respectively. Lock is accomplished on the first data transition and data are sampled at the optimal point.

In order to accomplish this fast lock characteristics, the following novel sub-blocks are proposed.

First, MOs (Muxed Oscillators) are proposed to generate the clock signal that samples the data.

Second, a HPSG (Half Period Signal Generator) is proposed which generates HPS (Half Period Signal) when data transition occur.

Using the two proposed circuits mentioned above, a 622Mbps burst mode

CDR circuits and a 1.25Gbps burst mode CDR circuits are designed and fabricated.

The experimental results show that the 622Mbps burst mode CDR circuits operate error-free at 622Mb/s of  $2^{31}-1$  pseudo random bit sequences and recover the burst-mode input data. It is believed that our CDR circuits may be applied for ATM-PON systems.

The 1.25Gbps burst mode CDR circuits can recover burst mode data instantaneously. This circuit can be applied for Ethernet PON systems.

---

Burst mode, clock and data recovery,  $0.35\mu\text{m}$  and  $0.25\mu\text{m}$  CMOS process technology, Muxed Oscillators, Half Period Signal Generator