

특허증

CERTIFICATE OF PATENT



특허

Patent Number

제 10-1711031 호

출원번호

Application Number

제 10-2010-0070575 호

출원일

Filing Date

2010년 07월 21일

등록일

Registration Date

2017년 02월 22일

발명의 명칭 Title of the Invention

등화기, 이를 이용한 수신기 및 등화 방법

특허권자 Patentee

등록사항란에 기재

발명자 Inventor

등록사항란에 기재

위의 발명은 「특허법」에 따라 특허등록원부에 등록되었음을 증명합니다.

This is to certify that, in accordance with the Patent Act, a patent for the invention has been registered at the Korean Intellectual Property Office.



2017년 02월 22일

특허청장

COMMISSIONER,

KOREAN INTELLECTUAL PROPERTY OFFICE

최동규

등 록 사 항

특 허

등록 제 10-1711031 호

Patent Number

특허권자 Patentees

삼성전자주식회사(130111-*****)

경기도 수원시 영통구 삼성로 129 (매탄동)

연세대학교 산학협력단(274171-*****)

서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)

발명자 Inventors

최우영

성창경

문재영



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년02월28일
(11) 등록번호 10-1711031
(24) 등록일자 2017년02월22일

(51) 국제특허분류(Int. Cl.)
H04L 27/01 (2006.01) H04L 25/02 (2006.01)
(21) 출원번호 10-2010-0070575
(22) 출원일자 2010년07월21일
심사청구일자 2015년07월21일
(65) 공개번호 10-2012-0009822
(43) 공개일자 2012년02월02일
(56) 선행기술조사문헌
KR1020070061244 A*
KR1020090011543 A*
KR1019980027326A
KR100207660B1
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
연세대학교 산학협력단
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)

(72) 발명자
최우영

성창경

문재영

(74) 대리인
박영우

전체 청구항 수 : 총 7 항

심사관 : 황철규

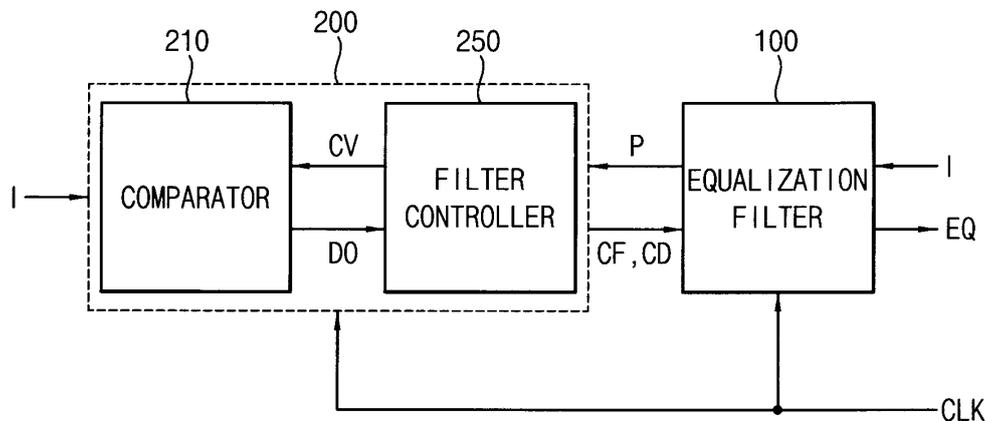
(54) 발명의 명칭 등화기, 이를 이용한 수신기 및 등화 방법

(57) 요약

채널 등화기는 등화 필터부 및 디지털 제어부를 포함한다. 등화 필터부는 전송 채널을 통해 수신된 입력 신호를 인가 받아 필터 코드 신호에 기초하여 등화 신호를 생성하고, 등화 신호를 순차적으로 지연시켜 등화 신호 패턴을 순차적으로 생성한다. 디지털 제어부는 전송 채널의 전달 함수를 계산하기 위하여, 입력 신호 및 등화 신호 패턴에 기초하여 아이 히스토그램을 생성하고, 아이 히스토그램에 기초하여 전송 채널의 전달 특성이 반영된 필터 코드 신호를 생성하여 등화 필터부에 제공한다.

대표도 - 도1

10



명세서

청구범위

청구항 1

전송 채널을 통해 수신된 입력 신호를 인가 받아 필터 코드 신호에 기초하여 등화 신호를 생성하고, 상기 등화 신호를 순차적으로 지연시켜 등화 신호 패턴을 순차적으로 생성하는 등화 필터부; 및

상기 전송 채널의 전달 함수를 계산하기 위하여, 상기 입력 신호 및 상기 등화 신호 패턴에 기초하여 아이 히스토그램을 생성하고, 상기 아이 히스토그램에 기초하여 상기 전송 채널의 전달 특성이 반영된 상기 필터 코드 신호를 생성하여 상기 등화 필터부에 제공하는 디지털 제어부를 포함하고,

상기 디지털 제어부는

기준 신호와 상기 입력 신호의 레벨을 비교하여 비교 비트 신호를 생성하는 비교기; 및

상기 비교 비트 신호 및 상기 등화 신호 패턴에 기초하여 상기 아이 히스토그램을 생성하고 상기 아이 히스토그램에 기초하여 상기 필터 코드 신호를 생성하는 필터 제어기를 포함하고,

상기 필터 제어기는

상기 기준 신호의 레벨에 상응하는 상기 비교 비트 신호의 값을 누적하여 상기 등화 신호 패턴이 가질 수 있는 등화 신호 조합들 각각에 상응하는 수신 레벨 빈도 분포를 포함하는 상기 아이 히스토그램을 생성하는 아이 히스토그램 생성 유닛; 및

상기 아이 히스토그램으로부터 검출된 상기 등화 신호 조합들 각각에 해당하는 최다빈도 수신 레벨에 기초하여 상기 필터 코드 신호를 생성하는 필터 코드 계산 유닛을 포함하는 채널 등화기.

청구항 2

제1항에 있어서, 상기 등화 필터부는

피드포워드 필터 코드에 기초하여 상기 입력 신호를 필터링하여 제공하는 피드포워드 필터; 및

상기 필터 코드 및 상기 피드포워드 필터의 출력 신호에 기초하여 상기 등화 신호를 생성하고, 상기 등화 신호를 순차적으로 지연시켜 상기 등화 신호 패턴을 생성하는 피드백 필터를 포함하는 것을 특징으로 하는 채널 등화기.

청구항 3

삭제

청구항 4

제1항에 있어서, 상기 비교기는

기준 코드 신호에 기초하여 상기 기준 신호를 생성하는 기준 신호 생성 유닛; 및

상기 기준 신호와 상기 입력 신호의 레벨을 비교하여 상기 비교 비트 신호를 생성하는 샘플 비교 유닛을 포함하는 것을 특징으로 하는 채널 등화기.

청구항 5

삭제

청구항 6

제1항에 있어서, 상기 아이 히스토그램 생성 유닛은

상기 등화 신호 패턴에 기초하여 상기 비교 비트 신호를 카운팅 하여 상기 기준 신호의 레벨에 상응하는 레벨

수신 빈도수를 계산하는 카운터;

상기 기준 신호의 상기 레벨에 상응하는 상기 레벨 수신 빈도수에 기초하여 누적 히스토그램을 생성하는 누적 히스토그램 생성 유닛; 및

상기 누적 히스토그램을 미분하여 상기 아이 히스토그램을 생성하는 히스토그램 생성 유닛을 포함하는 것을 특징으로 하는 채널 등화기.

청구항 7

제1항에 있어서, 상기 필터 코드 계산 유닛은

상기 아이 히스토그램에 기초하여 아이 패턴 열림 정도를 계산하고, 상기 아이 패턴 열림 정도가 문턱값보다 큰 경우, 상기 아이 히스토그램에 기초하여 피드백 필터 계수를 계산하고, 상기 피드백 필터 계수에 기초하여 상기 필터 코드 신호의 피드백 필터 코드를 생성하여 상기 등화 필터부의 상기 피드백 필터에 제공하고, 상기 아이 패턴 열림 정도가 상기 문턱값 이하인 경우, 상기 필터 코드 신호의 피드포워드 필터 코드를 생성하여 상기 등화 필터부의 상기 피드포워드 필터에 제공하는 것을 특징으로 하는 채널 등화기.

청구항 8

제1항에 있어서, 상기 디지털 제어부는

상기 입력 신호에 대하여 아날로그-투-디지털 변환을 수행하지 않고, 상기 등화 신호 패턴이 가질 수 있는 상기 등화 신호의 조합들 중 일부 조합들에 대한 최대 빈도 수신 레벨을 찾기 위하여 상기 입력 신호를 기준 신호와 비교를 함으로써 상기 아이 히스토그램을 생성하고,

상기 일부 조합들은 상기 등화 필터부의 필터 계수들을 계산하기 위한 조합들인 것을 특징으로 하는 채널 등화기.

청구항 9

삭제

청구항 10

반송 주파수에 실려 전송 채널을 통해 수신된 입력 신호를 기저 대역 신호로 복조하는 복조기;

상기 기저 대역 신호의 심볼간 간섭을 줄이기 위해, 상기 기저 대역 신호의 수신 레벨에 대한 아이 히스토그램을 기초로 하여 상기 전송 채널의 특성이 반영된 등화 신호를 생성하는 채널 등화기; 및

상기 등화 신호를 복호화하여 송신 데이터를 복원하는 복호화기를 포함하고,

상기 채널 등화기는

상기 기저 대역 신호를 인가받아 필터 코드 신호에 기초하여 상기 등화 신호를 생성하고, 상기 등화 신호를 지연시켜 등화 신호 패턴을 순차적으로 생성하는 등화 필터부; 및

상기 전송 채널의 전달 함수를 계산하기 위하여, 상기 등화 신호 및 상기 등화 신호 패턴에 기초하여 상기 아이 히스토그램을 생성하고, 상기 아이 히스토그램에 기초하여 상기 전송 채널의 전달 특성이 반영된 상기 필터 코드 신호를 생성하여 상기 등화 필터부에 제공하는 디지털 제어부를 포함하고,

상기 디지털 제어부는

기준 신호와 상기 입력 신호의 레벨을 비교하여 비교 비트 신호를 생성하는 비교기; 및

상기 비교 비트 신호 및 상기 등화 신호 패턴에 기초하여 상기 아이 히스토그램을 생성하고 상기 아이 히스토그램에 기초하여 상기 필터 코드 신호를 생성하는 필터 제어기를 포함하고,

상기 필터 제어기는

상기 기준 신호의 레벨에 상응하는 상기 비교 비트 신호의 값을 누적하여 상기 등화 신호 패턴이 가질 수 있는 등화 신호 조합들 각각에 상응하는 수신 레벨 빈도 분포를 포함하는 상기 아이 히스토그램을 생성하는 아이 히스토그램 생성 유닛; 및

상기 아이 히스토그램으로부터 검출된 상기 등화 신호 조합들 각각에 해당하는 최다빈도 수신 레벨에 기초하여 상기 필터 코드 신호를 생성하는 필터 코드 계산 유닛을 포함하는 수신기.

청구항 11

삭제

청구항 12

삭제

발명의 설명

기술 분야

[0001] 본 발명은 데이터 송수신에 관한 것으로서, 보다 상세하게는 아이 히스토그램을 이용한 채널 등화기, 이를 이용한 수신기 및 등화 방법에 관한 것이다.

배경 기술

[0002] 고속 데이터 통신 과정에서 디지털 신호를 회로 기관, 무선 통신 채널, 광섬유 또는 케이블과 같은 같이 통신 채널을 통하여 제한된 대역폭으로 고속으로 전송하는 동안 데이터의 파형은 인접하는 심볼들의 파형에 영향을 크게 받는 현상이 나타난다. 이와 같은 현상을 심볼간 간섭(Inter-Symbol Interference)이라고 하며, 한 심볼의 에너지가 주변 심볼에 간섭을 일으켜 통신 성능을 열화시킬 수 있다. 특히, 전송 속도가 높아지고 심볼간의 간격이 짧아질 경우에 이러한 현상은 심해지며 고속 데이터 통신에서 전송 속도를 제한하는 원인 중 하나이다.

[0003] 심볼간 간섭에 의한 성능 열화를 보상하여 채널의 대역폭을 효율적으로 활용하기 위하여 채널 등화 필터가 사용될 수 있다. 채널 등화 필터는 중간 주파수 대역(intermediate frequency) 및 기저 대역(baseband)에 적용될 수 있으며, 중간 주파수 대역에서는 주로 주파수 도메인 등화기(FDE; Frequency-domain Equalizer)가 사용되며 기저 대역에서는 주로 시간 도메인 등화기(TDE; Time-domain Equalizer)가 사용된다. 시간 도메인 등화기는 채널 등화 필터는 채널의 특성이나 온도 또는 전원 전압의 변화와 같은 환경 변화가 발생하였을 때에도 가변적인 필터 특성을 적용하여 적응적인 채널 보상을 제공할 수 있도록 하는 적응형 등화 필터의 형태로 설계될 수 있다. 이와 같은 적응형 등화 필터에서는, 통신 과정 중 송수신단 내에서 필터의 특성을 자동적으로 제어하는 등화기 적응 알고리즘이 중요하다.

발명의 내용

해결하려는 과제

[0004] 상기와 같은 문제점을 해결하기 위한 본 발명의 일 목적은 전송 채널을 통하여 수신된 데이터의 심볼 간섭을 감소 시키는 채널 등화기를 제공하는 것이다.

[0005] 본 발명의 다른 목적은 전송 채널을 통하여 수신된 데이터의 심볼 간섭을 감소 시키는 수신기를 제공하는 것이다.

[0006] 본 발명의 또 다른 목적은 전송 채널을 통하여 수신된 데이터의 심볼 간섭을 감소 시키는 채널 등화 방법을 제공하는 것이다.

과제의 해결 수단

[0007] 상술한 본 발명의 일 목적을 달성하기 위하여, 본 발명의 일 실시예에 따른 채널 등화기는 등화 필터부 및 디지털 제어부를 포함한다. 상기 등화 필터부는 전송 채널을 통해 수신된 입력 신호를 인가 받아 필터 코드 신호에 기초하여 등화 신호를 생성하고, 상기 등화 신호를 순차적으로 지연시켜 등화 신호 패턴을 순차적으로 생성한다. 상기 디지털 제어부는 상기 전송 채널의 전달 함수를 계산하기 위하여, 상기 입력 신호 및 상기 등화 신호 패턴에 기초하여 아이 히스토그램을 생성하고, 상기 아이 히스토그램에 기초하여 상기 전송 채널의 전달 특성이 반영된 상기 필터 코드 신호를 생성하여 상기 등화 필터부에 제공한다.

[0008] 상기 등화 필터부는 피드포워드 필터 및 피드백 필터를 포함할 수 있다. 상기 피드포워드 필터는 피드포워드 필

터 코드에 기초하여 상기 입력 신호를 필터링하여 제공할 수 있다. 상기 피드백 필터는 상기 필터 코드 및 상기 피드포워드 필터의 출력 신호에 기초하여 상기 등화 신호를 생성하고, 상기 등화 신호를 순차적으로 지연시켜 상기 등화 신호 패턴을 생성할 수 있다.

- [0009] 상기 디지털 제어부는 비교기 및 필터 제어기를 포함할 수 있다. 상기 비교기는 기준 신호와 상기 입력 신호의 레벨을 비교하여 비교 비트 신호를 생성할 수 있다. 상기 필터 제어기는 상기 비교 비트 신호 및 상기 등화 신호 패턴에 기초하여 상기 아이 히스토그램을 생성하고 상기 아이 히스토그램에 기초하여 상기 필터 코드 신호를 생성할 수 있다.
- [0010] 상기 비교기는 기준 신호 생성 유닛 및 샘플 비교 유닛을 포함할 수 있다. 상기 기준 신호 생성 유닛은 기준 코드 신호에 기초하여 상기 기준 신호를 생성할 수 있다. 상기 샘플 비교 유닛은 상기 기준 신호와 상기 입력 신호의 레벨을 비교하여 상기 비교 비트 신호를 생성할 수 있다.
- [0011] 상기 필터 제어기는 아이 히스토그램 생성 유닛 및 필터 코드 계산 유닛을 포함할 수 있다. 상기 아이 히스토그램 생성 유닛은 상기 기준 신호의 레벨에 상응하는 상기 비교 비트 신호의 값을 누적하여 상기 등화 신호 패턴이 가질 수 있는 등화 신호 조합들 각각에 상응하는 수신 레벨 빈도 분포를 포함하는 상기 아이 히스토그램을 생성할 수 있다. 상기 필터 코드 계산 유닛은 상기 아이 히스토그램으로부터 검출된 상기 등화 신호 조합들 각각에 해당하는 최다빈도 수신 레벨에 기초하여 상기 필터 코드 신호를 생성할 수 있다.
- [0012] 상기 아이 히스토그램 생성 유닛은 카운터, 누적 히스토그램 생성 유닛 및 히스토그램 생성 유닛을 포함할 수 있다. 상기 카운터는 상기 등화 신호 패턴에 기초하여 상기 비교 비트 신호를 카운팅 하여 상기 기준 신호의 레벨에 상응하는 레벨 수신 빈도수를 계산할 수 있다. 상기 누적 히스토그램 생성 유닛은 상기 기준 신호의 상기 레벨에 상응하는 상기 레벨 수신 빈도수에 기초하여 누적 히스토그램을 생성할 수 있다. 상기 히스토그램 생성 유닛은 상기 누적 히스토그램을 미분하여 상기 아이 히스토그램을 생성할 수 있다.
- [0013] 상기 필터 코드 계산 유닛은 상기 아이 히스토그램에 기초하여 아이 패턴 열림 정도를 계산하고, 상기 아이 패턴 열림 정도가 문턱값보다 큰 경우, 상기 아이 히스토그램에 기초하여 피드백 필터 계수를 계산하고, 상기 피드백 필터 계수에 기초하여 상기 필터 코드 신호의 피드백 필터 코드를 생성하여 상기 등화 필터부의 상기 피드백 필터에 제공하고, 상기 아이 패턴 열림 정도가 상기 문턱값 이하인 경우, 상기 필터 코드 신호의 피드포워드 필터 코드를 생성하여 상기 등화 필터부의 상기 피드포워드 필터에 제공할 수 있다.
- [0014] 실시예에 있어서, 상기 디지털 제어부는 상기 입력 신호에 대하여 아날로그-투-디지털 변환을 수행하지 않고, 상기 등화 신호 패턴이 가질 수 있는 상기 등화 신호의 조합들 중 일부 조합들에 대한 최다 빈도 수신 레벨을 찾기 위하여 상기 입력 신호를 기준 신호와 비교를 함으로써 상기 아이 히스토그램을 생성할 수 있다. 상기 일부 조합들은 상기 등화 필터부의 필터 계수들을 계산하기 위한 조합들일 수 있다.
- [0015] 상기 기준 신호의 레벨의 수는 상기 등화 신호 패턴의 가능한 조합들의 수보다 크고, 상기 등화 신호의 조합들 중 상기 일부 조합들의 개수는 상기 등화 필터부의 상기 필터 계수를 계산하기 위해 필요한 최소 개수일 수 있다.
- [0016] 본 발명의 일 목적을 달성하기 위하여, 본 발명의 일 실시예에 따른 수신기는 복조기, 채널 등화기 및 복호화기를 포함한다. 상기 복조기는 반송 주파수에 실려 전송 채널을 통해 수신된 신호를 데이터를 기저 대역 신호로 복조한다. 상기 채널 등화기는 상기 기저 대역 신호의 심볼간 간섭을 줄이기 위해, 상기 기저 대역 신호의 수신 레벨에 대한 아이 히스토그램을 기초로 하여 채널의 특성이 반영된 등화 신호를 생성한다. 상기 복호화기는 상기 등화 신호를 복호화하여 송신 데이터를 복원한다. 상기 채널 등화기는 등화 필터부 및 디지털 제어부를 포함한다. 상기 등화 필터부는 상기 베이스 밴드 신호를 인가 받아 필터 코드 신호에 기초하여 상기 등화 신호를 생성하고, 상기 등화 신호를 지연시켜 등화 신호 패턴을 순차적으로 생성한다. 상기 디지털 제어부는 상기 전송 채널의 전달 함수를 계산하기 위하여, 상기 등화 신호 및 상기 등화 신호 패턴에 기초하여 상기 아이 히스토그램을 생성하고, 상기 아이 히스토그램에 기초하여 상기 전송 채널의 전달 특성이 반영된 상기 필터 코드 신호를 생성하여 상기 등화 필터부에 제공한다.
- [0017] 본 발명의 일 목적을 달성하기 위하여, 본 발명의 일 실시예에 따른 채널 등화 방법에서는, 전송 채널을 통해 수신된 입력 신호를 인가 받아 필터 코드 신호에 기초하여 등화 신호를 순차적으로 생성하고, 상기 등화 신호를 지연시켜 등화 신호 패턴을 생성하고, 상기 입력 신호 및 상기 등화 신호 패턴에 기초하여 아이 히스토그램을 생성하고, 상기 아이 히스토그램을 기초로 상기 전송 채널의 전달 특성이 반영된 상기 필터 코드 신호를 생성한다.

[0018] 상기 필터 코드 신호를 생성함에 있어서, 상기 아이 히스토그램에 기초하여 아이 패턴 열림 정도를 계산하고, 상기 아이 패턴 열림 정도가 문턱값보다 큰 경우, 상기 아이 히스토그램에 기초하여 피드백 필터 계수를 계산하고, 상기 피드백 필터 계수에 기초하여 상기 필터 코드 신호의 피드백 필터 코드를 생성하여 등화 필터부의 피드백 필터에 제공하고, 상기 아이 패턴 열림 정도가 상기 문턱값 이하인 경우, 상기 필터 코드 신호의 피드포워드 필터 코드를 생성하여 상기 등화 필터부의 피드포워드 필터에 제공할 수 있다.

발명의 효과

[0019] 상기와 같은 본 발명의 실시예들에 따른 채널 등화기, 수신기 및 채널 등화 방법은 데이터 심볼들의 수신 레벨의 히스토그램에 기초하여 등화 필터부에 포함된 등화 필터들의 계수를 계산한다. 아날로그-투-디지털 변환기 대신 비교기를 이용하여 등화 신호의 누적 밀도 함수 및 아이 히스토그램을 생성 함으로써, 등화기의 복잡도 및 전력소모를 줄일 수 있다.

[0020] 또한 본 발명의 실시예들에 따른 채널 등화기, 수신기 및 채널 등화 방법은 등화 수행 과정에 있어서 온칩 아이 모니터링(On-chip EYE Monitoring)을 수반하므로, 아이의 열림 또는 닫힘 여부를 파악할 수 있으므로, 아이가 닫힌 초기 상태에서도 파일럿 시퀀스 없이 판정 피드백 필터의 동작 조건을 계산 할 수 있다.

[0021] 다만, 본 발명의 효과는 상기에서 언급된 효과로 제한되는 것은 아니며, 상기에서 언급되지 않은 다른 효과들은 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 당업자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

- [0022] 도 1은 본 발명의 실시예들에 따른 채널 등화기를 나타내는 블록도이다.
- 도 2는 도 1의 채널 등화기에 포함된 등화 필터부의 일 예를 나타내는 블록도이다.
- 도 3은 도 3의 등화 필터부에 포함된 피드백 필터의 일 예를 나타내는 블록도이다.
- 도 4는 도 2의 등화 필터부에 포함된 피드포워드 필터의 일 예를 나타내는 블록도이다.
- 도 5는 도 1의 채널 등화기에 포함된 비교기를 나타내는 블록도이다.
- 도 6은 도 1의 채널 등화기에 포함된 필터 제어기를 나타내는 블록도이다.
- 도 7은 도 6의 필터 제어기에 포함된 아이 히스토그램 생성 유닛을 나타내는 블록도이다.
- 도 8은 도 1의 채널 등화기를 이용한 아이 히스토그램의 생성 과정을 나타내는 타이밍도이다.
- 도 9는 아이 히스토그램으로부터 각 등화 신호 패턴에 따른 입력 최다빈도 수신레벨을 얻는 과정을 나타내는 도면이다.
- 도 10은 본 발명의 실시예들에 따른 수신기를 나타내는 블록도이다.
- 도 11은 본 발명의 실시예들에 따른 채널 등화 방법을 나타내는 흐름도이다.
- 도 12는 도 11의 아이 히스토그램을 생성하는 단계의 일 예를 나타내는 흐름도이다.
- 도 13은 도 11의 필터 코드 신호를 생성하는 단계의 일 예를 나타내는 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0023] 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 아니 된다.

[0024] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 구성요소에 대해 사용하였다.

[0025] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된

다. 예를 들어, 본 발명의 권리 범위로부터 이탈되지 않은 채 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.

- [0026] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- [0027] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 실시(說示)된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0028] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0029] 한편, 어떤 실시예가 달리 구현 가능한 경우에 특정 블록 내에 명기된 기능 또는 동작이 순서도에 명기된 순서와 다르게 일어날 수도 있다. 예를 들어, 연속하는 두 블록이 실제로는 실질적으로 동시에 수행될 수도 있고, 관련된 기능 또는 동작에 따라서는 상기 블록들이 거꾸로 수행될 수도 있다.
- [0030] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.
- [0031] 도 1은 본 발명의 실시예들에 따른 채널 등화기를 나타내는 블록도이다.
- [0032] 도 1을 참조하면, 채널 등화기(10)는 등화 필터부(100) 및 디지털 제어부(200)를 포함한다.
- [0033] 등화 필터부(100)는 전송 채널을 통해 수신된 입력 신호(I)를 인가 받아 필터 코드 신호(CF, CD)에 기초하여 등화 신호(EQ)를 생성하고, 등화 신호(EQ)를 지연시켜 등화 신호 패턴(P)을 순차적으로 생성한다. 수신된 입력 신호(I)는 비제로 복귀(NRZ; Non-Return-to-Zero) 신호일 수 있다. 수신된 입력 신호(I)는 등화 필터부(100)가 수신기 또는 통신 시스템 등에 활용되는 경우, 예를 들면 도 10을 참조하여 후술하는 바와 같이, 복조기에 의하여 반송 주파수(Carrier Frequency) 대역 또는 중간 주파수(Intermediate Frequency) 대역에서 기저 대역으로 복조된 기저 대역의 신호일 수 있다.
- [0034] 디지털 제어부(200)는 상기 전송 채널의 전달 함수를 계산하기 위하여, 입력 신호(I) 및 등화 신호 패턴(P)에 기초하여 아이 히스토그램을 생성하고, 상기 아이 히스토그램에 기초하여 상기 전송 채널의 전달 특성이 반영된 필터 코드 신호(CF, CD)를 생성하여 등화 필터부(100)에 제공한다.
- [0035] 디지털 제어부(200)는 입력 신호(I)에 대하여 아날로그-투-디지털 변환을 수행하지 않고, 등화 신호 패턴(P)이 가질 수 있는 등화 신호(EQ)의 조합들 중 일부 조합들에 대한 최다 빈도 수신 레벨을 찾기 위하여 입력 신호(I)를 기준 신호(VREF)와 비교를 함으로써 아이 히스토그램(HG)을 생성할 수 있다. 상기 일부 조합들은 등화 필터부(100)의 필터 계수들을 계산하기 위한 조합들일 수 있다.
- [0036] 상기 기준 신호의 레벨의 수는 등화 신호 패턴(P)의 가능한 조합들의 수보다 크고, 등화 신호(EQ)의 조합들 중 상기 일부 조합들의 개수는 등화 필터부(100)의 상기 필터 계수를 계산하기 위해 필요한 최소 개수일 수 있다.
- [0037] 디지털 제어부(200)는 비교기(210) 및 필터 제어기(250)를 포함할 수 있다. 비교기(210)는 기준 신호와 입력 신호(I)의 레벨을 비교하여 비교 비트 신호(D0)를 생성할 수 있다. 필터 제어기(250)는 비교 비트 신호(D0) 및 등화 신호 패턴(P)에 기초하여 상기 아이 히스토그램을 생성하고 상기 아이 히스토그램에 기초하여 필터 코드 신호(CD, CF)를 생성할 수 있다.
- [0038] 도 2는 도 1의 채널 등화기에 포함된 등화 필터부의 일 예를 나타내는 블록도이다.

- [0039] 도 2를 참조하면, 등화 필터부(100)는 피드포워드 필터(110) 및 피드백 필터(150)를 포함할 수 있다.
- [0040] 피드포워드 필터(110)는 피드포워드 필터 코드(CF)에 기초하여 입력 신호(I)를 필터링하여 제공할 수 있다. 피드포워드 필터(100)는 선형 필터, 예를 들면, 횡단 여파기(Transversal Equalizer)일 수 있다. 구현상의 편의성 및 시스템의 복잡성으로 고려하여 도 3과 같이 탭 지연 선로(Tapped delay line)의 형태가 사용될 수 있다. 필터 탭의 개수는 m (m 은 1이상의 정수)일 수 있다. 피드 포워드 필터(110)는 고주파 신호를 수신하기 위한 동기 클럭과 무관하게 필터링을 수행하는 아날로그 필터일 수 있고, 동기 클럭에 응답하여 동작하는 디지털 필터일 수 있다.
- [0041] 피드백 필터(150)는 필터 코드(CF, CD) 및 피드포워드 필터(100)의 출력 신호(F0)에 기초하여 등화 신호(EQ)를 생성하고, 등화 신호(EQ)를 지연시켜 등화 신호 패턴(P)을 생성할 수 있다. 피드백 필터(150)는 수신 신호(I)에 대하여 심볼을 결정된 결과를 피드백하여 채널의 포스트커서(post-cursor) ISI를 감소 시키기 위한 판정 피드백 등화기(Decision Feedback Equalizer)일 수 있다. 이때 지연된 입력 신호에 대한 심볼을 결정하여 지연된 등화 신호를 생성하면 입력 신호(I)의 심볼을 결정함에 있어서, ISI는 상기 지연된 입력 신호의 상기 지연된 등화 신호에 의하여 결정될 수 있다.
- [0042] 도 3은 도 2의 등화 필터부에 포함된 피드백 필터의 일 예를 나타내는 블록도이다.
- [0043] 도 3을 참조하면, 피드백 필터(150)는 판정 유닛(160), 제1 내지 제 n 지연 소자(171, ..., 17 n) 및 제1 내지 제 n 곱셈기(151, ..., 15 n)를 포함할 수 있다. 제1 내지 제 n 지연 소자(171, ..., 17 n)는 판정 유닛(160)에서 생성되는 등화 신호(EQ)를 순차적으로 지연시켜 등화 신호 패턴(P; {P1, ..., P n }), 즉 지연된 등화 신호들(P1, ..., P n)을 생성한다. 제1 내지 제 n 곱셈기(151, ..., 15 n)는 제1 내지 제 n 지연 소자(171, ..., 17 n)에 의하여 생성된 등화 신호 패턴(P; {P1, ..., P n })의 지연된 등화 신호들(P1, ..., P n)에 피드백 필터 코드(CD; {CD1, ..., CD n })의 필터 계수값(CD1, ..., CD n)을 각각 곱한 신호들을 판정 유닛(160)에 제공할 수 있다. 판정 유닛(160)은 피드포워드 필터(110)로부터 인가 받은 피드포워드 필터(110)의 출력 신호(F0)에 제1 내지 제 n 곱셈기(151, ..., 15 n)로부터 제공받은 신호들을 가감 연산 및 비선형적인 특성을 가지는 심볼 결정 동작을 수행하여 등화 신호(EQ)를 생성할 수 있다. 이러한 일련의 동작은 입력 신호의 샘플링 주파수와 동일 주파수를 가지는 동기 클럭(CLK)에 응답하여 수행된다. 예를 들면, 피드백 필터(150)은 동기 클럭(CLK)의 상승 에지(rising edge) 또는 하강 에지(falling edge)에 응답하여 등화 신호(EQ)를 생성할 수 있다.
- [0044] 도 4는 도 2의 등화 필터부에 포함된 피드포워드 필터의 일 예를 나타내는 블록도이다.
- [0045] 도 4를 참조하면, 피드포워드 필터(110)는 가산기(120), 제1 내지 제 n 지연 소자(111, ..., 11 n) 및 제1 내지 제 n 곱셈기(131, ..., 13 n)를 포함할 수 있다. 제1 내지 제 n 지연 소자(111, ..., 11 n)는 입력 신호(I)를 순차적으로 지연 시킨 신호들을 제1 내지 제 n 곱셈기(131, ..., 13 n)에 제공할 수 있다. 제1 내지 제 n 곱셈기(131, ..., 13 n)는 입력 신호(I)를 순차적으로 지연 시킨 상기 신호들과 피드포워드 코드 신호(CF; {CF1, ..., CF m })의 피드포워드 필터 계수들(CF1, ..., CF m)을 곱한 신호들을 가산기(120)에 제공할 수 있다. 가산기(120)은 피드포워드 필터 계수들(CF1, ..., CF m)이 곱해진 상기 신호들을 가산한 신호를 피드포워드 필터(110)의 출력 신호(F0)로 생성하고 피드백 필터(150)에 제공할 수 있다. 이러한 일련의 동작은 입력 신호의 샘플링 주파수와 동일 주파수를 가지는 동기 클럭(CLK)에 응답하여 수행될 수도 있지만 동기 클럭(CLK)과 무관하게 수행되는 구조를 가질 수도 있다. 동기 클럭(CLK)에 응답하여 동작하는 경우를 예로 들면, 피드백 필터(150)은 동기 클럭(CLK)의 상승 에지(rising edge) 또는 하강 에지(falling edge)에 응답하여 등화 신호(EQ)를 생성할 수 있다.
- [0046] 설명의 편의를 위하여, 피드포워드 필터(110)가 도 4와 같은 횡단 여파기(Transversal Equalizer)인 경우를 도시하고 설명하였지만, 실시예에 따라 피드포워드 필터(110)는 IIR(Infinite Impulse Response) 필터 또는 FSE(Fractionally Spaced Equalizer)일 수 있다.
- [0047] 도 5는 도 1의 채널 등화기에 포함된 비교기를 나타내는 블록도이다.
- [0048] 도 5를 참조하면, 비교기(210)는 기준 신호 생성 유닛(230) 및 샘플 비교 유닛(220)을 포함할 수 있다.
- [0049] 기준 신호 생성 유닛(230)은 기준 코드 신호(CV)에 기초하여 기준 신호(VREF)를 생성할 수 있다. 기준 신호(VREF)는 입력 신호(I)의 크기를 하나의 비트로 표현하기 위한 대소 비교의 기준이 되며, 필터 제어기(250)에 의하여 생성되는 아이 히스토그램(HG)의 계급을 정하는 기준이 될 수 있다. 실시예에 따라 기준 신호(VREF)는 입력 신호(I)의 주기와 비교하여 상대적으로 긴 주기로 변화하는 신호일 수 있다. 기준 신호 생성 유닛(230)은 디지털 신호 또는 아날로그 신호인 기준 코드 신호(CV)를 인가 받아 아날로그 신호인 기준 신호(VREF)를 출력

할 수 있다. 따라서, 후술하는 바와 같이 샘플 비교 유닛(220)은 기준 신호(VREF)를 기준 신호 생성 유닛(230)으로부터 인가 받아 샘플링하여 상기 전송 채널을 통하여 수신된 입력 신호(I)와의 대소 비교를 통하여 비교 비트 신호(DO)를 생성할 수 있다.

- [0050] 샘플 비교 유닛(220)은 기준 신호(VREF)와 입력 신호(I)의 레벨을 비교하여 비교 비트 신호(DO)를 생성할 수 있다. 즉, 샘플 비교 유닛(220)은 입력 신호(I)를 아날로그-투-디지털 변환하지 않고, 기준 신호(VREF)와 입력 신호(I)의 대소만을 비교하여 로직 하이 레벨(logic high level)과 로직 로우 레벨(logic low)만을 가지는 비교 비트 신호(DO)를 출력한다. 따라서, 입력 신호(I)를 아날로그-투-디지털 변환을 통하여 입력 신호(I)의 수신 레벨에 대한 정보를 얻는 채널 등화기에 비하여 높은 주파수의 입력 신호(I)를 인가 받아 동작할 수 있다.
- [0051] 이러한 일련의 동작은 입력 신호의 샘플링 주파수와 동일 주파수를 가지는 동기 클럭(CLK)에 응답하여 수행된다. 예를 들면, 샘플 비교 유닛(220)은 동기 클럭(CLK)의 상승 에지(rising edge) 또는 하강 에지(falling edge)에 응답하여 등화 신호(EQ)를 생성할 수 있다.
- [0052] 도 6은 도 1의 채널 등화기에 포함된 필터 제어기를 나타내는 블록도이다.
- [0053] 도 6을 참조하면, 필터 제어기(250)는 아이 히스토그램 생성 유닛(260) 및 필터 코드 계산 유닛(270)을 포함할 수 있다.
- [0054] 아이 히스토그램 생성 유닛(260)은 기준 신호(VREF)의 레벨에 상응하는 비교 비트 신호(DO)의 값을 누적하여 등화 신호 패턴(P)이 가질 수 있는 등화 신호 조합들 각각에 상응하는 수신 레벨 빈도 분포를 포함하는 아이 히스토그램(HG)을 생성할 수 있다. 아이 히스토그램 생성 유닛(260)은 입력 신호(I)가 가질 수 있는 정보 심볼의 개수보다 많은 수의 기준 신호들(VREF) 각각에 대하여 각 기준 신호(VREF)에 해당하는 비교 비트 신호(DO)를 누적하여 누적 빈도수를 계산할 수 있다. 예를 들면 입력 신호(I)가 가질 수 있는 심볼의 수가 8인 경우, 기준 신호들(VREF)의 수 또는 기준 신호(VREF)의 레벨들의 수는 24일 수 있다. 단, 전송 채널의 임펄스 응답 또는 전달 함수를 계산하기 위해 필요한 최대 빈도 수신 레벨의 개수와 그 범위는 특정될 수 있으므로, 특정 등화 신호 패턴에 상응하는 기준 신호(VREF)만을 이용하여 아이 히스토그램(HG)을 생성할 수도 있다. 이 경우에는 기준 신호들(VREF) 중 상기 특정 등화 신호 패턴에 상응하는 기준 신호(VREF)를 제외한 기준 신호들에 대한 누적 빈도수를 아이 히스토그램(HG) 생성시 제외하여야 할 것이다.
- [0055] 기준 코드 신호(CV)에 따라 레벨이 결정되는 기준 신호(VREF)와 입력 신호(I)의 대소를 비교한 결과인 비교 비트 신호(DO)는 상술한 바와 같이 로직 하이 레벨(logic high level)과 로직 로우 레벨(logic low)만을 가진다. 따라서, 비교 비트 신호(DO)가 로직 하이인 경우, 즉 예를 들면 입력 전압이 기준 신호(VREF)보다 높은 경우에 비교 비트 신호(DO)는, 예를 들면, 1V의 신호 레벨을 가질 수 있다. 반면에, 비교 비트 신호(DO)가 로직 로우인 경우, 즉 예를 들면 입력 신호(I)의 전압이 기준 신호(VREF)보다 낮은 경우에 비교 비트 신호(DO)는, 예를 들면, 0V의 신호 레벨을 가질 수 있다. 현재 기준 신호(VREF)에 해당하는 비교 비트 신호(DO)가 로직 하이인 횟수를 누적하여 카운팅하면 해당하는 기준 신호(VREF)의 누적 빈도수를 얻을 수 있다. 실시예에 따라, 입력 신호(I)의 전압이 기준 신호(VREF)보다 낮은 경우에 비교 비트 신호(DO)가 상기 로직 하이 레벨을 가질 수도 있고, 입력 신호(I)의 전압이 기준 신호(VREF)보다 높은 경우에 비교 비트 신호(DO)가 상기 로직 로우 레벨을 가질 수도 있다. 더불어, 상기 로직 하이 및 상기 로직 로우에 해당하는 비교 비트 신호(DO)의 전압 값은 예시적인 것이며, 실시예에 따라 판별가능한 서로 다른 값을 가질 수도 있다.
- [0056] 기준 코드 신호(CV)는 후술하는 바와 같이 채널 파라미터 계산 유닛(270)에 의하여 제공될 수도 있고, 외부의 제어 회로에 의하여 제공될 수도 있다. 기준 코드 신호(CV)는 기준 코드 신호(CV)에 따라 생성되는 기준 신호(VREF)의 레벨이 단위 레벨만큼 증가하도록 생성할 수도 있고, 기준 코드 신호(CV)는 기준 코드 신호(CV)에 따라 생성되는 기준 신호(VREF)의 레벨이 상기 단위 레벨만큼 감소하도록 생성할 수도 있다.
- [0057] 각 기준 신호(VREF)에 해당하는 상기 누적 빈도수를 얻은 후에는, 각 기준 신호(VREF)에 인접하는 기준 신호(VREF)에 해당하는 누적 빈도수와의 차이에 기초하여, 즉 미분하여 아이 히스토그램(HG)을 생성한다.
- [0058] 필터 코드 계산 유닛(270)은 아이 히스토그램(HG)으로부터 검출된 상기 등화 신호 조합들 각각에 해당하는 최대 빈도 수신 레벨에 기초하여 필터 코드 신호(CD, CF)를 생성할 수 있다. 더불어 샘플 비교 유닛(220)에 인가되는 기준 신호(VREF)를 생성하기 위한 기준 코드 신호(CV)를 아이 히스토그램 생성 유닛(260)에 더 제공할 수 있다.
- [0059] 필터 코드 계산 유닛(270)은 아이 히스토그램(HG)에 기초하여 아이 패턴 열림 정도를 판별하여 피드백 필터(150)의 필터 계수들이 수렴하도록 피드백 필터 코드(CD)를 생성할 수 있다. 즉, 아이 히스토그램(HG)에 기초하여 아이 패턴 열림 정도를 계산하고, 상기 아이 패턴 열림 정도가 문턱값보다 큰 경우, 아이 히스토그램(HG)에

기초하여 피드백 필터 계수를 계산하고, 상기 피드백 필터 계수에 기초하여, 필터 코드 신호(CF, CD) 또는 필터 코드 신호(CF, CD)의 피드백 필터 코드(CD)를 생성하여 등화 필터부(100)의 피드백 필터(150)에 제공할 수 있다. 이 경우에, 심볼간 간섭을 줄이기 위해 고려하는 프리 커서 및 포스트 커서의 수, 즉 각 필터의 필터 탭 수에 따라, 필터 코드 신호(CF, CD)를 생성하여 등화 필터부(100)에 제공할 수도 있고, 필터 코드 신호(CF, CD)의 피드백 필터 코드(CD)만을 생성하여 등화 필터부(100)의 피드백 필터(150)에 제공할 수도 있다. 반면에, 상기 아이 패턴 열림 정도가 상기 문턱값 이하인 경우에는, 필터 코드 신호(CF, CD)의 피드포워드 필터 코드(CF)를 생성하여 등화 필터부(100)의 피드포워드 필터(110)에 제공하여 수신된 신호의 판별 가능성을 나타내는 아이의 열림 정도를 개선하도록 피드포워드 필터(110)를 조절할 수 있다.

- [0060] 도 7은 도 6의 필터 제어기에 포함된 아이 히스토그램 생성 유닛을 나타내는 블록도이다.
- [0061] 도 7을 참조하면, 아이 히스토그램 생성 유닛(260)은 카운터(261), 누적 히스토그램 생성 유닛(263) 및 히스토그램 생성 유닛(265)을 포함할 수 있다.
- [0062] 카운터(261)는 등화 신호 패턴(P)에 기초하여 비교 비트 신호(DO)를 카운팅 하여 기준 신호(VREF)의 레벨에 상응하는 레벨 수신 빈도수를 계산할 수 있다. 이와 같이 각 기준 신호(VREF)의 레벨에 상응하는 상기 레벨 수신 빈도를 획득함으로써, 등화 신호 패턴(P)이 가질 수 있는 등화 신호 조합들 각각에 상응하는 수신 레벨 누적 빈도 분포를 구할 수 있다. 도 9 및 도 10을 참조하여 후술하는 바와 같이, 등화 신호 패턴이 가질 수 있는 상기 등화 신호 조합들 중, 필터 코드 신호(CD, CF)를 생성하기 위해 필요한 상기 전송 채널의 임펄스 응답에 상응하는 전달 함수의 계수들을 생성하기에 충분한 일부의 등화 신호 패턴에 대하여 수행할 수 있다.
- [0063] 누적 히스토그램 생성 유닛(263)은 기준 신호(VREF)의 상기 레벨에 상응하는 상기 레벨 수신 빈도수에 기초하여 누적 히스토그램(CHG)을 생성할 수 있다. 아날로그-투-디지털 변환기를 사용하지 않고 카운터(261)을 사용하여 기준 신호 레벨(VREF)에 상응 하는 상기 레벨 수신 빈도수를 계산하므로, 추가적인 계산 없이 상기 레벨 수신 빈도수가 누적 히스토그램(CHG)의 각 계급값, 즉 각 기준 신호 레벨(VREF)에 대한 빈도수가 된다.
- [0064] 히스토그램 생성 유닛(265)은 누적 히스토그램(CHG)을 미분하여 아이 히스토그램(HG)을 생성할 수 있다. 등화 신호 패턴(P)이 가질 수 있는 등화 신호 조합들 각각에 상응하는 수신 레벨 누적 빈도 분포를 얻을 수 있도록, 이웃하는 기준 신호의 레벨간의 간격이 일정하도록 기준 신호(VREF)의 레벨이 결정될 수 있다. 누적 히스토그램을 미분, 즉 각 기준 신호(VREF)에 대한 빈도수와 인접하는 기준 신호에 대한 레벨 수신 빈도수간의 차이를 구함으로써, 아이 히스토그램(HG)을 생성할 수 있다.
- [0065] 도 8은 도 1의 채널 등화기를 이용한 아이 히스토그램의 생성 과정을 나타내는 타이밍도이다.
- [0066] 이하, 도 1, 도 5, 도 7 및 도 8을 참조하여, 아이 히스토그램 생성 과정을 설명한다. 기준 코드 신호(CV)가 0으로 초기화된 후 비교기(210)의 기준 신호 생성 유닛(230)은 기준 코드 신호(CV)가 증가함에 따라 선형적으로 또는 일정 규칙에 따라 증가하는 기준 신호(VREF)를 생성할 수 있다. 생성된 기준 신호(VREF)는 샘플 비교 유닛(220)에 인가된다. 샘플 비교 수단(220)은 동기 클럭(CLK)에 응답하여 동기 클럭(CLK)의 상승 에지(rising edge) 시점에 전송 채널을 통하여 수신된 입력 신호(I)와 기준 신호(VREF)의 크기가 비교된 결과로서 하나의 비트를 가지는 디지털 데이터인 비교 비트 신호(DO)를 제공한다. 아이 히스토그램 생성 유닛(260)의 카운터(261)는 표본 수집 간격(W)동안 비교 비트 신호(DO)가 상승한 바와 같이 로직 하이 레벨(여기서는, 입력 신호(I)가 기준 신호(VREF)보다 큰 경우에 로직 하이 레벨)이 되는 출력의 개수를 누적하여 레지스터에 저장한다. 디지털 제어부(200)는 기준 코드 신호(CV)를 표본 수집 간격(W)마다 단위 간격만큼 증가시키면서 상기 과정을 반복함으로써 각 기준 신호(VREF)에 대한 누적 히스토그램(CHG)을 생성 할 수 있다. 누적 히스토그램을 미분, 즉 각 기준 신호(VREF)에 대한 빈도수와 인접하는 기준 신호에 대한 빈도수와의 차이를 구함으로써, 아이 히스토그램(HG)을 생성할 수 있다. 도 5를 참조하여 설명하는 바와 같이, 기준 신호(VREF)는 L개의 레벨을 가질 수 있으며, 이때 L은 입력 신호(I)의 심볼의 수보다 큰 정수 일 수 있다.
- [0067] 도 3 및 도 4를 다시 참조하면, 상기 전송 채널의 상기 임펄스 응답은 1개의 커서(cursor), m개의 프리 커서(pre-cursor) 및 n개의 포스트 커서(post-cursor)로 분산될 수 있다. 또는 상기 임펄스 응답의 n+1번째 이상의 포스트 커서들 및 m+1번째 이상의 프리 커서들의 크기가 무시할 수 있을 정도의 크기를 가지는 경우에, 상기 전송 채널의 상기 임펄스 응답은 1개의 커서(cursor), m개의 프리 커서(pre-cursor) 및 n개의 포스트 커서(post-cursor)로 분산될 수 있다. 상기 임펄스 응답을 가지는 상기 전송 채널을 통하여 수신된 입력 신호(I)는 송신 신호와 상기 임펄스 응답과의 컨볼루션(convolution) 적분을 수행하여 결정된다. 즉, 수신된 신호의 심볼간 간섭의 크기는 수신 신호 전호 m, n개의 간섭 성분과 심볼 전후 m, n개의 심볼 조합에 의하여 결정된다.

[0068] 현재 커서를 중심으로 하여 등화 신호 패턴을 나타내면 [수학식 1]과 같다.

[0069] [수학식 1]

[0070] $PPj = [s(-m) \cdots s(-1) s0 s1 \cdots sn] \quad , j \in \{1, 2, \dots, J\}$

[0071] 상기 [수학식 1]에 있어서, PPI는 등화 신호 패턴이 가질 수 있는 등화 신호의 조합들 중 j번째의 조합이며, 총 n+m+1개의 원소를 가지는 행렬이다. J은 등화 신호 패턴이 가질 수 있는 등화 신호의 조합들의 개수이고(등화 신호 패턴은 2의 m+n+1제곱만큼의 경우의 수가 존재하므로, J는 2의 m+n+1제곱과 같다), n은 포스트 커서의 개수, m은 프리 커서의 개수이다. 여기에서 sk(k는 -m이상 n이하의 정수) 각각은 입력 신호의 가능한 심볼을 나타낸다. 예를 들면, 비제로 복귀(NRZ; Non-Return-to-Zero) 신호인 경우에는 sk 각각은 -1 또는 1의 심볼값을 가질 수 있다.

[0072] 상기 전송 채널을 통하여 수신되는 입력 신호(I)의 크기인 rj(j는 1이상 J이하의 정수)를 행렬로 표현하면 하기의 [수학식 2]를 만족한다.

[0073] [수학식 2]

[0074]
$$\begin{bmatrix} r1 \\ r2 \\ \vdots \\ rJ \end{bmatrix} = \begin{bmatrix} PP1 \\ PP2 \\ \vdots \\ PPJ \end{bmatrix} \begin{bmatrix} a(-m) \\ a(-m+1) \\ \vdots \\ an \end{bmatrix}$$

[0075] 상기 [수학식 2]에 있어서, ak(k는 -m이상 n이하의 정수)는 상기 프리 커서 및 상기 포스트 커서들에 상응하며 전송 채널의 임펄스 응답을 나타내는 전달 함수의 계수들이고, rj(j는 1이상 J이하의 정수)는 수신되는 입력 신호(I)를 실질적인 크기에 해당한다.

[0076] 상기 전송 채널을 통하여 수신되는 입력 신호(I)의 크기는 심볼간 간섭에 의하여 J 가지의 경우의 수를 가지게 되므로 아이 패턴의 중앙부에 J 가지의 레벨을 가질 수 있다. 이와 같이 특정 등화 신호 패턴에 대하여 다른 등화 신호 패턴과 구별될 수 있는 입력 신호(I)의 크기가 존재하므로, 상기 전송 채널의 상기 임펄스 응답을 나타내는 전달함수의 계수들(ak)을 계산하는 것은 모든 등화 신호 패턴이 아닌 일부 등화 신호 패턴에 대한 입력 신호(I)의 크기를 아이 히스토그램(HG)을 통하여 계산함으로써 가능하다. 다시 말하자면, 디지털 제어부(200)는 등화 필터부(100)로부터 등화 신호 패턴(P)을 인가 받아 특정 등화 신호의 조합을 가지는 등화 신호 패턴에 해당하는 경우에, 도 11을 참조하여 후술하는 바와 같이, 아이 히스토그램 생성(S300) 동작을 수행 할 수도 있다.

[0077] 다시 도 7 및 도 8을 참조하면, 누적 히스토그램(CHG)은 등화 신호 패턴(P) 각각에 해당하는 기준 신호들의 레벨 값들, 즉 누적 히스토그램 계급값들과, 이들 각각에 대응하는 레벨 수신 누적 빈도수, 즉 누적 히스토그램 도수값들을 포함할 수 있다. 단, 상기 레벨 수신 누적 빈도수를 누적하는 방식에 따라 아이 히스토그램(HG)을 생성하는 방식이 달라질 수 있다. 아이 히스토그램(HG)은 등화 신호 패턴(P) 각각에 해당하는 기준 신호들의 레벨 값들, 즉 아이 히스토그램 계급값들과, 이들 각각에 대응하는 레벨 수신 빈도수, 즉 아이 히스토그램 도수값들을 포함할 수 있다.

[0078] 도 9는 아이 히스토그램으로부터 각 등화 신호 패턴에 따른 입력 최다빈도 수신레벨을 얻는 과정을 나타내는 도면이다.

[0079] 도 1 및 도 9를 참조하여, 설명의 편의를 위하여 2개의 포스트 커서를 심볼간 간섭을 줄이기 위해 고려하는 경우, 즉 n이 2이고, J가 8인 경우에 상기 전송 채널의 임펄스 응답에 상응하는 전달 함수의 계수들(ak)을 계산하는 과정을 설명한다. 상기 전송 채널을 통하여 수신된 입력 신호(I)가 좌측에 도시된 것과 같은 아이 패턴을 가지고 있는 경우에, 등화 신호 패턴(P)의 가능한 등화 신호들의 조합(PP1, ..., PPJ)들 중 일부 조합들(PP3, PP5, PP6)에 대하여 아이 히스토그램을 생성한다. 이 경우, 등화 신호들의 조합들(PP3, PP5, PP6) 각각에 대한 아이 히스토그램은 별도로 저장할 수 있다. 등화 신호들의 조합들(PP3, PP5, PP6) 각각에 대한 최대 빈도수에 상응하는 아이 히스토그램의 계급값들(r3, r5, r6)을 결정할 수 있고, 상술한 바와 같이 상기 전송 채널을 통하여 수신된 입력 신호(I)의 크기에 해당하는 계급값들(r3, r5, r6)은 각각 상기 전송 채널의 전달 함수의 계수들(ak)과 입력 신호(I)의 심볼들(sk)의 중첩 적분(convolution integration)을 통하여 계산할 수 있으므로, 예를 들면, 즉 n이 2이고, J가 8인 경우에 상기 전송 채널의 전달 함수의 계수들(ak)은 하기의 [수학식 3]을 통하여 계산할 수 있다.

- [0080] [수학식 3]
- $$r3 = -a0 + a1 + a2$$
- $$r5 = a0 - a1 + a2$$
- [0081] $r6 = a0 + a1 - a2$
- [0082] 상기의 [수학식 3]에 있어서, r3, r5 및 r6는 등화 신호들의 조합들(PP3, PP5, PP6) 각각에 대한 최대 빈도수에 상응하는 아이 히스토그램의 계급값들이며, a0, a1 및 a2는 2개의 포스트 커서를 고려하는 경우 상기 전송 채널의 전달 함수의 계수들이다.
- [0083] 이상, 설명의 편의를 위하여 2개의 포스트 커서를 고려하는 경우, 즉 n이 2이고, J가 8인 경우에 상기 전송 채널의 임펄스 응답에 상응하는 전달 함수의 계수들(ak)을 계산하는 과정을 주로 하였으나, 임의의 m개의 프리 커서 및 임의의 n개의 포스트 커서를 고려하는 경우에도 유사한 방법으로 상기 전송 채널의 임펄스 응답에 상응하는 전달 함수의 계수들(ak)을 계산할 수 있다.
- [0084] 도 10은 본 발명의 실시예들에 따른 수신기를 나타내는 블록도이다.
- [0085] 도 10을 참조하면, 수신기(20)는 복조기(300), 채널 등화기(10) 및 복호화기(400)를 포함한다.
- [0086] 복조기(300)는 반송 주파수에 실려 전송 채널을 통해 수신된 신호를 데이터를 기저 대역 신호로 복조한다. 채널 등화기(10)는 상기 기저 대역 신호의 심볼간 간섭을 줄이기 위해, 상기 기저 대역 신호의 수신 레벨에 대한 아이 히스토그램(HG)을 기초로 하여 채널의 특성이 반영된 등화 신호(EQ)를 생성한다. 다만, 도 10의 채널 등화기(10)는 도 1의 채널 등화기(10)에 상응하므로 중복되는 설명은 생략한다. 복호화기(400)는 등화 신호(EQ)를 복호화하여 송신 데이터를 복원한다.
- [0087] 복조기(300)는 FSK(Frequency-Shift Keying), MFSK(Frequency-Shift Keying), ASK(Amplitude-Shift Keying), OOK(On-Off Keying), PSK(Phase-Shift Keying), QAM(Quadrature Amplitude Modulation), MSK(Minimum-Shift Keying), CPM(Continuous Phase Modulation), PCM(Pulse Code Modulation), PWM(Pulse Width Modulation), PAM(Pulse Amplitude Modulation), PDM(Pulse Density Modulation), PPM(Pulse Position Modulation), TCM(Trellis Coded Modulation), OFDM(Orthogonal Frequency Division Multiplexing), SC-FDE(Single Carrier FDMA), CSS(Chirp Spread Spectrum), DSSS(Direct-Sequence Spread Spectrum), FHSS(Frequency Hopping Spread Spectrum), THSS(Time Hopping Spread Spectrum) 등을 포함하는 변조 방식들 중 적어도 하나의 방식으로 변조된 신호들을 복조하는 복조기일 수 있다.
- [0088] 복호화기(400)는 상기 전송 채널을 통하여 전송 되는 상기 입력 신호(I)에 구조화된 잉여정보(Redundancy)를 삽입함으로써 제한된 전력 또는 제한된 대역폭을 가지는 상기 전송 채널 환경에서 비트 오류율 성능을 개선 시키는 오류 검출 코드 또는 오류 정정 코드(Error Correction Code)를 이용하여 부호화된 신호를 복호화할 수 있다. 복호화기(400)는 블록 코드(Block Code) 또는 비블록 코드(Non-Block Code) 중 적어도 하나의 방식으로 부호화된 신호들을 복호화하는 복호화기일 수 있다. 실시예에 따라, 복호화기(400)는 상기와 같은 채널 코딩(Channel Coding) 뿐만 아니라 비손실(lossless) 또는 손실(loss) 압축 방식으로 소스 코딩된(Source Coding) 신호를 복호화 할 수도 있다.
- [0089] 복호화기(400)는 해밍 코드(Hamming Code), 리드-솔로몬 코드(Reed-Solomon Code), 비터비 코드(Viterbi Code), BCH(Bose and Ray-Chaudhuri) 코드, 터보 코드(Turbo Code), LDPC(Low-Density Parity-Check Codes), 상수 가중 코드(Constant-weight Code), 컨볼루션 코드(Convolution Code), 그룹 코드(Group Codes), Golay 코드, Goppa 코드, Hadamard 코드, Hagelbarger 코드, LT 코드(Luby Transform Codes), Lexicographic 코드, 라틴 방진 기반 코드(Latin Square based Code), 온라인 코드(Online Code), 랩터 코드(Raptor code), 리드-물러 코드(Reed-Muller Code), RA 코드(Repeat-Accumulate Code), 반복 코드(Repetition Code), 토네이도 코드(Tornado Code) 등을 포함하는 오류 정정 코드들 중 적어도 하나의 방식으로 부호화된 신호들을 복호화하는 복호화기일 수 있다.
- [0090] 실시예에 있어서, 수신기(20)는 복호화기(400)에서 오류가 검출되면 송신측에 재전송 신호를 송신하는 ARQ(Automatic Repeat Request)를 제공하는 후진 에러 정정(Backward Error Correction)을 수행할 수도 있다. 또는, 수신기(20)는 에러의 경중에 따라 전진 에러 정정(Forward Error Correction) 또는 ARQ를 수행하는 HARQ(Hybrid Automatic Repeat Request)를 수행할 수도 있다.
- [0091] 채널 등화기(10)는 등화 필터부(100) 및 디지털 제어부(200)를 포함한다. 등화 필터부(100)는 상기 베이스 밴드

신호를 인가 받아 필터 코드 신호(CF, CD)에 기초하여 등화 신호(EQ)를 생성하고, 등화 신호(EQ)를 지연시켜 등화 신호 패턴(P)을 순차적으로 생성한다. 디지털 제어부(200)는 상기 전송 채널의 전달 함수를 계산하기 위하여, 등화 신호(EQ) 및 등화 신호 패턴(P)에 기초하여 아이 히스토그램(HG)을 생성하고, 아이 히스토그램(HG)에 기초하여 상기 전송 채널의 전달 특성이 반영된 상기 필터 코드 신호를 생성하여 등화 필터부(100)에 제공한다. 도 10의 채널 등화기(10)는 도 1의 채널 등화기(10)과 유사하므로 중복되는 설명은 생략한다.

- [0092] 도 11은 본 발명의 실시예들에 따른 채널 등화 방법을 나타내는 흐름도이다.
- [0093] 도 1 및 도 11을 참조하면, 본 발명의 일 실시예에 따른 채널 등화 방법에서는, 전송 채널을 통해 수신된 입력 신호(I)를 인가 받아 필터 코드 신호에 기초하여 등화 신호(EQ)를 순차적으로 생성(S100)하고, 등화 신호(EQ)를 지연시켜 등화 신호 패턴(P)을 생성(S200)하고, 입력 신호(I) 및 등화 신호 패턴(P)에 기초하여 아이 히스토그램(HG)을 생성(S300)하고, 아이 히스토그램(HG)을 기초로 상기 전송 채널의 전달 특성이 반영된 필터 코드 신호(CD, CF)를 생성(S400)한다.
- [0094] 도 11의 단계들(S100, S200)은 도 1의 등화 필터부(100)에 의하여 수행될 수 있고, 도 11의 단계들(S300, S400)은 도 1의 디지털 제어부(200)에 의하여 수행될 수 있으므로, 중복되는 설명은 생략한다.
- [0095] 도 12는 도 11의 아이 히스토그램을 생성하는 단계의 일 예를 나타내는 흐름도이다.
- [0096] 도 1 및 도 12를 참조하면, 아이 히스토그램을 생성(S300)함에 있어서, 기준 신호(VREF)와 입력 신호(I)의 레벨을 비교하여 비교 비트 신호(D0)를 생성(S310)하고, 비교 비트 신호(D0) 및 등화 신호 패턴(P)에 기초하여 아이 히스토그램(HG)을 생성(S320)할 수 있다.
- [0097] 도 12의 단계(S310)는 도 1의 비교부(210)에 의하여 수행될 수 있고, 도 12의 단계(S320)는 도 1의 필터 제어기(250)에 의하여 수행될 수 있으므로, 중복되는 설명은 생략한다.
- [0098] 도 13은 도 11의 필터 코드 신호를 생성하는 단계의 일 예를 나타내는 흐름도이다.
- [0099] 도 1 및 도 13을 참조하면, 필터 코드 신호를 생성(S400)함에 있어서, 아이 히스토그램(HG)에 기초하여 아이 패턴 열림 정도를 계산하고, 상기 아이 패턴 열림 정도가 문턱값보다 큰 경우(S410: YES), 아이 히스토그램(HG)에 기초하여 피드백 필터 계수를 계산(S420)하고, 상기 피드백 필터 계수에 기초하여 필터 코드 신호(CF, CD)의 피드백 필터 코드(CD)를 생성하여 등화 필터부(100)의 피드백 필터(150)에 제공(S430)하고, 상기 아이 패턴 열림 정도가 상기 문턱값 이하인 경우(S410: NO), 필터 코드 신호(CF, CD)의 피드포워드 필터 코드(CF)를 생성하여 등화 필터부(100)의 피드포워드 필터(110)에 제공(S440)할 수 있다. 실시예에 따라, 도 6을 참조하여 기술한 바와 같이, 상기 피드백 필터 계수에 기초하여 필터 코드 신호(CF, CD)의 피드백 필터 코드(CD) 및 피드포워드 필터 코드(CF)를 생성하여 등화 필터부(100)에 제공할 수도 있다.
- [0100] 도 13의 단계들(S410, S420, S430, S440)은 도 1의 필터 제어기(250)에 의하여 수행될 수 있으므로, 중복되는 설명은 생략한다.
- [0101] 도 1, 도 3, 도 4, 도 8 및 도 13을 참조하여, 채널 등화기의 전체적인 동작을 설명한다. 상기 전송 채널을 통하여 수신된 입력 신호(I)의 아이 패턴이 충분히 낮은 비트 에러율로 데이터를 송수신할 수 있을 정도로 열려 있는지, 즉 로직 하이 레벨에 해당하는 수신 레벨과 로직 로우 레벨에 해당하는 수신 레벨 간의 간격이 충분히 형성되는지를 판별한다. 다시 말하자면 아이 패턴 열림 정도를 측정하여 문턱값 이상인지를 판별한다. 아이 패턴 열림 정도가 문턱값보다 큰 경우, 피드백 필터(150)로부터 출력되는 등화 신호 패턴(P) 및 입력 신호(I)를 이용하여 상기 전송 채널의 임펄스 응답을 계산한다. 상기 임펄스 응답을 계산함으로써 피드백 필터(150)의 필터 계수들, 즉 피드백 필터 코드(CD1, ..., CDn)를 생성할 수 있다. 디지털 제어부(200)는 피드백 필터 코드(CD1, ..., CDn)를 등화 필터부(100)의 피드백 필터(150)에 제공하여 필터 계수를 조절할 수 있다.
- [0102] 반면에, 아이 패턴 열림 정도가 문턱값 이하인 경우, 즉 상기 전송 채널을 통하여 수신된 입력 신호(I)의 아이 패턴이 충분히 낮은 비트 에러율로 데이터를 송수신할 수 있을 정도로 열려 있지 않은 경우에는, 디지털 제어부(200)는 피드포워드 필터 코드(CF1, ..., CFm)를 입력 신호(I)의 고주파 성분을 증폭시키는 방향으로 제어할 수 있다. 피드포워드 필터 코드(CF1, ..., CFm)를 제어함에 있어서, 피드백 필터 코드(CD1, ..., CDn)를 제어하기 위하여 필요한 정밀도를 요구하지는 않을 수 있다. 따라서, 피드포워드 필터(110)의 피드포워드 필터 코드(CF1, ..., CFm)는 필터 코드 그룹에 저장된 필터 코드들 중 하나의 필터 코드를 선택하여 적용하는 방법으로 제어될 수 있다. 상기 필터 코드 그룹에 저장된 필터 코드들을 피드포워드 필터(110)에 선택적으로 적용하고 피드백 필터(150)가 동작 가능한 아이 패턴 열림 정도에 도달하도록 제어될 수도 있다.

- [0103] 피드포워드 필터(150)의 필터 코드를 제어하여 상기의 상태에 도달하면, 디지털 제어부(200)는 상기 전송 채널의 상기 임펄스 응답을 계산함으로써 피드백 필터(150) 계수값들, 즉 피드백 필터 코드(CD1, ..., CDn)를 생성하는 동작을 수행할 수 있다. 즉, 상기에서 설명한 바와 같이, 피드백 필터(150)의 필터 계수들을 제어하기 전에 피드포워드 필터(110)의 필터 계수들을 입력 신호(I)의 아이 패턴 열림 정도를 기초로 하여 제어함으로써 입력 신호(I)의 아이패턴이 일정 비트 에러율 이하로 데이터를 수신할 수 있을 정도로 열려 있지 않은 경우에도 채널 등화기(10)의 동작이 가능하다.
- [0104] 다시 도 1, 도 11 및 도 13을 참조하면, 디지털 제어부(200)에 의하여 생성된 아이 히스토그램(HG)은 일정 기간 동안만 업데이트하여 필터 코드 신호(CD)를 생성(S400)하는 데 활용될 수도 있고, 현재로부터 앞서는 일정 기간(또는 클럭) 동안의 입력 신호(I)들을 고려하여 매 입력 신호(I)가 인가 될 때마다 업데이트를 하여 필터 코드 신호(CD, CF)를 생성(S400)하는 데 활용될 수도 있다. 또는, 상기 전송 채널을 통하여 수신되는 입력 신호(I)의 비트 에러율을 기준으로 하여, 아이 히스토그램을 기초로 하여 필터 코드 신호(CD, CF)를 생성(S400)하고 이를 등화 필터부(100)에 적용한 후에 상기 비트 에러율이 문턱값보다 커지는 경우가 발생하면, 다시 도 13의 필터 코드 신호(CD, CF)를 생성(S400)하는 과정을 반복하되, 기존의 아이 히스토그램에 기초하여 필터 코드 신호(CD, CF)를 생성하는 대신에 새로운 입력 신호(I) 및 새로운 등화 신호 패턴(P)에 기초하여 새로운 아이 히스토그램을 생성(S300)할 수 있다.
- [0105] 이상 본 발명의 실시예들에 따른 채널 등화기, 수신기 및 채널 등화 방법에 대하여 설명의 편의를 위하여 총 필터 탭의 개수를 제한하여 설명하였으나, 본 발명의 기술적 사상의 범위 내에서 더 많은 수의 필터 탭으로 구성되고 동작할 수 있음을 이해하여야 할 것이다. 마찬가지로, 심볼간 간섭 중 포스트 커서에 의한 간섭을 줄이는 구성 및 동작에 관하여 주로 설명하였으나, 프리 커서 및 포스트 커서에 의한 간섭을 줄이기 위하여 구성되고 동작할 수 있음을 이해하여야 할 것이다. 더불어, 전송 채널을 통하여 수신하는 데이터의 심볼이 2가지 인 경우로 제한하여 설명하였으나, 더 많은 가지 수의 심볼을 가지는 경우를 위해 구성되고 동작할 수 있음을 이해하여야 할 것이다.

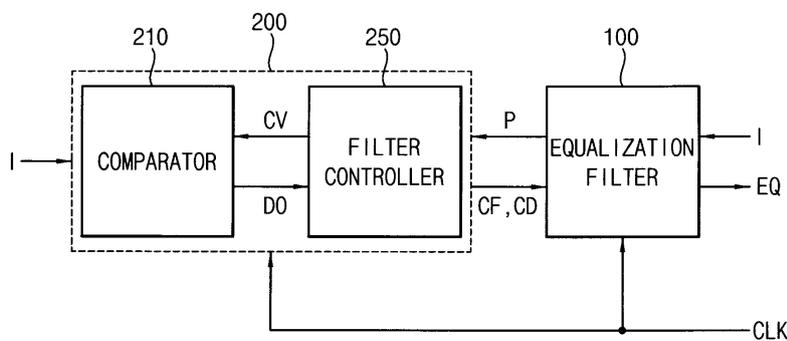
산업상 이용가능성

- [0106] 본 발명은 데이터 송수신 장치에 유용하게 이용될 수 있다. 특히 본 발명은 고속 데이터 송수신을 위한 등화기, 수신기 또는 이를 포함하는 휴대용 통신 장치, 데이터 통신 시스템 등에 더욱 유용하게 이용될 수 있다.
- [0107] 상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야에서 통상의 지식을 가진 자라면 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

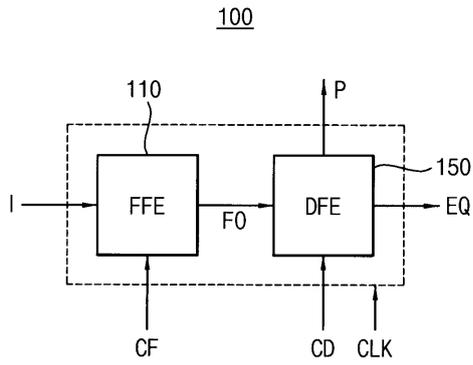
도면

도면1

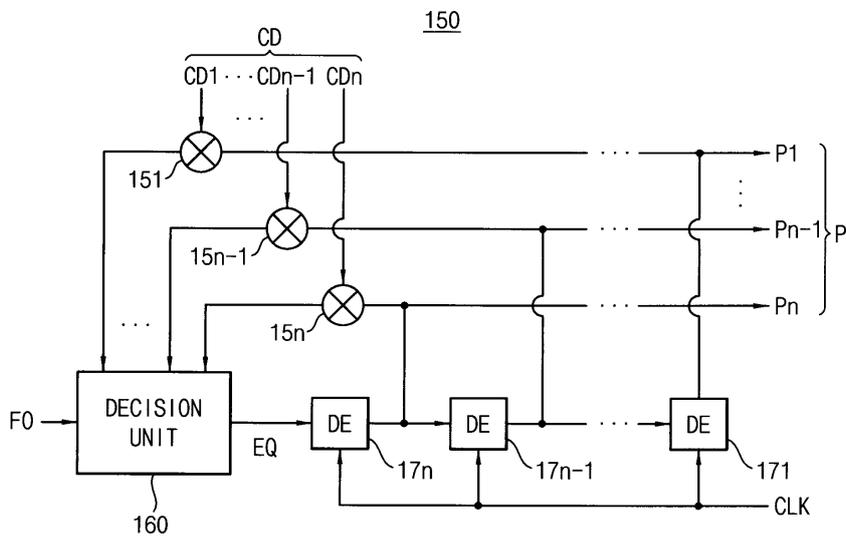
10



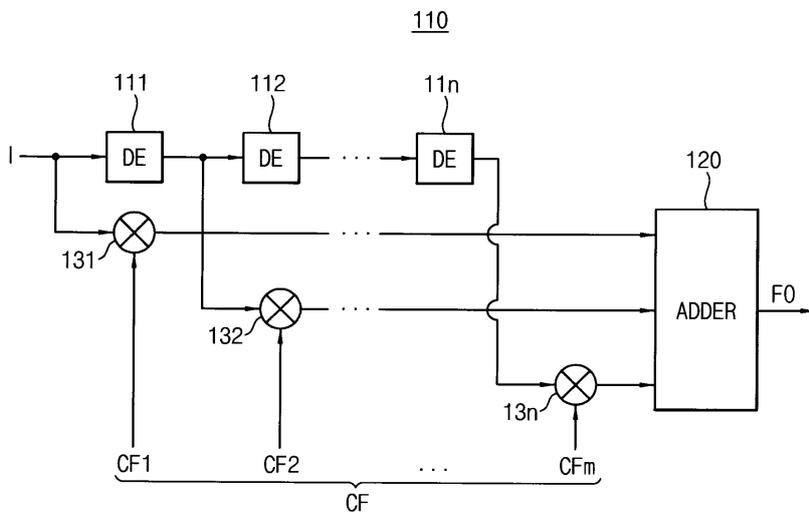
도면2



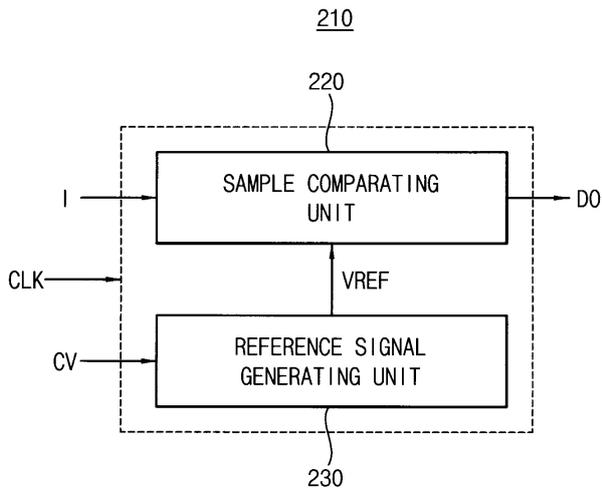
도면3



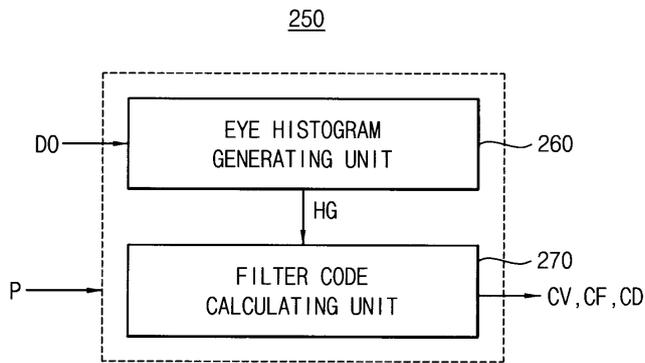
도면4



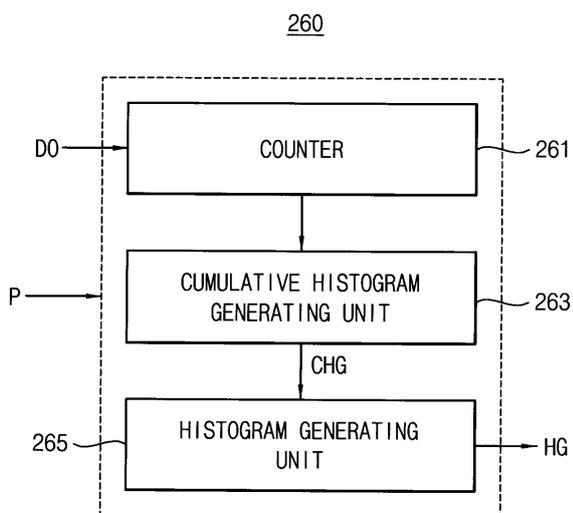
도면5



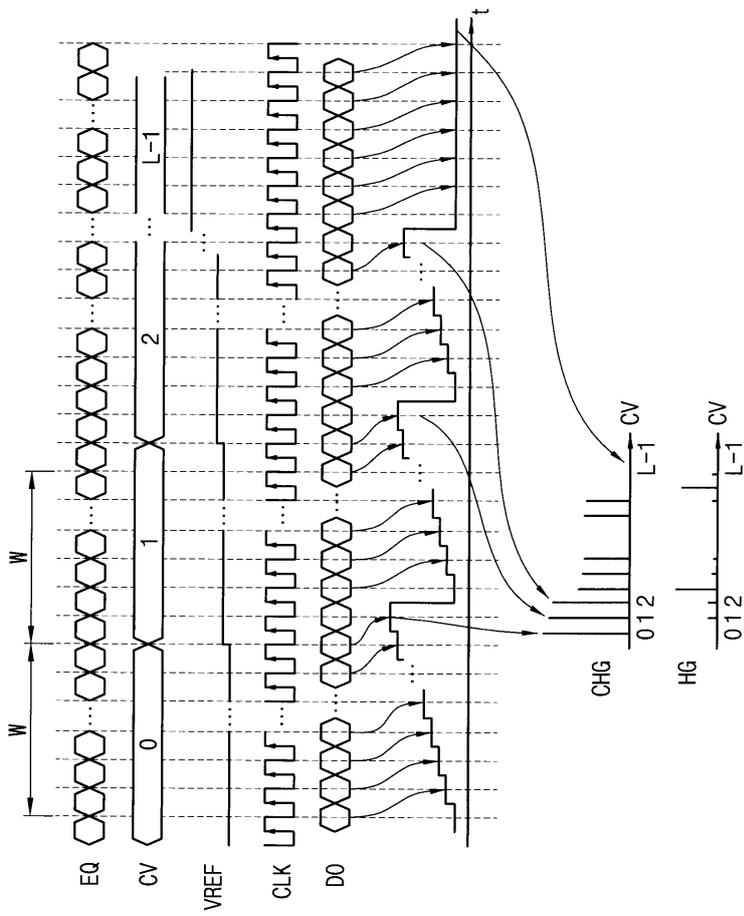
도면6



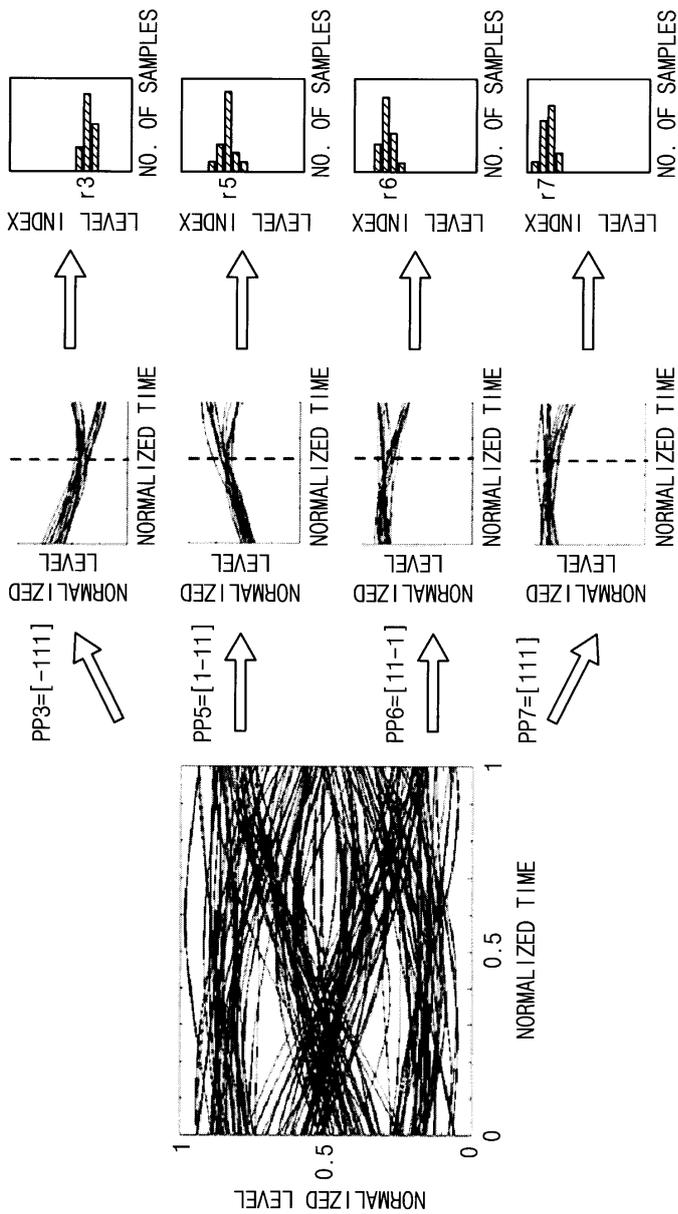
도면7



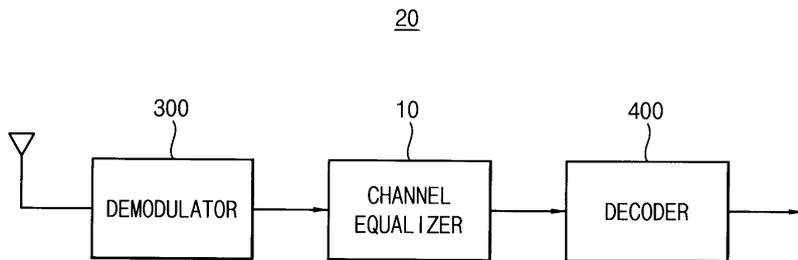
도면8



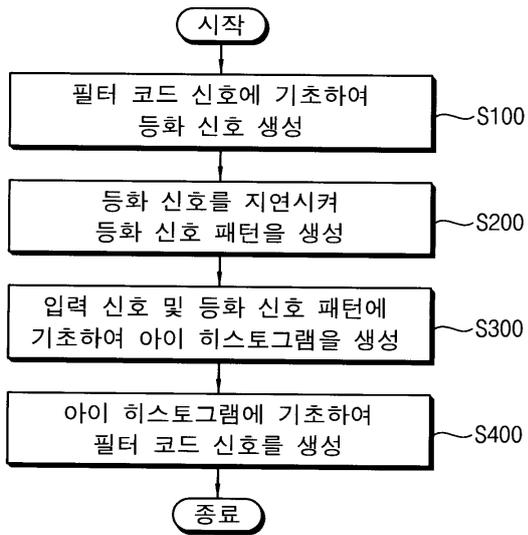
도면9



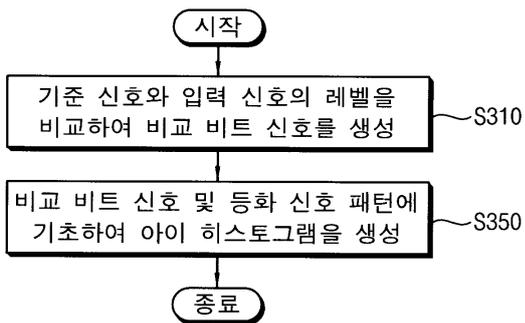
도면10



도면11



도면12



도면13

