



특 허 증

CERTIFICATE OF PATENT

특 허 제 10-0620865 호	출원번호 (APPLICATION NUMBER)	제 2005-0060115 호
(PATENT NUMBER)	출원일 (FILING DATE:YY/MM/DD)	2005년 07월 05일
	등록일 (REGISTRATION DATE:YY/MM/DD)	2006년 08월 30일

발명의명칭 (TITLE OF THE INVENTION)
 순방향 신호 크기 제어방식과 디지털 제어 방식을 사용하고
 속 등화기 시스템과 등화 방법

특허권자 (PATENTEE)
 연세대학교 산학협력단(274171-0*****)
 서울 서대문구 신촌동 134 연세대학교

발명자 (INVENTOR)
 등록사항란에 기재

위의 발명은 「특허법」에 의하여 특허등록원부에 등록
 되었음을 증명합니다.

(THIS IS TO CERTIFY THAT THE PATENT IS REGISTERED ON THE REGISTER OF THE KOREAN
 INTELLECTUAL PROPERTY OFFICE.)

2006년 08월 30일



특 허 청
 COMMISSIONER, THE KOREAN INTELLECTUAL PROPERTY OFFICE



등록사항

특 허 등록 제 10-0620865 호

발 명 자

이재욱

최우영



도 3

색인어

등화기, 송신기, 수신기, 주파수 종속 손실

명세서

도면의 간단한 설명

도 1은 특성 임피던스 $Z_0 = 50 \text{ ohm}$ 인 PCB 패턴에서 나타나는 주파수에 따른 감쇄도이다.

도 2는 도 1의 감쇄특성을 가지는 구조로서 HSPICE-W 모델을 이용하여 계산한 스트립 라인과 파라미터이다.

도 3은 본 발명에 따른 등화기 시스템의 블럭도이다.

도 4a는 디지털 제어 순방향 등화기의 개략도이다.

도 4b는 상부/하부 앰프의 블럭도이다.

도 4c는 디지털 제어 순방향 등화기의 회로도이다.

도 5는 터미네이션 저항과 고주파 패스 필터의 회로도이다.

도 7은 디지털 제어 바이어스 전압발생기의 회로도이다.

도 8은 디지털 제어 순방향 등화기의 제어신호에 따른 주파수 응답 특성도이다.

도 9는 디지털 제어 순방향 등화기의 입력 및 출력 파형도이다.

도 10은 바닥 검출기의 회로도이다.

도 11은 바닥 검출기의 파형도이다.

도 12는 슬라이서의 개략도와 회로도이다.

도 13은 슬라이서의 파형도이다.

도 14는 제어수단의 블럭도이다.

도 15는 제어수단의 순서도이다.

도 16은 0.2m PCB 패턴과 등화기에서 라인 출력의 아이패턴이다.

도 17은 2m PCB 패턴과 등화기에서 라인 출력의 아이패턴이다.

도 18은 등화기 시스템의 레이아웃이다.

<도면의 주요 부분에 대한 부호의 설명>

30 : 등화기 시스템(equalizer system)

31 : 입력부

32 : 터미네이션 저항과 고주파 패스 필터

33 : 디지털 제어 순방향 등화기(digitally controlled feedforward equalizer)

34 : 바닥 검출기(bottom detector)

35 : 슬라이서(slicer)

36 : 제어수단 37 : 출력부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 고속 등화기와 등화 방법에 대한 것으로서, 더욱 상세하게는 순방향 신호 크기 제어방식과 디지털 제어 방식을 사용하는 고속 등화기 시스템과 등화 방법에 관한 것이다.

최근 대용량 데이터 송수신에 대한 욕구는 네트워크 망에 한계를 가져왔으며, 이러한 경우 초고속 시스템에서 출력 포트의 한계를 증가시키기 위해서는 극복해야 할 몇 가지 문제점들이 있다. 그 문제점들은 칩의 동작속도를 증가시키는 것만으로는 해결할 수 없었으며, 데이터 송수신 채널에서 생기는 여러 가지 생각지 못했던 주파수 의존 손실(frequency dependent loss)과 크로스토크(cross talk)문제를 해결해야만 데이터 전송속도를 높일 수 있다.

NRZ 형태의 데이터를 케이블이나 PCB 보드 패턴을 통해 전송할 때, 채널의 표피효과에 의하여 고주파 신호는 감쇄를 일으키게 되지만 저주파 성분의 신호는 상대적으로 작은 감쇄를 가지게 되어 신호의 심볼간 간섭인 ISI가 발생하는 결과를 가져오게 된다.

폭 W 를 가지는 스트립 라인이 가지는 주파수의존손실 저항은 수학식 1과 같이 표현된다.

$$\text{수학식 1} \\ R(f) = \frac{1}{2W} \left(\frac{\pi W f}{\sigma} \right)^{1/2}$$

여기서 σ 는 패턴의 전도도를 나타낸다(구리의 경우 5.8×10^7 ohm/m). 저항 값은 주파수의 함수로 나타나며, 주파수가 올라갈수록 그 값이 커지는 것을 알 수 있다.

도 1은 특성 임피던스 $Z_0 = 50$ ohm 인 PCB 패턴에서 나타나는 주파수에 따른 감쇄도이며 도 2는 도 1의 감쇄특성을 가지는 구조로서 HSPICE-W 모델을 이용하여 계산한 스트립 라인파 파라미터이다.

도 1를 참조하면, 주파수가 1GHz 일 때 패턴 길이 1m 당 신호의 60%가 감쇄되고, 2m 의 길이에서 신호의 주파수가 1.5GHz 일 때 FR4 재질의 PCB 보드에서 약 10dB의 감쇄가 발생함을 알 수 있다. 여기서 PCB 패턴의 길이가 길어질수록 입력신호의 주파수가 커질수록 감쇄가 커짐을 알 수 있다.

이러한 채널의 불완전성을 극복하기 위해서 송신 단에 Pre-emphasis 회로를 사용하는 방법이 있으며 이는 W. J. Dally and J. Poulton, "Transmitter equalization for 4-Gbps signaling," *IEEE Micro*, vol. 17, pp. 48-56, Jan.-Feb. 1997. 과 M. Bruensteiner, *et al.*, "3.3-V CMOS Pre-Equalization VCSEL Transmitter for Gigabit Multimode Fiber Links," *IEEE Photonics Technology Letters*, vol. 11, pp. 1301-1303, Oct. 1999. 에 게시되어 있다.

그리고 수신단에 등화기를 사용하는 방법도 있으며 이는 Yoshiharu Kudoh *et al.*, "A 0.13 μ m CMOS 5-Gb/s 10-meter 28AWG Cable Transceiver with No-Feedback-Loop Continuous-Time Post-Equalizer," *IEEE J. Solid-State Circuits*, vol. 38, pp. 741-746, May. 2003.에 개시되어 있다.

또는 두 가지를 모두 사용하여 채널의 대역폭을 증가시키는 방법들이 사용되고 있다. 이는 R. Farjad-Rad *et al.*, "A 0.3 μ m CMOS 8-Gb/s 4-PAM Serial Link Transceiver," *IEEE J. Solid-State Circuits*, vol. 35, No.5, pp. 757-764, May. 2000 과 R. Farjad-Rad *et al.*, "0.622-8.0Gbps 150mW Serial IO Macrocell with Fully Flexible Preemphasis and Equalization," *2003 Symposium on VLSI Circuits Digest of Technical Paper*, pp. 63-66.에 개시되어 있다.

이 중 등화기를 사용하는 방법이 가지는 장점이 온도 및 칩 제작 공정의 여러 가지 변수를 보상한 결과를 출력할 수 있다는 점이기 때문에 수신단에 등화기의 사용이 요구된다. 이러한 장점은 Yasumoto Tomita *et al.*, "A 10Gb/s Receiver with Equalizer and On-chip ISI Monitor in 0.11 μ m CMOS," *2004 Symposium on VLSI Circuits Digest of Technical Paper*, pp. 202-205.에 개시되어 있다.

또 다른 문제는 종래에 발표된 동작방식은 리미터의 입력과 출력을 비교하여 등화기의 이득을 결정하는 하나의 적응루프를 동작시키는 방식이었다. 이는 M. M. Green *et al.*, "A BiCMOS 10Gb/s Adaptive Cable Equalizer," *ISSCC Dig. Tech. Paper*, pp. 482-483, Feb., 2004. 에서 개시되어 있다. 그러나 좀 더 정확한 동작을 위해서 등화기는 선형적인 응답 특성을 가져야 하며, 출력을 내보내는 리미터는 확실한 출력판정을 할 수 있는 이득을 가져야 한다.

이러한 점을 개선하기 위해서 제안된 것이 리미터의 입력과 출력을 비교할 때 두 개의 Low-Pass Filter(LPF)와 두 개의 High-Pass Filter(HPF)를 이용하여 두 개의 적응 루프를 가지도록 하는 것이며 이는 Srikanth Gondi *et al.*, "A 10Gb/s CMOS Adaptive Equalizer for Backplane Applications," *ISSCC Dig. Tech. Paper*, pp. 328-329, Feb., 2005.에 개시되어 있다.

그러나 두 개의 적응 루프를 동작시킬 경우 루프간의 충돌을 방지하기 위해서 많은 분석이 필요하며, 이러한 점을 피하기 위해 적응 동작에 걸리는 시간이 길어진다는 문제가 있었다.

따라서 두 개의 적응 루프를 동작시키지 아니하고 두 개의 필터도 사용하지 않으면서도 적응 동작 시간을 줄여야 하는 필요성이 대두된다.

또한 종래기술의 다른 문제는 수신된 데이터의 패턴에 따라서 적응 루프의 동작이 쉽게 영향을 받는다는 점이다. 수신된 데이터가 아날로그 또는 디지털인 경우 적응 루프의 동작이 쉽게 바뀐다.

따라서 적응 루프의 특성인 적응시간과 안정도를 확보하기 위해서는 이러한 한계를 넘을 수 있는 새로운 방식이 필요하다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 문제점을 해결하기 위하여 안출된 것으로, 순방향 크기 제어방식과 디지털 제어방식을 사용함으로써 반도체 칩의 소형화 및 등화기 시스템(디지털 제어 순방향 등화기와 슬라이서)의 오프셋(offset)을 제거하고 소모 전력을 줄일 수 있는 등화기 시스템 및 방법을 제공함에 그 목적이 있다.

발명의 구성 및 작용

하기 설명 및 첨부 도면에서 구체적인 처리 흐름과 같은 많은 상세한 설명들이 본 발명의 보다 전반적인 이해를 제공하기 위해 나타나 있다. 그리고 본 발명의 요지를 불필요하게 흐릴 수 있는 공지 기능 및 구성에 대한 설명은 생략한다.

상기의 목적을 달성하기 위하여 본 발명에 따른 등화기 시스템은, 입력신호를 받아들이는 입력부; 상기 입력신호를 터미네이션하는 저항과 상기 입력신호의 고주파를 여과시키는 고주파 패스 필터; 상기 터미네이션 저항을 통과한 신호와 상기 고주파 패스 필터를 통과한 신호를 수신신호로 하여 상기 수신신호의 고주파 성분을 증폭시키는 디지털 제어 순방향 등화기; 상기 디지털 제어 순방향 등화기에서 증폭된 신호 중 가장 낮은 신호를 검출하는 바닥 검출기; 상기 디지털 제어 순방향 등화기에서 증폭된 신호와 상기 바닥 검출기의 출력 신호의 진폭을 제어하여 높은 이득을 발생시키는 슬라이서; 상기 디지털 제어 순방향 등화기의 증폭된 신호와 상기 슬라이서의 출력 신호를 비교하여 상기 디지털 제어 순방향 등화기의 증폭 이득을 제어하는 제어수단; 및 상기 슬라이서의 출력 신호를 출력하는 출력부로 이루어진다.

바람직하게는 상기 디지털 제어 순방향 등화기는 상기 터미네이션 저항을 통과한 신호(Data A)와 상기 고주파 패스 필터를 통과한 신호(Data B)를 제어하는 신호(Control C, D)를 발생시키는 전압발생기; 및 상기 입력신호(Data A, B)를 증폭시키는 상부/하부 앰프로 구성된다.

더욱 바람직하게는 상기 전압발생기는 상기 제어신호(Control C, D)에 의하여 결정되는 전류의 함이 일정하다.

더욱 바람직하게는 상기 제어수단은 상기 등화기의 증폭된 신호(x)와 상기 슬라이서의 출력신호(y)를 입력받아 제공하는 수신부; 상기 수신부에서 (x)와 (y)를 제곱한 (x)²와 (y)²를 비교하여 상기 비교에서 (x)²가 (y)²보다 작으면 레지스터로 출력신호를 보내고, 상기 비교에서 (x)²가 (y)²보다 작지 않으면 제어수단으로 출력신호를 보내는 센스 앰프; 상기 센스 앰프로부터 출력신호를 입력받아 카운트 값으로 저장하는 레지스터; 및 상기 레지스터와 상기 센스 앰프로부터 출력신호를 입력받는 제어기로 이루어진다.

더욱 바람직하게는 상기 레지스터는 상기 수신부에서 (x)와 (y)를 제곱한 (x)²와 (y)²를 비교하여 상기 비교에서 (x)²가 (y)²보다 작으면 레지스터로 출력신호를 받은 경우에는 카운트 값 1을 증가시키고, 상기 카운트 값이 8이 되는 경우에는 상기 제어부로 출력신호를 보낸다.

더욱 바람직하게는 상기 제어기는 상기 앰프 센스로부터 출력신호와 상기 레지스터로부터 출력신호를 입력받아 상기 제어수단의 동작을 정지한다.

더욱 바람직하게는 상기 레지스터는 상기 제어수단의 동작이 정지된 후에도 그 값을 유지한다.

상기의 목적을 달성하기 위하여 본 발명에 따른 등화 방법은 입력부가 입력신호를 받아들이는 입력 제 1단계; 터미네이션 저항이 상기 입력신호를 터미네이션하고 고주파 패스 필터가 상기 입력신호의 고주파를 여파시키는 제 2단계; 디지털 제어 순방향 등화기가 상기 터미네이션 저항을 통과한 신호와 상기 고주파 패스 필터를 통과한 신호를 수신신호로 하여 상기 수신신호의 고주파 성분을 증폭시키는 제 3단계; 바닥 검출기가 상기 디지털 제어 순방향 등화기에서 증폭된 신호 중 가장 낮은 신호를 검출하는 제 4단계; 슬라이서가 상기 디지털 제어 순방향 등화기에서 증폭된 신호와 상기 바닥 검출기의 출력신호의 진폭을 제어하여 높은 이득을 발생시키는 제 5단계; 제어수단이 상기 디지털 제어 순방향 등화기의 증폭된 신호와 상기 슬라이서의 출력신호를 비교하여 상기 디지털 제어 순방향 등화기의 증폭 이득을 제어하는 제 6단계; 및 출력부가 상기 슬라이서의 출력신호를 출력하는 제 7단계로 이루어진다.

바람직하게는 상기 제 3단계는 상기 터미네이션 저항을 통과한 신호(A)와 상기 고주파 패스 필터를 통과한 신호(B)를 제어하는 신호(Control C, D)를 발생시키는 단계; 상기 제어신호(Control C, D)에 의하여 결정된 이득과 상기 입력신호(A, B)를 각각 곱하여 합하는 단계; 및 상기 터미네이션 저항을 통과한 신호(A)를 증폭하는 단계로 이루어진다.

바람직하게는 상기 제 6단계는 (a) 상기 제어수단의 레지스터를 초기화하는 단계; (b) 상기 바닥 검출기를 초기화하는 단계; (c) 상기 제어수단의 센스 앰프가 상기 등화기의 증폭된 신호(x)와 상기 슬라이서의 출력신호(y)를 입력받아 제곱한 (x)²과 (y)²을 비교하는 단계; 및 (d) 상기 비교에서 (x)²가 (y)²보다 작으면 상기 레지스터의 카운트를 한 단계 증가시키고, 상기 레지스터의 카운트가 8보다 작으면 상기 (b)단계로 귀환하고 상기 레지스터의 카운트가 8이 되면 상기 제어수단의 동작을 정지하고, 상기 비교에서 (x)²가 (y)²보다 작지 않으면 상기 레지스터의 카운트를 증가시키지 아니하고 상기 제어수단의 동작을 정지하는 단계의 알고리즘을 포함한다.

이하 첨부된 도면을 참조하면서 본 발명의 실시예를 상세히 설명한다.

도 3은 본 발명에 따른 등화기 시스템의 블록도이다. 구체적으로는 다음과 같이 구성되어 있다. 우선 상기 등화기 시스템의 전달함수를 살펴본다.

제한된 대역폭을 갖는 채널에서 생기는 ISI(Inter Symbol Interference)를 보상하기 위해서 등화기가 가져야 되는 전달함수는 채널의 역함수가 되어야 한다. 채널의 전달함수는 수학적 2와 같이 모델링 될 수 있다.

수학적 2

$$F(s) = \exp(-La\sqrt{s})$$

여기서 L 은 케이블의 길이이며 a 는 케이블의 특성 상수이고, 또한 필요한 등화기의 전달함수는 수학식 3과 같은 형태가 된다.

$$\text{수학식 3}$$

$$H(s) = 1 + \alpha G(s)$$

여기서 G(s)는 등화기의 고주파 증폭단이 갖는 전달함수이며, α 는 적응적으로 결정되는 이득이다.

등화기 시스템(30)은 입력부(31), 터미네이션 저항과 고주파 패스 필터(32), 디지털 제어 순방향 등화기(33), 바닥 검출기(34), 슬라이서(35), 제어수단(36), 및 출력부(37)로 구성된다.

상기 등화기 시스템(30)의 동작을 살펴보면, 등화기 시스템(30)의 적응적 동작은 디지털 제어 순방향 등화기(33)의 출력과 슬라이서(35)의 출력을 비교하여 상기 디지털 제어 순방향 등화기(33)의 출력이 상기 슬라이서(35)의 출력보다 작은 경우 디지털 제어 순방향 등화기(33)의 이득을 증가시키는 동작을 반복하게 된다.

디지털 제어 순방향 등화기(33)의 이득을 한 단계씩 증가시키다가 디지털 제어 순방향 등화기(33)의 출력이 슬라이서(35)의 출력보다 큰 경우(큰 에너지를 가질 때) 디지털 제어 순방향 등화기(33)의 이득을 증가시키는 동작을 멈추게 되며, 그 상태를 계속 유지하도록 설계되었다. 하기에서 각 부분의 동작을 구체적으로 설명한다.

입력부(31)는 여러 정보원으로부터 전송된 신호를 받아들이며 이를 터미네이션 저항과 고주파 패스 필터(32)로 전달하고 터미네이션 저항과 고주파 패스 필터(32)에서는 상기 입력부에서 입력된 신호 중에서 터미네이션 저항을 통과한 신호를 Data A라고 하고 고주파 패스 필터를 통과한 신호를 Data B라고 한다.

도 5는 터미네이션 저항과 고주파 패스 필터의 회로도이다. 여기서 터미네이션 저항은 상기 등화기 시스템(30)의 특성 임피던스와 동일한 50 Ohm이며 터미네이션 저항을 통과한 신호는 반사되는 신호의 양이 없어 왜곡되지 않는다. 도 6은 고주파 패스 필터의 주파수 응답 특성도이며, 1GHz 이상의 고주파 성분은 거의 통과하고 1GHz 이하의 주파수 성분은 억제되는 것을 보여준다.

도 4a는 디지털 제어 순방향 등화기의 개략도이다. 상기 디지털 제어 순방향 등화기(33)는 두 개의 이득을 조절할 수 있는 상부/하부 앰프(41,42)로 구성되어 있다. 도 4b는 상부/하부 앰프의 블럭도이고 도 4c는 디지털 제어 순방향 등화기의 회로도이다.

여기서 상부 앰프(41)는 상기 제어신호(Control C, D)에 의하여 결정된 이득과 상기 터미네이션 저항을 통과한 신호(Data A)를 곱하는 곱셈기(43) 및 상기 곱셈기(43)에서 곱해진 값과 바이어스 값을 더하는 가산기(44)로 이루어진다.

여기서 하부 앰프(42)는 상기 제어신호(Control C, D)에 의하여 결정된 이득과 상기 입력신호(Data A, B)를 각각 곱하는 곱셈기(43) 및 상기 곱셈기(43)에서 각각 곱해진 값을 더하는 가산기(44)로 이루어진다.

상부 앰프(41)에서는 상기 Data A를 증폭하여 출력값 Eq_out B 로 출력하고 하부 앰프(42)에서는 상기 Data A와 Data B를 제어신호(Control C, Control D)에 따른 이득을 곱하고 합하여 출력값 Eq_out A 로 출력한다.

도 7은 디지털 제어 바이어스 전압발생기의 회로도이다. 상기 디지털 제어 바이어스 전압발생기(45)의 제어신호(Control C, Control D)에 의하여 상기 디지털 제어 순방향 등화기(33)의 이득이 결정된다.

특히 상기 제어신호(Control C, Control D)에 의하여 결정된 상기 등화기 시스템(30)의 전류의 합이 $8I_1$ 으로 일정하며, 상기 디지털 제어 순방향 등화기(33)의 오프셋(offset)은 일정하게 유지된다.

도 8은 디지털 제어 순방향 등화기의 제어신호에 따른 주파수 응답 특성도이다. 도 8의 이득은 상기 디지털 제어 바이어스 전압발생기(45)의 디지털 코드(M0 ~ M7, $\overline{M0} \sim \overline{M7}$)에 의하여 8가지 제어신호로 제어(Boost control)된다.

또한 도 8을 참조하면, 1GHz 이상에서의 이득은 고주파 신호의 증폭률이 화살표 방향으로 변화함에 따라 증가 하며 이는 본 발명의 등화기 시스템(30)에 의하여 고주파 성분이 증폭됨에 따라 데이터 송수신 채널의 왜곡이 감소함을 의미한다.

도 9는 디지털 제어 순방향 등화기의 입력 및 출력 파형도이다. 도 9를 참조하면, 데이터의 전이가 있는 경우는 큰 증폭이득이 적용되어 신호의 모양에 오버슈트(overshot)이 생기고, 수신된 신호가 이전 상태를 유지할 경우에는 상대적으로 작은 증폭이득이 적용되어 $E_{q_out B}$ 는 $E_{q_out A}$ 와 같은 값을 가지게 됨을 알 수 있다.

도 10은 바닥 검출기의 회로도이다. 바닥 검출기(34) 회로는 신호의 낮은 값을 측정하여 그 값을 출력하며 신호가 가장 낮은 값에 도달했을 때 OTA(Operational Transconductance Amplifiers)의 출력값은 앰프(41,42)의 음의 입력값과 같게 된다.

도 11은 바닥 검출기의 파형도이다. 상기 파형도로부터 입력신호가 점점 작은 값으로 변화함에 따라 출력이 그 값을 따라가고 있음을 알 수 있다.(바닥검출기에 의하여 바닥값을 출력한다.) 이러한 바닥 검출기(34)를 사용한 구조는 두 개의 적응 루프를 가지면서 하나의 루프는 바닥 검출기(34)에 의한 순방향 적응구조를 가지도록 한다.

도 12는 슬라이서의 개략도와 회로도이다. 상기 슬라이서(35)는 고속 동작을 위하여 3개의 버퍼를 연결하여 구성함으로써 간단한 구조를 가지며 출력 진폭을 제어하고 높은 이득을 발생시킨다.

즉, 슬라이서(35)는 등화기 시스템(30)의 출력을 결정하며 등화기 시스템(30)의 적응 동작을 위하여 그 출력 값을 조절하도록 구성된다. 도 13은 슬라이서의 파형도이며, 도 13을 참조하면 상기 슬라이서(35)는 상기 바닥 검출기(34)에 의하여 입력 전원에서 스윙 제어 전압(Swing Control voltage)까지만 출력을 발생하도록 제어(Swing Control)한다.

여기서 상기의 제어방식(Swing control)에 의하여 상기 등화기 시스템(30)에서 발생하는, 특히 상기 슬라이서(35)의 앰프에서 발생하는 오프셋을 제거한다.

상기에서 언급한 종래기술의 문제점 중 하나인 수신된 데이터의 패턴에 의하여 적응 루프의 동작이 영향을 받는 점을 극복하기 위하여 본 발명은 디지털 제어 방식을 채택하였다. 본 발명에 따른 디지털 제어 방식에 의하면 적응 시간 조절이 가능하며 적응이 끝난 시점에서 적응 동작을 고정시켜 안정도를 높이고 전력 소모를 줄일 수 있다.

도 14는 제어수단의 블록도이다. 상기 제어수단(36)은 상기 슬라이서(35)의 입/출력 신호의 에너지를 비교하여 상기 디지털 제어 순방향 등화기(33)의 이득을 제어한다.

상기 제어수단(36)은 수신부(51), 센스 앰프(52), 제어기(53) 및 레지스터(54)로 구성되며, 상기 수신부(51)는 상기 디지털 제어 순방향 등화기의 증폭된 신호(x)와 상기 슬라이서의 출력신호(y)를 입력받아 제공한다.

상기 센스 앰프(52)는 상기 수신부(51)에서 (x)와 (y)를 제공한 $(x)^2$ 와 $(y)^2$ 를 비교하여 상기 비교에서 $(x)^2$ 가 $(y)^2$ 보다 작으면 레지스터로 출력신호를 보내고, 상기 비교에서 $(x)^2$ 가 $(y)^2$ 보다 작지 않으면 제어수단으로 출력신호를 보낸다.

상기 레지스터(54)는 상기 센스 앰프(52)로부터 출력신호를 입력받아 카운트 값으로 저장하고 상기 제어기(53)는 상기 레지스터(54)와 상기 센스 앰프(52)로부터 출력신호를 입력받는다.

구체적으로는, 상기 슬라이서(35)의 입/출력 신호의 입력값을 받아서 상기 센서 앰프(52)에서 300nsec 간격으로 상기 입력값을 각각 제공한 결과를 비교하여 상기 제어기(53)로 신호를 전송하며 이러한 비교/전송은 클럭 신호(CLOCK)에 의하여 제어된다.

도 15는 제어수단의 순서도이다. 초기 수신 신호에 따라 동작이 진행되다가 상기 디지털 제어 순방향 등화기(33)의 최적 이득 값을 찾았을 때 제어 회로의 동작은 정지하게 되어 회로의 전력소모를 줄일 수 있으며, 동작이 끝난 이후에도 같은 이득을 유지하기 위하여 이득 값을 저장하는 레지스터를 내장하고 있다.

구체적으로는, (a) 상기 제어수단의 레지스터를 초기화하는 단계; (b) 상기 바닥 검출기를 초기화하는 단계; (c) 상기 제어수단의 센스 앰프가 상기 디지털 제어 순방향 등화기의 증폭된 신호(x)와 상기 슬라이서의 출력 신호(y)를 입력받아 제공한 $(x)^2$ 과 $(y)^2$ 을 비교하는 단계; 및 (d) 상기 비교에서 $(x)^2$ 가 $(y)^2$ 보다 작으면 상기 레지스터의 카운트를 한 단계 증가시키

고, 상기 레지스터의 카운트가 8 보다 작으면 상기 (b)단계로 귀환하고 상기 레지스터의 카운트가 8 이 되면 상기 제어수단의 동작을 정지하고, 상기 비교에서 (x)²가 (y)²보다 작지 않으면 상기 레지스터의 카운트를 증가시키지 아니하고 상기 제어수단의 동작을 정지하는 단계의 알고리즘으로 구현된다.

특히, 상기 알고리즘은 디지털 신호(이진 신호)를 기반으로 실현 되어 수신된 데이터의 패턴에 따라서 적응 루프의 동작이 영향을 받지 않게 한다.

여기서 상기 디지털 제어 순방향 등화기(33)의 출력이 상기 슬라이서(35)의 출력보다 큰 값을 가지게 되면 이는 상기 디지털 제어 순방향 등화기(33)의 이득이 충분하다는 것을 의미하므로, 적응 동작을 끝내라는 신호를 출력한다.

또한 상기 디지털 제어 순방향 등화기(33)의 출력이 상기 슬라이서(35)의 출력보다 작은 값을 가지게 되면 디지털 제어 순방향 등화기(33)에 입력되는 이득을 한 단계씩 증가시킨다.

이러한 방법을 사용하는 경우 적응 동작 때 걸리는 시간은 300nsec 에서 가장 큰 이득이 필요한 경우 8 사이클 즉, 2.4μsec 가 걸린다.

본 발명에 따른 등화기 시스템은 CMOS 0.18μm 공정을 이용하여 설계되었으며, 1.8V 단일전원을 사용한다. 도 16은 0.2m PCB 패턴과 등화기에서 라인 출력의 아이패턴이고 도 17은 2m PCB 패턴과 등화기에서 라인 출력의 아이패턴이다.

구체적으로는 3Gb/s 2⁷-1 PRBS(Pseudo Random Bit Sequence) 신호를 전송한 시뮬레이션 결과로 도 16의 경우는 0.2m 의 PCB 패턴의 결과이고 도 17의 경우는 2m PCB 패턴의 결과이다.

특히 도 17을 참조하면, 2m PCB 패턴을 통과시켰을 경우 일반 수신된 신호는 복원불가능하지만 등화된 수신 신호는 예리 없이 복원가능함을 알 수 있다. 여기서 도 16과 도 17을 통하여 시뮬레이션 결과 상기 등화기 시스템(30)을 통과한 신호의 아이패턴(eye pattern)이 개선되며 특히, 도 17과 같이 PCB 패턴이 2m로 더 길어지는 경우에 그 효과가 현저하다는 것을 알 수 있다.

도 18은 등화기 시스템의 레이아웃이다. 도 18은 상기 등화기 시스템의 설계된 회로를 레이아웃을 한 결과로 0.3mm²의 면적을 가지며 20mW의 전력을 소모한다. 이는 본 발명의 목적의 소형화와 저전력을 달성한 등화기 시스템의 한 실시예이다.

상기 출력부(37)에는 버퍼를 더 포함하는 것이 바람직하다. 상기 버퍼는 상기 등화기 시스템(30)의 출력 임피던스를 낮추고 다른 회로와 연결할 경우 상기 등화기 시스템(30)을 보호한다.

지금까지 본 발명에 따른 구체적인 실시예에 관하여 설명하였으나, 본 발명의 범위에서 벗어나지 않는 한도 내에서는 여러 가지 변형이 가능함은 물론이다. 그러므로 본 발명의 범위는 설명된 실시예에 국한되어 정해져서는 안되며, 후술하는 특허 청구의 범위뿐 아니라 이 특허 청구의 범위와 균등한 것들에 의해 정해져야 한다.

이상과 같이 본 발명은 비록 한정된 실시예와 도면에 의해 설명되었으나, 본 발명은 상기의 실시예에 한정되는 것은 아니며, 이는 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다. 따라서, 본 발명 사상은 아래에 기재된 특허 청구 범위에 의해서만 파악되어야 하고, 이의 균등 또는 등가적 변형 모두는 본 발명 사상의 범주에 속한다고 할 것이다.

발명의 효과

이상의 설명에서와 같이, 본 발명에 따른 등화기 시스템에 따르면 두 개의 적응 루프를 가지면서 하나의 루프는 바닥 검출기에 의한 순방향 적응 구조를 가지도록 하여 종래의 하나의 적응 루프보다 더 정확한 동작 특성을 얻을 수 있으며 종래의 2개의 필터를 사용한 루프보다 연산을 줄이고 동작시간을 절감하는 효과가 있다.

또한 본 발명에 따른 등화기 시스템에 따르면 두 개의 필터(HPF, LPF)를 사용하지 아니하고 두 신호의 에너지를 비교할 수 있는 간단한 구조를 구현함으로써 종래의 등화기보다 반도체 칩의 면적을 줄이는 효과가 있다.

또한 본 발명에 따른 등화기 시스템에 따르면 디지털 방식의 동작을 사용하여 등화기의 최적 이득이 결정된 후에는 등화기 시스템의 동작을 정지하여 전력소모를 줄이는 효과가 있다.

또한 본 발명에 따른 등화기 시스템에 따르면 바닥 검출기를 이용하여 디지털 제어 순방향 등화기의 신호를 입력받아 슬라이서의 동작을 제어하여 등화기 시스템의 오프셋을 제거하는 효과가 있다.

또한 본 발명에 따른 등화기 시스템에 따르면 등화기의 증폭이득을 조절하기 위하여 제어수단을 디지털 방식으로 구성함으로써 적응루프의 적응시간과 안정도를 확보하는 효과가 있다.

(57) 청구의 범위

청구항 1.

입력신호를 받아들이는 입력부;

상기 입력신호를 터미네이션하는 저항과 상기 입력신호의 고주파를 여과시키는 고주파 패스 필터;

상기 터미네이션 저항을 통과한 신호와 상기 고주파 패스 필터를 통과한 신호를 수신신호로 하여 상기 수신신호의 고주파 성분을 증폭시키는 디지털 제어 순방향 등화기;

상기 디지털 제어 순방향 등화기에서 증폭된 신호 중 가장 낮은 신호를 검출하는 바닥 검출기;

상기 디지털 제어 순방향 등화기에서 증폭된 신호와 상기 바닥 검출기의 출력 신호의 진폭을 제어하여 높은 이득을 발생시키는 슬라이서;

상기 디지털 제어 순방향 등화기의 증폭된 신호와 상기 슬라이서의 출력 신호를 비교하여 상기 디지털 제어 순방향 등화기의 증폭 이득을 제어하는 제어수단; 및

상기 슬라이서의 출력 신호를 출력하는 출력부로 이루어진 등화기 시스템.

청구항 2.

청구항 1에 있어서, 상기 디지털 제어 순방향 등화기는,

상기 터미네이션 저항을 통과한 신호(Data A)와 상기 고주파 패스 필터를 통과한 신호(Data B)를 제어하는 신호(Control C, D)를 발생시키는 전압발생기; 및

상기 입력신호(Data A, B)를 증폭시키는 상부/하부 앰프로 구성되는 것을 특징으로 하는 등화기 시스템.

청구항 3.

청구항 2에 있어서, 상기 전압발생기는,

상기 제어신호(Control C, D)에 의하여 결정되는 전류의 합이 일정한 것을 특징으로 하는 등화기 시스템.

청구항 4.

청구항 1에 있어서, 상기 제어수단은,

상기 디지털 제어 순방향 등화기의 증폭된 신호(x)와 상기 슬라이서의 출력신호(y)를 입력받아 제공하는 수신부;

상기 수신부에서 (x)와 (y)를 제공한 (x)²와 (y)²를 비교하여 상기 비교에서 (x)²가 (y)²보다 작으면 레지스터로 출력신호를 보내고, 상기 비교에서 (x)²가 (y)²보다 작지 않으면 제어수단으로 출력신호를 보내는 센스 앰프;

상기 센스 앰프로부터 출력신호를 입력받아 카운트 값으로 저장하는 레지스터; 및

상기 레지스터와 상기 센스 앰프로부터 출력신호를 입력받는 제어기로 이루어지는 것을 특징으로 하는 등화기 시스템.

청구항 5.

청구항 4에 있어서, 상기 레지스터는,

상기 수신부에서 (x)와 (y)를 제공한 (x)²와 (y)²를 비교하여 상기 비교에서 (x)²가 (y)²보다 작으면 레지스터로 출력신호를 받은 경우에는 카운트 값 1을 증가시키고,

상기 카운트 값이 8이 되는 경우에는 상기 제어부로 출력신호를 보내는 것을 특징으로 하는 등화기 시스템.

청구항 6.

청구항 4에 있어서, 상기 제어기는,

상기 앰프 센스로부터 출력신호와 상기 레지스터로부터 출력신호를 입력받아 상기 제어수단의 동작을 정지하는 것을 특징으로 하는 등화기 시스템.

청구항 7.

청구항 4에 있어서, 상기 레지스터는,

상기 제어수단의 동작이 정지된 후에도 그 값을 유지하는 것을 특징으로 하는 등화기 시스템.

청구항 8.

입력부가 입력신호를 받아들이는 입력 제 1단계;

터미네이션 저항이 상기 입력신호를 터미네이션하고 고주파 패스 필터가 상기 입력신호의 고주파를 여과시키는 제 2단계;

디지털 제어 순방향 등화기가 상기 터미네이션 저항을 통과한 신호와 상기 고주파 패스 필터를 통과한 신호를 수신신호로 하여 상기 수신신호의 고주파 성분을 증폭시키는 제 3단계;

바닥 검출기가 상기 디지털 제어 순방향 등화기에서 증폭된 신호 중 가장 낮은 신호를 검출하는 제 4단계;

슬라이서가 상기 디지털 제어 순방향 등화기에서 증폭된 신호와 상기 바닥 검출기의 출력 신호의 진폭을 제어하여 높은 이득을 발생시키는 제 5단계;

제어수단이 상기 디지털 제어 순방향 등화기의 증폭된 신호와 상기 슬라이서의 출력 신호를 비교하여 상기 디지털 제어 순방향 등화기의 증폭 이득을 제어하는 제 6단계; 및

출력부가 상기 슬라이서의 출력 신호를 출력하는 제 7단계로 이루어진 등화 방법.

청구항 9.

청구항 8에 있어서, 상기 제 3단계는,

상기 터미네이션 저항을 통과한 신호(A)와 상기 고주파 패스 필터를 통과한 신호(B)를 제어하는 신호(Control C, D)를 발생시키는 단계;

상기 제어신호(Control C, D)에 의하여 결정된 이득과 상기 입력신호(A, B)를 각각 곱하여 합하는 단계; 및

상기 터미네이션 저항을 통과한 신호(A)를 증폭하는 단계로 이루어지는 것을 특징으로 하는 등화 방법.

청구항 10.

청구항 8에 있어서, 상기 제 6단계는,

(a) 상기 제어수단의 레지스터를 초기화하는 단계;

(b) 상기 바닥 검출기를 초기화하는 단계;

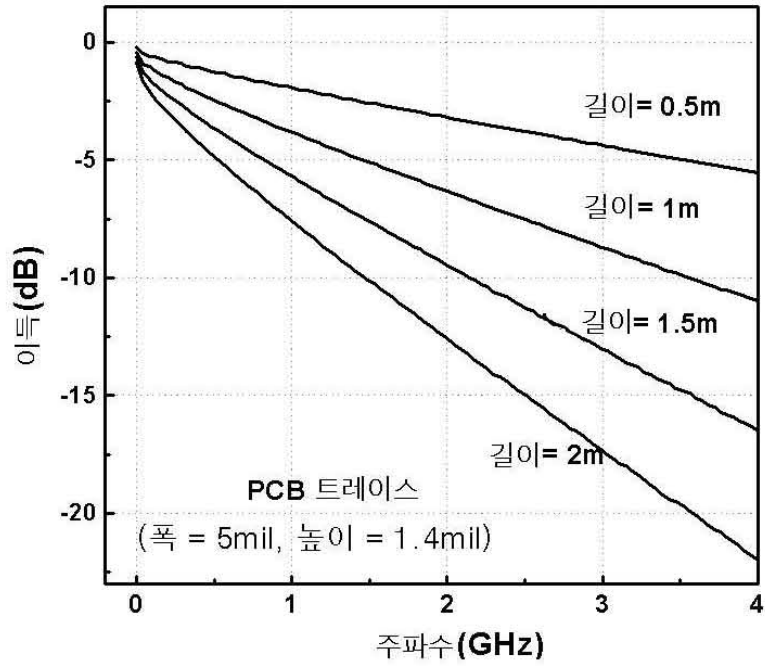
(c) 상기 제어수단의 센스 앰프가 상기 디지털 제어 순방향 등화기의 증폭된 신호(x)와 상기 슬라이서의 출력 신호(y)를 입력받아 제공한 $(x)^2$ 과 $(y)^2$ 을 비교하는 단계; 및

(d) 상기 비교에서 $(x)^2$ 가 $(y)^2$ 보다 작으면 상기 레지스터의 카운트를 한 단계 증가시키고, 상기 레지스터의 카운트가 8 보다 작으면 상기 (b)단계로 귀환하고 상기 레지스터의 카운트가 8 이 되면 상기 제어수단의 동작을 정지하고,

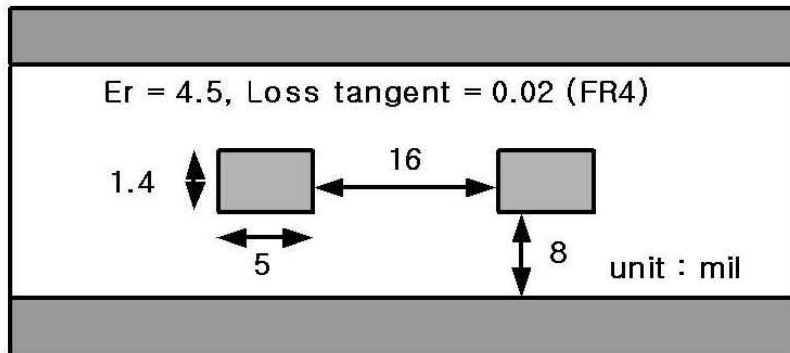
상기 비교에서 $(x)^2$ 가 $(y)^2$ 보다 작지 않으면 상기 레지스터의 카운트를 증가시키지 아니하고 상기 제어수단의 동작을 정지하는 단계의 알고리즘을 포함하는 것을 특징으로 하는 등화 방법.

도면

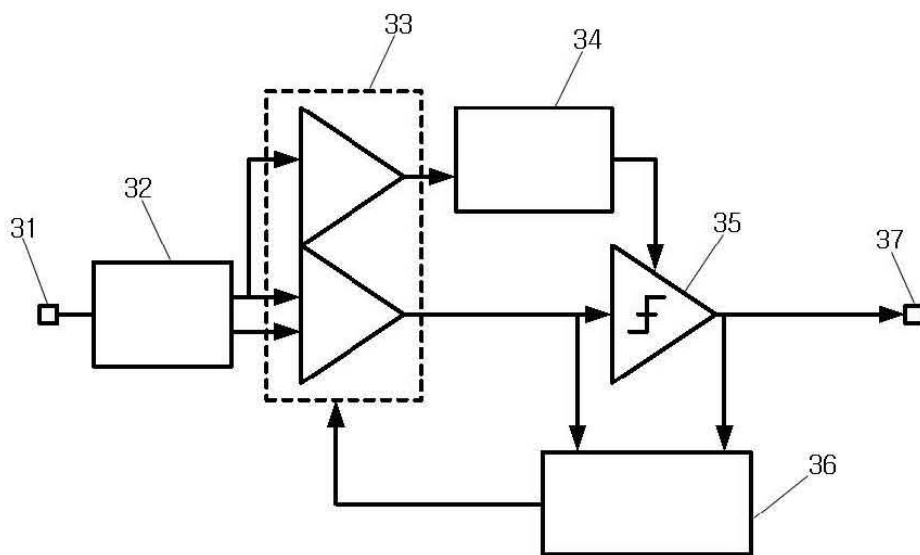
도면1



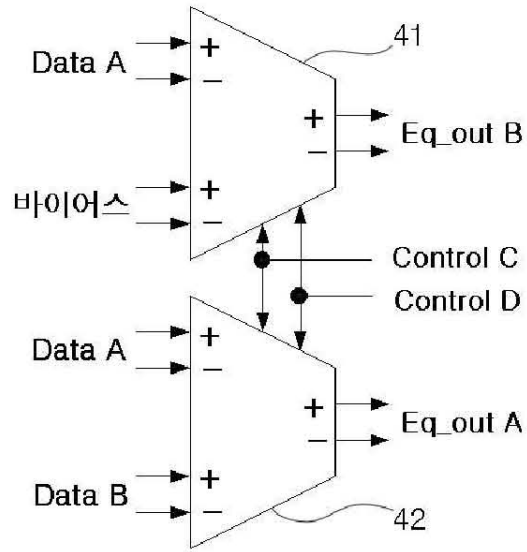
도면2



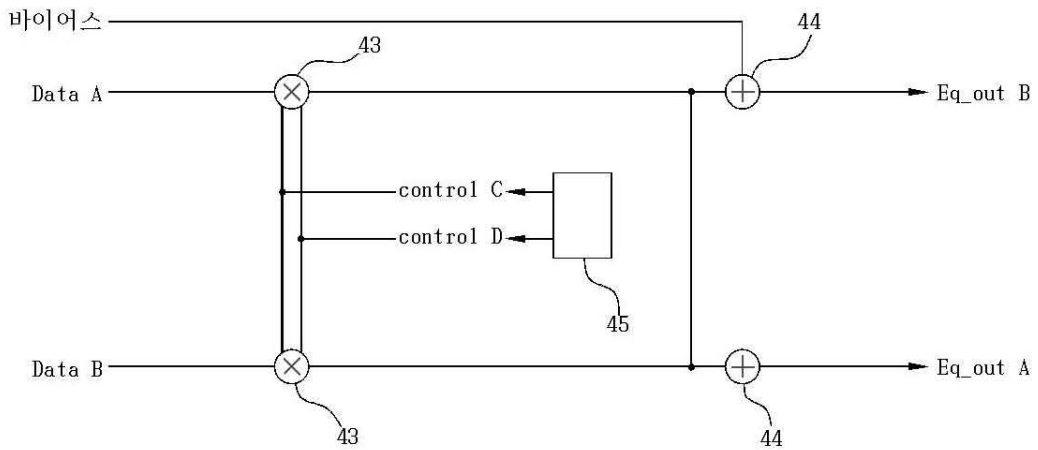
도면3



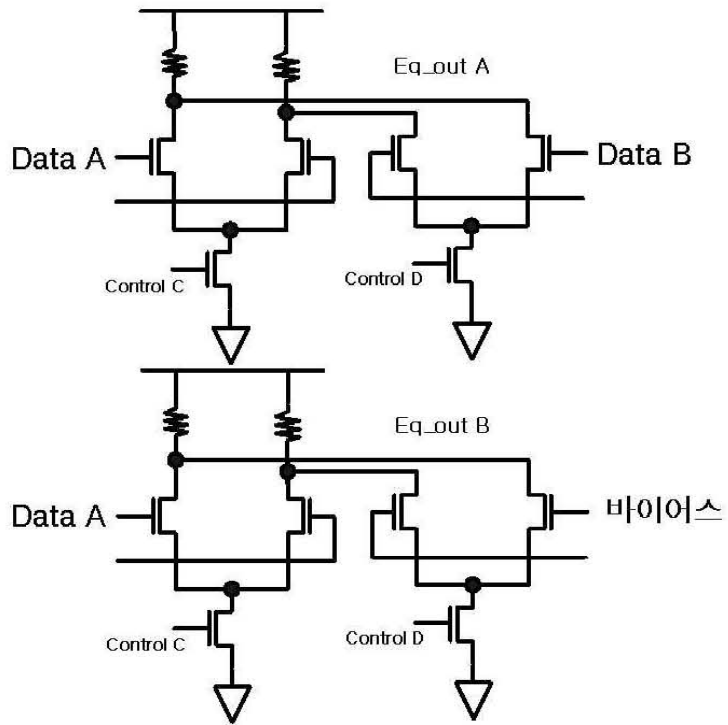
도면4a



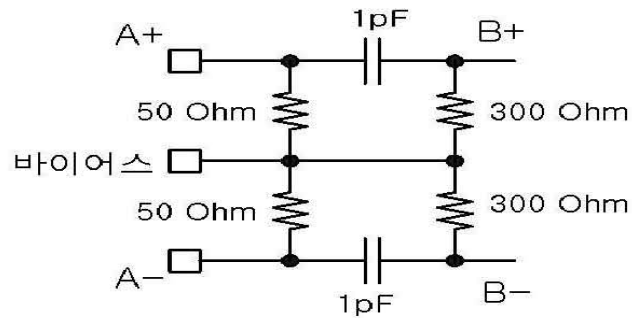
도면4b



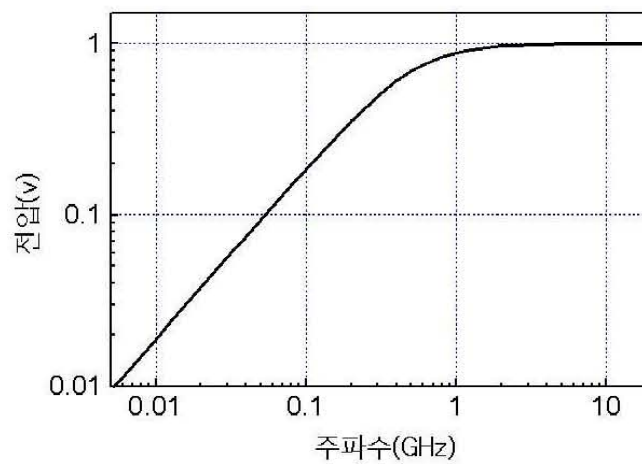
도면4c



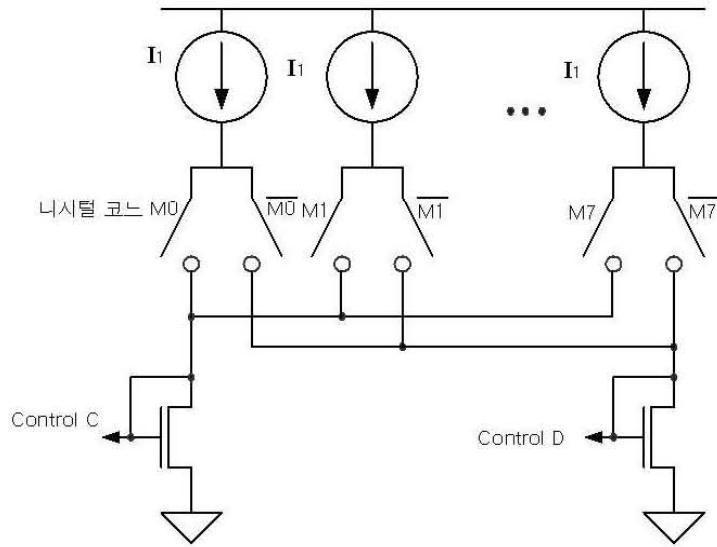
도면5



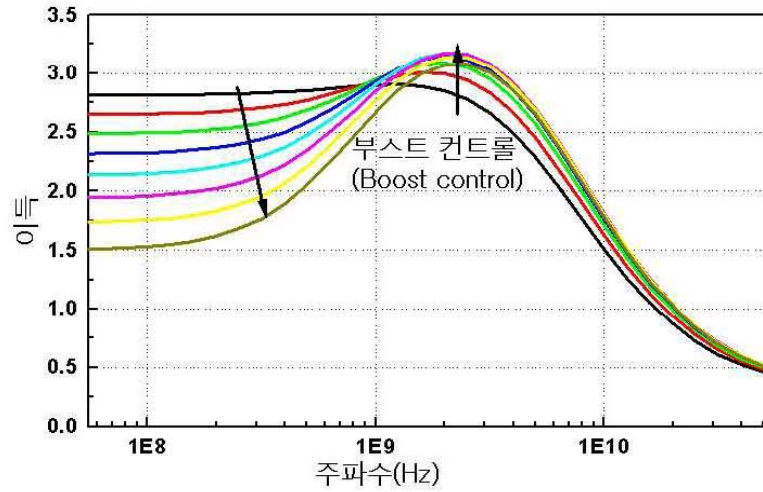
도면6



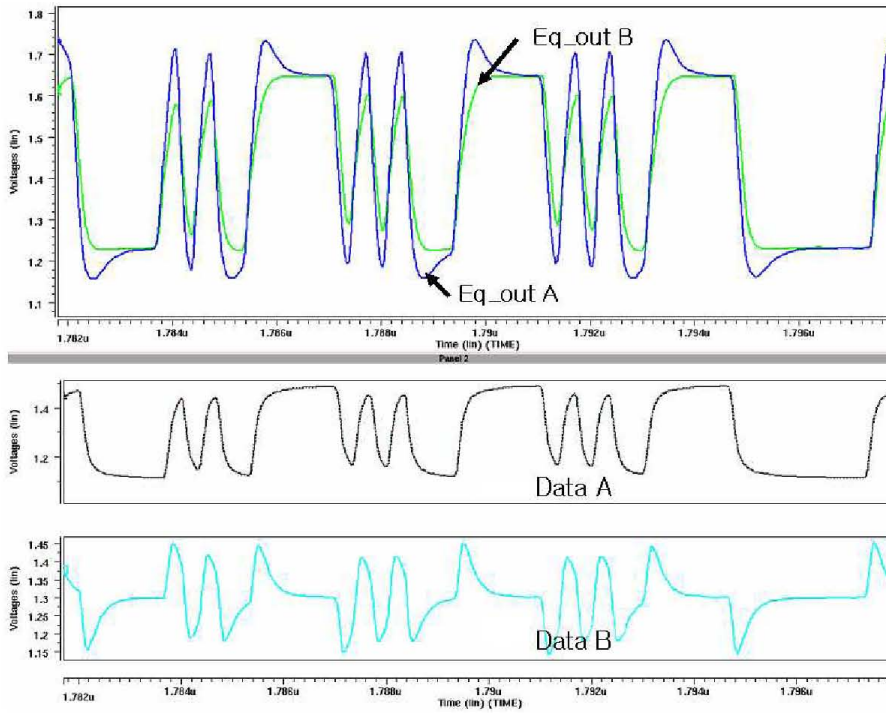
도면7



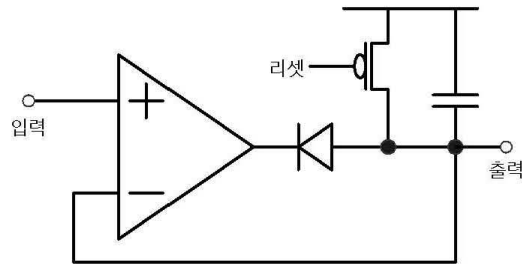
도면8



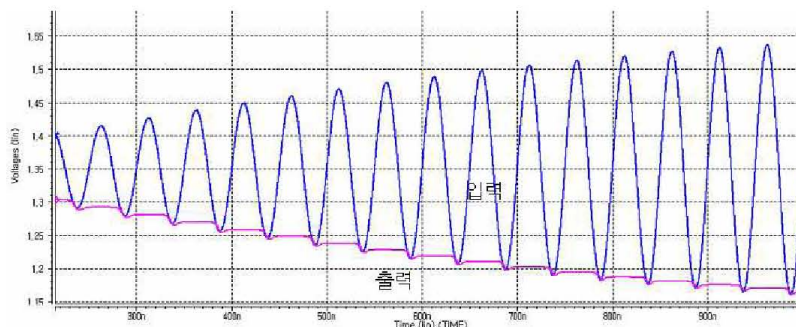
도면9



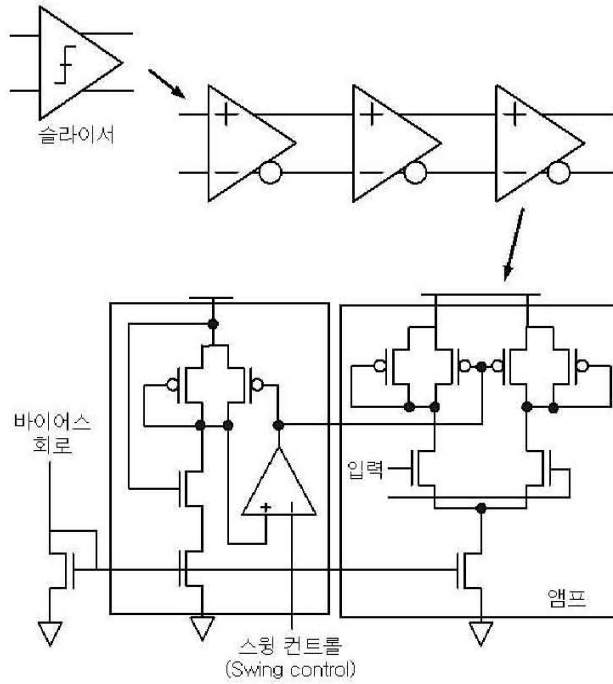
도면10



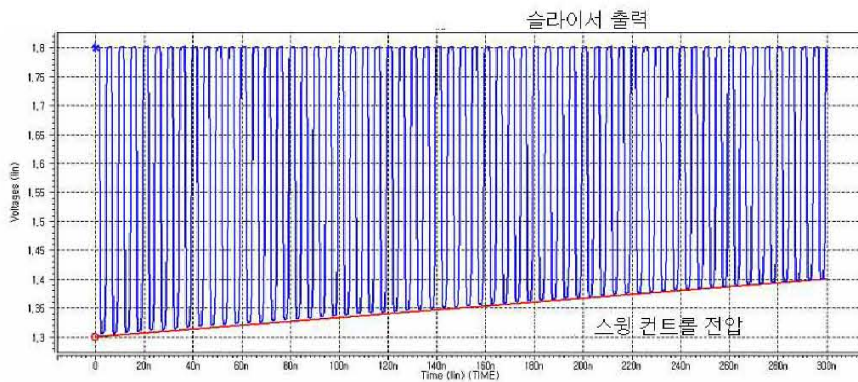
도면11



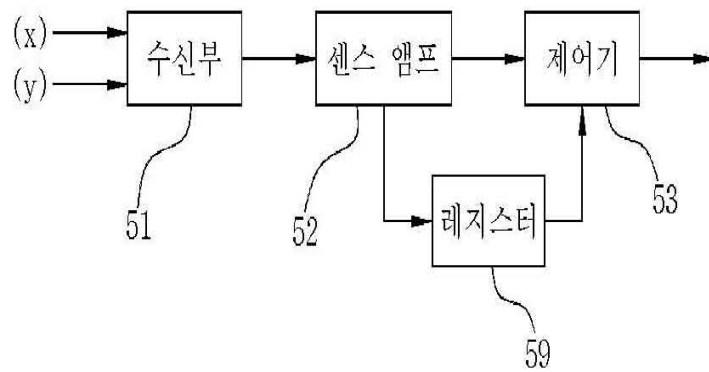
도면12



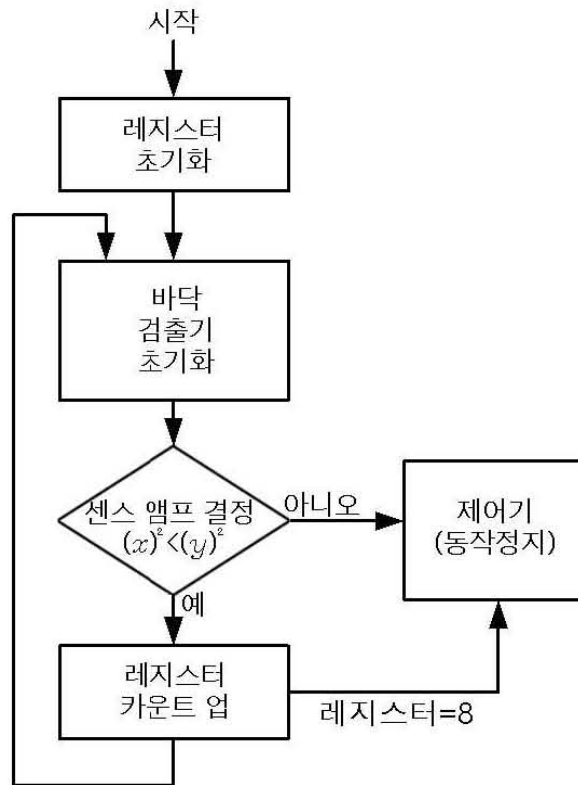
도면13



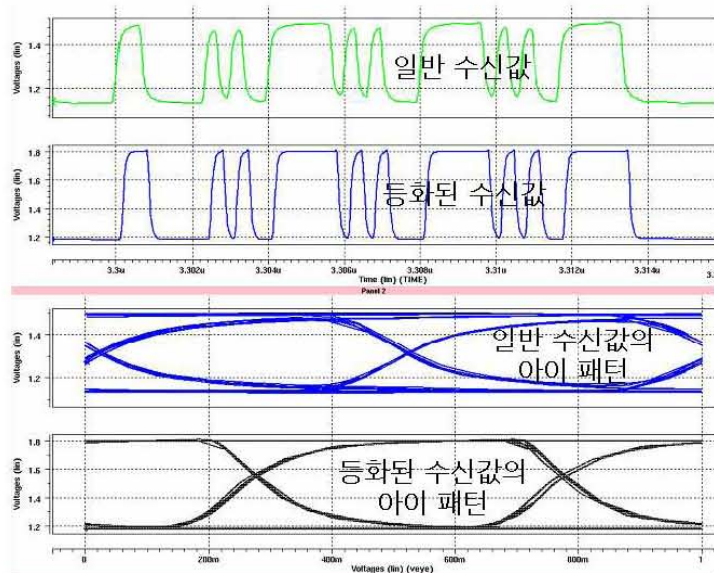
도면14



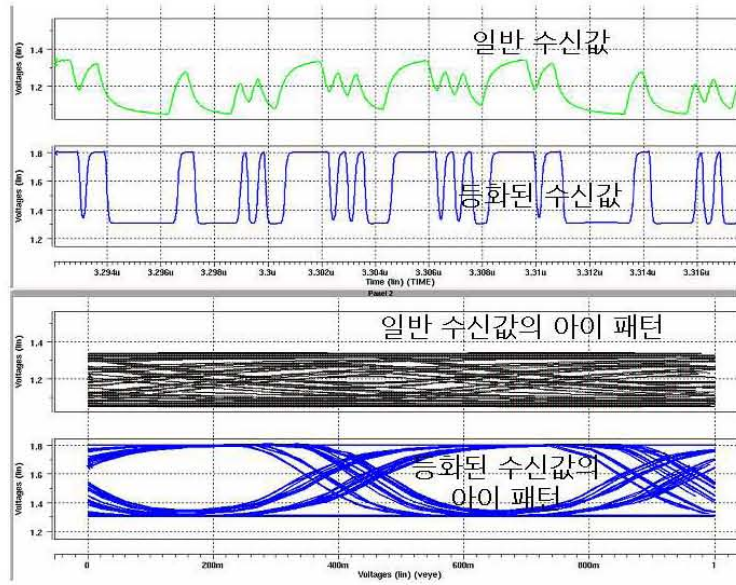
도면 15



도면 16



도면17



도면18

