(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[7]
H04L 27/22

(45) 공고일자 2003년10월01일
(11) 등록번호 10-0400225
(24) 등록일자 2003년09월19일

(21) 출원번호 10-2001-0037050
(22) 출원일자 2001년06월27일

(65) 공개번호 특2003-0001709
(43) 공개일자 2003년01월08일

(73) 특허권자 삼성전자주식회사
경기도 수원시 팔달구 매탄3동 416번지

(72) 발명자 김유근

이승우

최우영

김남국

류현석

(74) 대리인 이영필
이해영

심사관 : 정재우

(54) 잡음에 강한 버스트 모드 수신 장치 및 그의 클럭 신호 및데이타 복원 방법

요약

잡음에 강한 버스트 모드 수신 장치 및 그의 클럭 신호 및 데이타 복원 방법이 개시된다. 이 장치는 시스템 클럭 신호의 주파수를 체배하고, 체배된 주파수에 상응하는 레벨을 갖는 전압 제어 신호를 발생하는 전압 제어 신호 발생부와, 패킷 단위로 불규칙적으로 입력되는 입력 신호를 전압 제어 신호에 응답하여 지연하고, 지연된 결과 및 입력 신호를 배타적 논리합하고, 배타적 논리합한 결과를 리셋 신호로서 출력하는 리셋 신호 발생부와, 리셋 신호 및 전압 제어 신호에 응답하여, 패킷에 포함된 비트들 각각의 중간 부분에서 전이되는 레벨을 갖는 신호를 복원된 클럭 신호로 생성하고, 복원된 클럭 신호를 출력하는 클럭 신호 발생부 및 입력 신호를 버퍼링하고, 버퍼링된 결과를 복원된 클럭 신호에 응답하여 복원된 데이타로서 출력하는 출력 버퍼를 구비하는 것을 특징으로 한다. 그러므로, 지터를 내재한 입력 신호가 입력되거나 그 밖의 요인에 의해 입력 신호에 에러가 발생하더라도 클럭 신호 및 데이타를 안정되게 복원할 수 있으며, 1 비트 이내에 로킹될 수 있으므로 고속으로 클럭 신호 및 데이타를 복원할 수 있는 효과도 갖는다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명에 의한 버스트 모드 수신 장치의 블럭도이다.
도 2는 도 1에 도시된 장치에서 수행되는 본 발명에 의한 클럭 신호 및 데이타 복원 방법을 설명하기 위한 플로우차트이다.
도 3은 도 1에 도시된 전압 제어 신호 발생부의 본 발명에 의한 실시예의 블럭도이다.
도 4는 입력 신호를 발생하는 본 발명에 의한 버스트 모드 수신 장치의 블럭도이다.
도 5는 도 1에 도시된 리셋 신호 발생부의 본 발명에 의한 바람직한 일 실시예의 회로도이다.
도 6 (a) ~ (c)들은 도 5에 도시된 리셋 신호 발생부의 각 부의 파형도들이다.
도 7은 도 1에 도시된 클럭 신호 발생부의 본 발명에 의한 바람직한 일 실시예의 블럭도이다.
도 8은 T'=T/2라고 가정할 때, 도 7에 도시된 각 부의 동작을 설명하기 위한 파형도들이다.
도 9 (a) ~ (d)들은 도 5에 도시된 리셋 신호 발생부의 각 부 및 복원된 클럭 신호의 파형도들이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 버스트 모드(burst mode) 수신 장치에 관한 것으로서, 특히 잡음에 강한 버스트 모드 수신 장치 및 그의 클럭 신호 및 데이타 복원 방법에 관한 것이다.
일반적으로 통신 시스템의 수신 장치는 클럭과 데이터를 복원하기 위해 위상 동기 루프(PLL:Phase Locked Loop)를 채택하고 있다. PLL은 지터(jitter)나 외부의 영향에 의한 입력 신호의 엣지(edge)의 흔들림을 최소화시키기 때문에, 수신 장치는 최적의 결정 순간(decision timing)을 갖는 클럭 신호를 복원해낼 수 있다.
그러나, 일반적인 통신 시스템의 수신 장치와 달리 버스트 모드 수신 장치는 PLL을 이용하여 클럭 신호와 데이타를 복원하기 어렵다. 왜냐하면, 입력 신호의 주파수가 버스트 모드 수신 장치의 자체에서 사용하는 시스템 클럭 신호의 주파수와 독립될 뿐만 아니라, 입력 신호가 언제 입력될지 알 수 없어 각 버스트 셀(cell) 사이의 간격이 시스템 클럭 신호와 상관없이 일정하게 셀 수 있는 비트수가 아니기 때문이다. 만일, 종래의 버스트 모드 수신 장치가 PLL을 채택한다면, PLL이 로킹(locking)된 후 입력 신호가 트랙킹 범위(tracking range)내에서 조금씩 변하 는 상황에는 적응할 수 있지만, 현재 셀과 다음 셀간의 간격이 현재 셀에서의 복원된 클럭 신호와 많은 위상차를 가질 경우 PLL이 로크 상태를 벗어나면 PLL이 다시 로킹되기 위해 필요한 시간(acquisition time)을 요구한다. 그러므로, 클럭 신호의 빠른 복원을 원하는 버스트 모드 수신 장치는 PLL을 사용하기 어렵다.
한편, PLL를 사용하지 않고 클럭 신호와 데이타를 복원하는 종래의 버스트 모드 수신 장치는 입력 신호를 지연시키거나 클럭 신호를 입력 데이터가 입력되기 시작할 때 생성시켜 입력 신호와 클럭 신호간의 위상을 맞추는 방법을 사용하거나, 입력 신호보다 빠른 클럭 신호 또는 다중 위상(multi-phase) 클럭 신호들중에서 입력 신호와 시작이 같은 클럭 신호를 선택하는 방법을 사용한다. 특히 다중 위상 클럭 신호들중에서 원하는 클럭 신호를 선택하는 방법을 더 많이 사용된다. 이 때, 입력 신호의 수신율을 정확하게 모르기 때문에 자신의 시스템 클럭 신호를 그대로 이용하므로, 종래의 버스트 모드 수신 장치는 입력 신호가 연속적으로 0 또는 1로 입력될 때 연속적인 비트의 개수를 잘못 인식할 수 있고, 클럭 신호의 복원시 보통 최소 3비트 이상의 지연이 발생하는 문제점들을 갖는다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는, 잡음에 의한 영향을 최소화하면서 고속으로 클럭 신호와 데이타를 복원할 수 있는 잡음에 강한 버스트 모드 수신 장치를 제공하는 데 있다.
본 발명이 이루고자 하는 다른 기술적 과제는, 상기 버스트 모드 수신 장치에서 수행되는 클럭 신호 및 데이타 복원 방법을 제공하는 데 있다.

발명의 구성 및 작용

상기 과제를 이루기 위한 본 발명에 의한 잡음에 강한 버스트 모드 수신 장치는 시스템 클럭 신호의 주파수를 체배하고, 체배된 주파수에 상응하는 레벨을 갖는 전압 제어 신호를 발생하는 전압 제어 신호 발생부와, 패킷 단위로 불규칙적으로 입력되는 입력 신호를 상기 전압 제어 신호에 응답하여 지연하고, 지연된 결과 및 상기 입력 신호를 배타적 논리합하고, 배타적 논리합한 결과를 리셋 신호로서 출력하는 리셋 신호 발생부와, 상기 리셋 신호 및 상기 전압 제어 신

호에 응답하여, 상기 패킷에 포함된 비트(T)들 각각의 중간 부분에서 전이되는 레벨을 갖는 신호를 복원된 클럭 신호로 생성하고, 상기 복원된 클럭 신호를 출력하는 클럭 신호 발생부 및 상기 입력 신호를 버퍼링하고, 버퍼링된 결과를 상기 복원된 클럭 신호에 응답하여 복원된 데이타로서 출력하는 출력 버퍼로 구성되는 것이 바람직하다.

상기 다른 과제를 이루기 위한 본 발명에 의한 잡음에 강한 버스트 모드 수신 장치의 클럭 신호 및 데이타 복원 방법은, 시스템 클럭 신호의 주파수를 체배하고, 체배된 주파수에 상응하는 레벨을 갖는 전압 제어 신호를 생성하는 단계와, 패킷 단위로 불규칙적으로 입력되는 입력 신호를 상기 전압 제어 신호를 이용하여 지연하고, 지연된 결과와 상기 입력 신호를 배타적 논리합하여 리셋 신호를 구하는 단계와, 상기 리셋 신호 및 상기 전압 제어 신호를 이용하여, 상기 패킷에 포함된 비트(T)들 각각의 중간 부분에서 전이되는 레벨을 갖는 신호를 복원된 클럭 신호로 생성하는 단계 및 상기 입력 신호를 버퍼링하고, 상기 복원된 클럭 신호를 이용하여 버퍼링된 결과로부터 복원된 데이타를 구하는 단계로 이루어지는 것이 바람직하 다.

이하, 본 발명에 의한 잡음에 강한 버스트 모드 수신 장치의 구성 및 동작과 그 장치에서 수행되는 본 발명에 의한 클럭 신호 및 데이타 복원 방법을 첨부한 도면들을 참조하여 다음과 같이 설명한다.

도 1은 본 발명에 의한 버스트 모드 수신 장치의 블럭도로서, 전압 제어 신호 발생부(10), 리셋 신호 발생부(12), 클럭 신호 발생부(14) 및 출력 버퍼(16)로 구성된다.

도 2는 도 1에 도시된 장치에서 수행되는 본 발명에 의한 클럭 신호 및 데이타 복원 방법을 설명하기 위한 플로우차트로서, 전압 제어 신호 및 리셋 신호를 생성하는 단계(제30 및 제32 단계들) 및 복원된 클럭 신호와 복원된 데이타를 구하는 단계(제34 및 제36 단계들)로 이루어진다.

도 1에 도시된 전압 제어 신호 발생부(10)는 외부로부터 입력한 시스템 클럭 신호(CLK)의 주파수를 체배하고, 체배된 주파수에 상응하는 레벨을 갖는 전압 제어 신호(Vc)를 발생하고, 발생된 전압 제어 신호(Vc)를 리셋 신호 발생부(12) 및 클럭 신호 발생부(14)로 각각 출력한다(제30 단계). 여기서, 시스템 클럭 신호(CLK)는 예를 들면 155㎒의 주파수를 가질 수 있으며, 본 발명에 의한 버스트 모드 수신 장치 자체에서 생성될 수도 있고, 광 신호를 전송하는 예를 들면 단말기(미도시)로부터 전송될 수도 있다.

도 2에 도시된 제30 단계를 수행하는 전압 제어 신호 발생부(10)의 본 발명에 의한 바람직한 일실시예의 구성 및 동작을 첨부된 도면을 참조하여 다음과 같이 설명한다.

도 3은 도 1에 도시된 전압 제어 신호 발생부(10)의 본 발명에 의한 실시예(10A)의 블럭도로서, 위상차 검출부(50), 전하 펌프(52), 루프 필터(54), 전압 제어 발진부(56) 및 분주부(58)로 구성된다.

도 3에 도시된 위상차 검출부(50)는 외부로부터 입력한 시스템 클럭 신호(CLK)와 분주부(58)로부터 입력한 분주 신호의 위상차를 검출하고, 검출된 위상차를 전하 펌프(52)로 출력한다. 이 때, 전하 펌프(52)는 위상차 검출부(50)로부터 입력한 위상차에 상응하여 전하를 소싱하거나 공급한다. 루프 필터(54)는 전하 펌프(52)에서 소싱된 또는 공급된 전하에 상응하는 전압을 저역 통과 필터링하고, 저역 통과 필터링된 결과를 전압 제어 신호(Vc)로서 전압 제어 발진부(56), 리셋 신호 발생부(12) 및 클럭 신호 발생부(14)로 각각 출력한다. 전압 제어 발진부(56)는 루프 필터(54)로부터 입력한 전압 제어 신호(Vc)에 응답하여 발진되는 주파수를 갖는 발진 신호를 분주부(58)로 출력한다. 분주부(58)는 전압 제어 발진부(56)로부터 입력한 발진 신호를 분주하고, 분주된 결과를 분주 신호로서 위상차 검출부(50)로 출력한다. 여기서, 분주부(58)에서 발진 신호를 분주한 만큼 전압 제어 신호(Vc)의 레벨이 변동하게 된다. 예컨데, 도 3에 도시된 전압 제어 신호 발생부(10A)가 시스템 클럭 신호(CLK)를 많이 체배시킬수록 루프 필터(54)로부터 출력되는 전압 제어 신호(Vc)의 레벨은 상승하게 된다. 이 때, 외부로부터 인가되는 시스템 클럭 신호(CLK)의 주파수는 다양한 값을 가질 수 있으며, 도 3에 도시된 전압 제어 신호 발생부(10A)는 시스템 클럭 신호(CLK)의 주파수가 비록 낮다고 하 더라도 분주부(58)에 의해 시스템 클럭 신호(CLK)의 주파수를 체배시킬 수 있다.

한편, 제30 단계후에, 리셋 신호 발생부(12)는 입력단자 IN1을 통해 패킷 단위로 불규칙적으로 입력한 입력 신호를 전압 제어 신호 발생부(10)로부터 입력한 전압 제어 신호(Vc)에 응답하여 지연하고, 지연된 결과와 입력단자 IN1을 통해 입력한 입력 신호를 배타적 논리합하고, 배타적 논리합한 결과를 리셋 신호(RST)로서 클럭 신호 발생부(14)로 출력한다(제32 단계).

이 때, 도 1에 도시된 버스트 모드 수신 장치는 전압 제어 신호 발생부(10)에서 요구하는 입력 신호를 다음과 같이 생성한다.

도 4는 입력 신호를 발생하는 본 발명에 의한 버스트 모드 수신 장치의 블럭도로서, 광 검출부(70), 전치 증폭기(72) 및 오프셋 보상부(74)로 구성된다.

도 4에 도시된 광 검출부(70)는 입력단자 IN2를 통해 입력되며 패킷 단위로 다이나믹하게 변하는 광을 검출하고, 검출된 광을 전기적인 신호로 변환하며, 변환된 전기적 신호를 전치 증폭기(72)로 출력한다. 전치 증폭기(72)는 광 검출부(70)로부터 입력한 전기적인 신호를 증폭하고, 증폭된 결과를 오프셋 보상부(74)로 출력한다. 이 때, 오프셋 보상부(74)는 전치 증폭기(72)에서 증폭된 결과의 오프셋을 보상하고, 오프셋이 보상된 결과를 입력 신호로서 출력단자 OUT1을 통해 도 1에 도시된 리셋 신호 발생부(12)로 출력한다.

이하, 도 1에 도시된 리셋 신호 발생부(12)의 본 발명에 의한 바람직한 실시예의 구성 및 동작을 첨부된 도면을 참조하여 다음과 같이 설명한다.

도 5는 도 1에 도시된 리셋 신호 발생부(12)의 본 발명에 의한 바람직한 일 실시예(12A)의 회로도로서, 제1 지연부(90) 및 배타적 논리합부(92)로 구성된다.

도 5에 도시된 제1 지연부(90)는 입력단자 IN1을 통해 입력한 입력 신호를 전압 제어 신호 발생부(10)로부터 입력한 전압 제어 신호(Vc)의 레벨에 상응하여 지연하고, 지연된 결과를 배타적 논리합부(92)로 출력한다. 이 때, 배타적 논리합부(92)는 제1 지연부(90)로부터 입력한 지연된 결과와 입력단자 IN1을 통해 입력한 입력 신호를 배타적 논리합하고, 배타적 논리합한 결과를 리셋 신호(RST)로서 클럭 신호 발생부(14)로 출력한다.

만일, 입력 신호의 패킷에 포함된 비트들 각각의 중간 부분(T')이 T/2(여기서, T는 패킷에 포함된 비트들 각각의 길이를 나타낸다.)라고 가정할 때, 도 5에 도시된 리셋 신호 발생부(12A)의 동작을 첨부된 도면을 참조하여 다음과 같이 살펴본다.

도 6 (a) ~ (c)들은 도 5에 도시된 리셋 신호 발생부(12A)의 각 부의 파형도들로서, 도 6 (a)는 입력 신호의 파형도를 나타내고, 도 6 (b)는 지연된 입력 신호의 파형도를 나타내고, 도 6 (c)는 리셋 신호(RST)의 파형도를 각각 나타낸다.

도 5에 도시된 리셋 신호 발생부(12A)의 제1 지연기(90)는 입력단자 IN1을 통해 입력한 도 6 (a)에 도시된 입력 신호를 전압 제어 신호 발생부(10)로부터 입력한 전압 제어 신호(Vc)에 응답하여 T/2만큼 지연하고, 도 6 (b)에 도시된 지연된 결과를 배타적 논리합부(92)로 출력한다. 이 때, 배타적 논리합부(92)는 도 6 (a)에 도시된 입력 신호와 도 6 (b)에 도시된 지연된 결과를 배타적 논리합하고, 배타적 논리합한 결과인 리셋 신호(RST)를 도 6 (c)에 도시된 바와 같이 출력한다.

한편, 제32 단계후에, 클럭 신호 발생부(14)는 리셋 신호 발생부(12)로부터 입력한 리셋 신호(RST) 및 전압 제어 신호 발생부(10)로부터 입력한 전압 제어 신호(Vc)에 응답하여, 패킷에 포함된 비트들 각각의 중간 부분(T')에서 전이되는 레벨을 갖는 신호를 복원된 클럭 신호(CLK')로서 생성하고, 복원된 클럭 신호(CLK')를 출력 버퍼(16) 및 외부로 출력한다(제34 단계). 클럭 신호 발생부(14)는 리셋 신호(RST)의 하강 엣지에서 상승 엣지나 하강 엣지를 갖는 복원된 클럭 신호(CLK')를 생성한다.

이하, 도 1에 도시된 클럭 신호 발생부(14)의 본 발명에 의한 바람직한 일 실시예의 구성 및 동작을 첨부된 도면들을 참조하여 다음과 같이 설명한다.

도 7은 도 1에 도시된 클럭 신호 발생부(14)의 본 발명에 의한 바람직한 일 실시예의 블럭도로서, 제2 및 제3 지연부들(110 및 114), 제1 및 제2 선택부들(112 및 118), 제1 및 제2 반전부들(116 및 120)로 구성된다.

도 8은 T'=T/2라고 가정할 때, 도 7에 도시된 각 부의 동작을 설명하기 위한 입력 신호, 리셋 신호, 복원된 클럭 신호, 제1, 제2, 제3, 제4 클럭 신호들의 파형도들이다.

도 8을 참조하면, 도 7에 도시된 제2 지연부(110)는 복원된 클럭 신호(CLK')를 전압 제어 신호 발생부(10)로부터 입력한 전압 제어 신호(Vc)에 응답하여 지연하고, 지연된 결과를 제1 선택부(112)로 출력한다. 제1 선택부(112)는 제2 지연부(110)로부터 입력한 지연된 결과와 복원된 클럭 신호(CLK')중 하나를 리셋 신호 발생부(12)로부터 입력한 리셋 신호(RST)에 응답하여 선택하고, 선택된 결과 를 제1 클럭 신호로서 제3 지연부(114)로 출력한다. 이를 위해, 제1 선택부(112)는 제2 지연부(110)로부터 입력한 지연된 결과를 '0' 입력단자로 입력하고, 복원된 클럭 신호(CLK')를 '1' 입력 단자로 입력하고, 리셋 신호 발생부(12)로부터 출력되는 리셋 신호(RST)를 선택 단자(S)를 통해 입력하며, 입력한 신호들중 하나를 리셋 신호(RST)에 응답하여 선택하고, 선택된 결과를 제3 지연부(114)로 제1 클럭 신호로서 출력하는 멀티플렉서(140)로 구현될 수 있다. 따라서, 멀티플렉서(140)는 리셋 신호(RST)가 "저" 논리 레벨이면 제2 지연부(110)에서 지연된 결과를 선택하고 리셋 신호(RST)가 "고" 논리 레벨이면 복원된 클럭 신호(CLK')를 선택한다.

이 때, 제1 반전부(116)는 복원된 클럭 신호(CLK')를 반전하고, 반전된 결과를 도 8에 도시된 제2 클럭 신호로서 제2 선택부(118)로 출력한다. 이를 위해, 제1 반전부(116)는 인버터(미도시)로 구현될 수 있다. 제3 지연부(114)는 제1 선택부(112)에서 선택된 결과인 제1 클럭 신호를 전압 제어 신호 발생부(10)로부터 입력한 전압 제어 신호(Vc)에 응답하여 지연하고, 지연된 결과를 도 8에 도시된 제3 클럭 신호로서 제2 선택부(118)로 출력한다. 제2 선택부(118)는 제1 반전부(116)로부터 입력한 반전된 결과인 제2 클럭 신호와 제3 지연부(114)로부터 입력한 지연된 결과인 제3 클럭 신호중 하나를 리셋 신호 발생부(12)로부터 입력한 리셋 신호(RST)에 응답하여 선택하고, 선택된 결과를 도 8에 도시된 제4 클럭 신호로서 제2 반전부(120)로 출력한다. 이를 위해, 제2 선택부(118)는 제3 지연부(114)로부터 입력한 제3 클럭 신호를 '0' 입력단자로 입력하고, 제1 반전부(116)로부터 입력한 제2 클럭 신호를 '1' 입력 단자로 입력하고, 리셋 신호 발생부(12)로부터 출력되는 리셋 신호(RST)를 선택 단자(S)를 통해 입력하며, 입력한 신호들중 하나를 리셋 신호(RST)에 응답하여 선택하고, 선택된 결과를 제2 반전부(120)로 출력하는 멀티플렉서(142)로 구현될 수 있다. 따라서, 멀티플렉서(142)는 리셋 신호(RST)가 "저" 논리 레벨이면 제3 지연부(114)로부터 출력되는 제3 클럭 신호를 선택하고 리셋 신호(RST)가 "고" 논리 레벨이면 제1 반전부(116)로부터 출력되는 제2 클럭 신호를 선택한다. 예컨데, 리셋 신호(RST)가 "저" 논리 레벨로부터 "고" 논리 레벨로 전이한 후 제4 클럭 신호는 T/2 동안 "저" 논리 레벨을 유지하고, 리셋 신호(RST)가 "고" 논리 레벨로부터 "저" 논리 레벨로 전이할 때 제4 클럭 신호는 "저" 논리 레벨로부터 "고" 논리 레벨로 전이하여 T/2 동안 "고" 논리 레벨을 유지한다.

제2 반전부(120)는 제2 선택부(118)에서 선택된 결과를 반전하고, 반전된 결과를 복원된 클럭 신호(CLK')로서 출력 버퍼(16)로 출력한다. 이를 위해, 제2 반전부(120)는 인버터(미도시)로 구현될 수 있다.

전술한 도 5에 도시된 제1 지연부(90), 도 7에 도시된 제2 및 제3 지연부들(110 및 114) 각각은 짝수개의 인버터들(미도시)로 구현될 수 있으며, 각 인버터에서 입력한 신호를 반전하는 시간은 전압 제어 신호(Vc)에 따라서 결정된다. 예컨데, 전압 제어 신호(Vc)의 레벨이 클수록 제1, 제2 및 제3 지연부들(90, 110 및 114) 각각의 지연 시간은 증가된다.

여기서, 도 7에 도시된 클럭 신호 발생부는 도 3에 도시된 전압 제어 발진부(56)로도 사용될 수 있다. 만일, 도 7에 도시된 클럭 신호 발생부가 전압 제 어 발진부(56)로 사용될 경우, 도 7에 도시된 리셋 신호(RST) 대신에 "저" 논리 레벨의 신호가 제1 및 제2 선택부들(112 및 118)로 각각 입력된다.

제34 단계후에, 출력 버퍼(16)는 입력단자 IN1을 통해 입력한 입력 신호를 버퍼링하고, 버퍼링된 결과를 클럭 신호 발생부(14)로부터 입력한 복원된 클럭 신호(CLK')에 응답하여 복원된 데이타(DATA)로서 출력한다(제36 단계). 이를 위해, 출력 버퍼(16)는 입력단자 IN1을 통해 입력 신호를 입력하는 데이타 입력 단자(D), 복원된 클럭 신호(CLK')를 입력하는 클럭 단자(CK) 및 복원된 데이타(DATA)를 출력하는 정 출력 단자(Q)를 갖는 D 플립플롭(20)으로 구현될 수 있다.

한편, 입력단자 IN1을 통해 입력되는 입력 신호가 지터를 가질 경우, 본 발명에 의한 버스트 모드 수신 장치에서 수행되는 클럭 신호 복원 방법에 의해 클럭 신호(CLK')를 복원하는 과정을 중간 부분(T')이 T/2라고 가정하면서 첨부된 도면을 참조하여 다음과 같이 설명한다.
도 9 (a) ~ (d)들은 도 5에 도시된 리셋 신호 발생부(12A)의 각 부 및 복원된 클럭 신호(CLK')의 파형도들로서, 도 9 (a)는 입력 신호의 파형도를 나타내고, 도 9 (b)는 T/2만큼 지연된 입력 신호의 파형도를 나타내고, 도 9 (c)는 리셋 신호(RST)의 파형도를 나타내고, 도 9 (d)는 복원된 클럭 신호(CLK')의 파형도를 각각 나타낸다.
먼저, 입력 신호가 도 9 (a)에 도시된 바와 같이 지터를 갖지 않고 정상적으로 입력될 경우(200), 본 발명에 의한 클럭 신호 복원 방법은 도 9 (c)에 도시된 리셋 신호(RST)의 하강 엣지에서 상승 엣지를 갖는 복원된 클럭 신호(CLK')를 생성 한다. 이 때, 복원된 클럭 신호(CLK')는 입력 신호의 중앙 즉, T/2에 정확히 정렬된다.
다음으로, 입력 신호가 도 9 (a)에 도시된 바와 같이 지터에 의해 왼쪽으로 쉬프트(300)될 경우(202), 본 발명에 의한 클럭 신호 복원 방법은 도 9 (a)에 도시된 입력 신호가 왼쪽으로 쉬프트된 만큼 리셋 신호를 왼쪽으로 쉬프트시키고, 쉬프트된 도 9 (c)에 도시된 리셋 신호로부터 도 9 (d)에 도시된 복원된 클럭 신호(CLK')를 생성한다. 따라서, 도 9 (d)에 도시된 복원된 클럭 신호(CLK')는 도 9 (a)에 도시된 입력 신호의 중앙인 T/2에 정확히 정렬될 수 있다.
마지막으로, 입력 신호가 도 9 (a)에 도시된 바와 같이 지터에 의해 오른쪽으로 쉬프트(302)될 경우(204), 본 발명에 의한 클럭 신호 복원 방법은 도 9 (a)에 도시된 입력 신호가 오른쪽으로 쉬프트된 만큼 리셋 신호를 오른쪽으로 쉬프트시키고, 쉬프트된 도 9 (c)에 도시된 리셋 신호로부터 도 9 (d)에 도시된 복원된 클럭 신호(CLK')를 생성한다. 따라서, 도 9 (d)에 도시된 복원된 클럭 신호(CLK')는 도 9 (a)에 도시된 입력 신호의 중앙인 T/2에 정확히 정렬될 수 있다.
결국, 도 1에 도시된 본 발명에 의한 버스트 모드 수신 장치 및 방법은 지터를 내재한 입력 신호와 연동하여 리셋 신호(RST)를 발생시키고, 발생된 리셋 신호(RST)의 제어하에 각 비트의 중간 부분(T')에서 상승 또는 하강 엣지를 갖는 클럭 신호(CLK')를 복원하며, 복원된 클럭 신호(CLK')를 이용하여 입력 신호로부터 데이타(DATA)를 복원할 수 있다.

발명의 효과

이상에서 설명한 바와 같이, 본 발명에 의한 잡음에 강한 버스트 모드 수신 장치 및 그의 클럭 신호 및 데이타 복원 방법은 입력 신호의 각 비트의 중간 부분에서 복원된 클럭 신호의 레벨을 전이시키므로, 지터를 내재한 입력 신호가 입력되거나 그 밖의 요인에 의해 입력 신호에 에러가 발생하더라도 클럭 신호 및 데이타를 안정되게 복원할 수 있으며, 종래의 다중-위상 방식이 3비트 이내에 로킹되는 반면 1 비트 이내에 로킹될 수 있으므로 고속으로 클럭 신호 및 데이타를 복원할 수 있는 효과도 갖는다.

(57) 청구의 범위

청구항 1.
시스템 클럭 신호의 주파수를 체배하고, 체배된 주파수에 상응하는 레벨을 갖는 전압 제어 신호를 발생하는 전압 제어 신호 발생부;
패킷 단위로 불규칙적으로 입력되는 입력 신호를 상기 전압 제어 신호에 응답하여 지연하고, 지연된 결과 및 상기 입력 신호를 배타적 논리합하고, 배타적 논리합한 결과를 리셋 신호로서 출력하는 리셋 신호 발생부;
상기 리셋 신호 및 상기 전압 제어 신호에 응답하여, 상기 패킷에 포함된 비트(T)들 각각의 중간 부분에서 전이되는 레벨을 갖는 신호를 복원된 클럭 신호로 생성하고, 상기 복원된 클럭 신호를 출력하는 클럭 신호 발생부; 및
상기 입력 신호를 버퍼링하고, 버퍼링된 결과를 상기 복원된 클럭 신호에 응답하여 복원된 데이타로서 출력하는 출력 버퍼를 구비하는 것을 특징으로 하는 잡음에 강한 버스트 모드 수신 장치.

청구항 2.
제1 항에 있어서, 상기 버스트 모드 수신 장치는
상기 패킷 단위로 다이나믹하게 변하는 광을 검출하고, 검출된 상기 광을 전기적인 신호로 변환하여 출력하는 광 검출부;
상기 광 검출부로부터 입력한 상기 전기적인 신호를 증폭하는 전치 증폭기; 및
상기 전치 증폭기에서 증폭된 결과의 오프셋을 보상하고, 오프셋이 보상된 결과를 상기 입력 신호로서 출력하는 오프셋 보상부를 더 구비하는 것을 특징으로 하는 잡음에 강한 버스트 모드 수신 장치.

청구항 3.
제1 항에 있어서, 상기 전압 제어 신호 발생부는
상기 시스템 클럭 신호와 분주 신호의 위상차를 검출하는 위상차 검출부;
상기 위상차 검출부로부터 입력한 상기 위상차에 상응하여 전하를 소싱 또는 공급하는 전하 펌프;
상기 소싱 또는 공급된 전하에 상응하는 전압을 저역 통과 필터링하고, 저역 통과 필터링된 결과를 상기 전압 제어 신호로서 출력하는 루프 필터;
상기 전압 제어 신호에 응답하여 발진되는 주파수를 갖는 발진 신호를 출력하는 전압 제어 발진부; 및
상기 발진 신호를 분주하고, 분주된 결과를 상기 분주 신호로서 상기 위상차 검출부로 출력하는 분주부를 구비하는 것을 특징으로 하는 잡음에 강한 버스트 모 드 수신 장치.

청구항 4.

제1 항에 있어서, 상기 리셋 신호 발생부는

상기 입력 신호를 상기 전압 제어 신호의 레벨에 상응하여 지연하고, 지연된 결과를 출력하는 제1 지연부; 및

상기 제1 지연부로부터 입력한 상기 지연된 결과와 상기 입력 신호를 배타적 논리합하고, 배타적 논리합한 결과를 리셋 신호로서 출력하는 배타적 논리합부를 구비하는 것을 특징으로 하는 잡음에 강한 버스트 모드 수신 장치.

청구항 5.

제1 항 또는 제3 항에 있어서, 상기 클럭 신호 발생부는

상기 복원된 클럭 신호를 상기 전압 제어 신호에 응답하여 지연하고, 지연된 결과를 출력하는 제2 지연부;

상기 제2 지연부로부터 입력한 상기 지연된 결과와 상기 복원된 클럭 신호중 하나를 상기 리셋 신호에 응답하여 선택적으로 출력하는 제1 선택부;

상기 제1 선택부에서 선택된 결과를 상기 전압 제어 신호에 응답하여 지연하고, 지연된 결과를 출력하는 제3 지연부;

상기 복원된 클럭 신호를 반전하고, 반전된 결과를 출력하는 제1 반전부;

상기 제1 반전부로부터 입력한 상기 반전된 결과와 상기 제3 지연부로부터 입력한 상기 지연된 결과중 하나를 상기 리셋 신호에 응답하여 선택적으로 출력하는 제2 선택부; 및

상기 제2 선택부에서 선택된 결과를 반전하고, 반전된 결과를 상기 복원된 클럭 신호로서 출력하는 제2 반전부를 구비하는 것을 특징으로 하는 잡음에 강한 버스트 모드 수신 장치.

청구항 6.

제5 항에 있어서, 상기 전압 제어 발진부는

상기 제2 지연부, 상기 제1 선택부, 상기 제3 지연부, 상기 제1 반전부, 상기 제2 선택부 및 상기 제2 반전부를 구비하고,

상기 제1 선택부가 상기 제2 지연부로부터 입력한 상기 지연된 결과를 선택하고, 상기 제2 선택부가 상기 제3 지연부로부터 입력한 상기 지연된 결과를 선택하도록 상기 리셋 신호는 소정 논리 레벨로 고정되는 것을 특징으로 하는 잡음에 강한 버스트 모드 수신 장치.

청구항 7.

제1 항에 있어서, 상기 출력 버퍼는

상기 입력 신호를 입력하는 데이타 입력 단자, 상기 복원된 클럭 신호를 입력하는 클럭 단자 및 상기 복원된 데이타를 출력하는 출력 단자를 갖는 D 플립플롭을 구비하는 것을 특징으로 하는 잡음에 강한 버스트 모드 수신 장치.

청구항 8.

제1 항에 있어서, 상기 중간 부분은 중간(T/2)을 의미하고, 상기 리셋 신호 발생부는 상기 입력 신호를 상기 전압 제어 신호에 응답하여 상기 T/2만큼 지연하고, 상기 클럭 신호 발생부는 상기 복원된 클럭 신호를 상기 리셋 신호의 하강 엣 지에서 상승시키는 것을 특징으로 하는 잡음에 강한 버스트 모드 수신 장치.

청구항 9.

시스템 클럭 신호의 주파수를 체배하고, 체배된 주파수에 상응하는 레벨을 갖는 전압 제어 신호를 생성하는 단계;

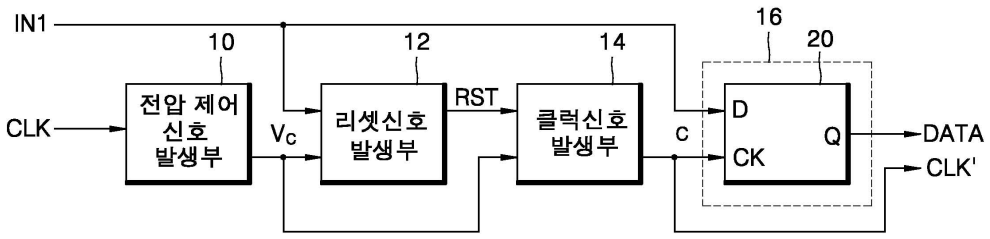
패킷 단위로 불규칙적으로 입력되는 입력 신호를 상기 전압 제어 신호를 이용하여 지연하고, 지연된 결과와 상기 입력 신호를 배타적 논리합하여 리셋 신호를 구하는 단계;

상기 리셋 신호 및 상기 전압 제어 신호를 이용하여, 상기 패킷에 포함된 비트(T)들 각각의 중간 부분에서 전이되는 레벨을 갖는 신호를 복원된 클럭 신호로 생성하는 단계; 및

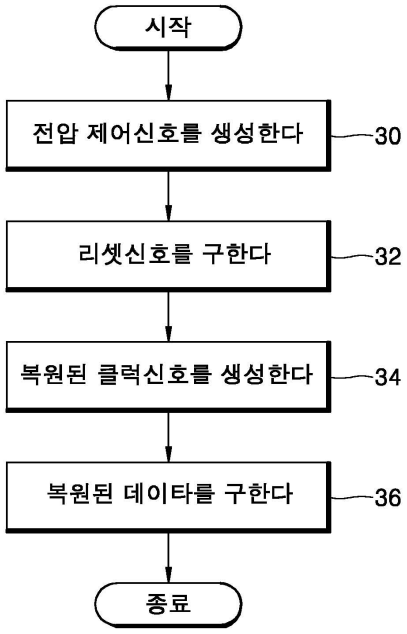
상기 입력 신호를 버퍼링하고, 상기 복원된 클럭 신호를 이용하여 버퍼링된 결과로부터 복원된 데이타를 구하는 단계를 구비하는 것을 특징으로 하는 잡음에 강한 버스트 모드 수신 장치의 클럭 신호 및 데이타 복원 방법.

도면

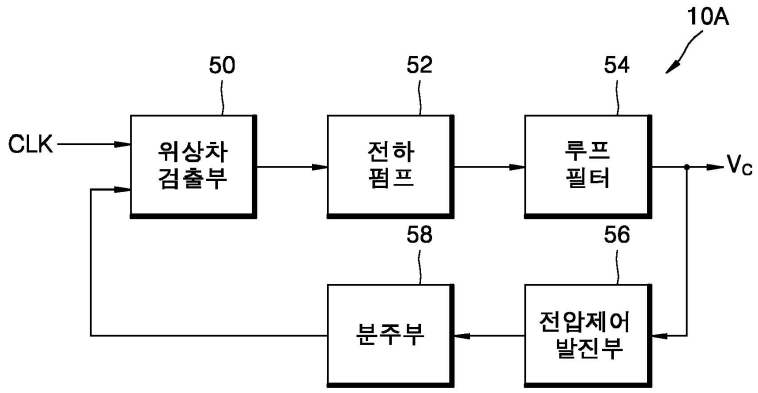
도면1



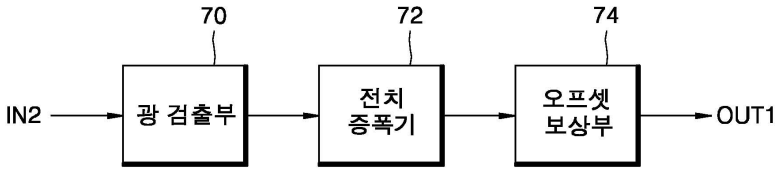
도면2



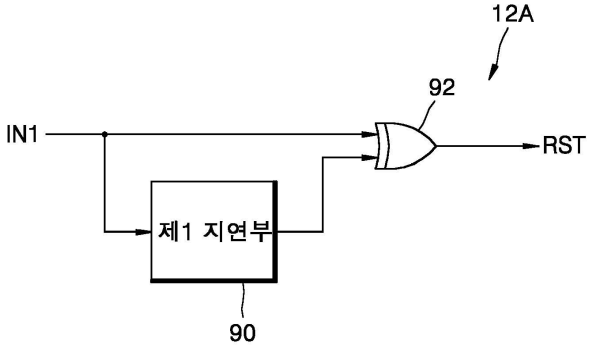
도면3



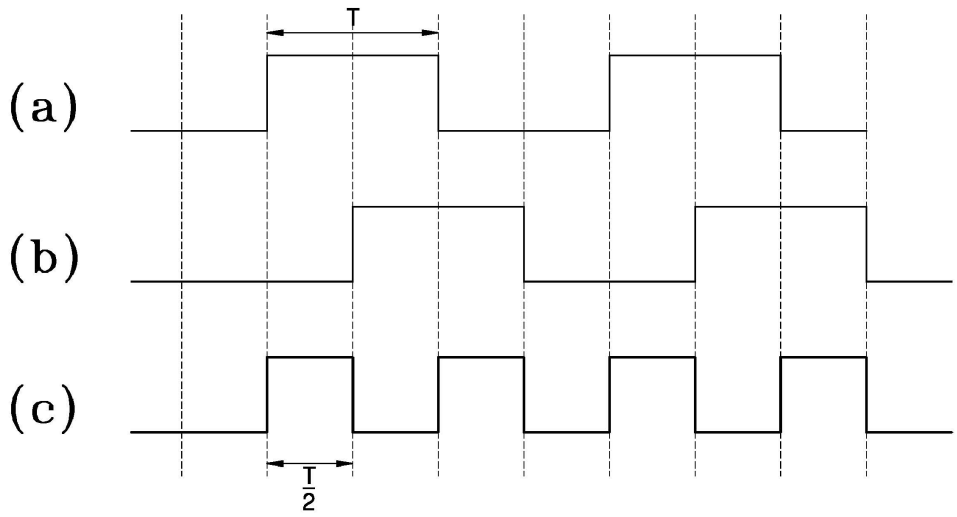
도면4



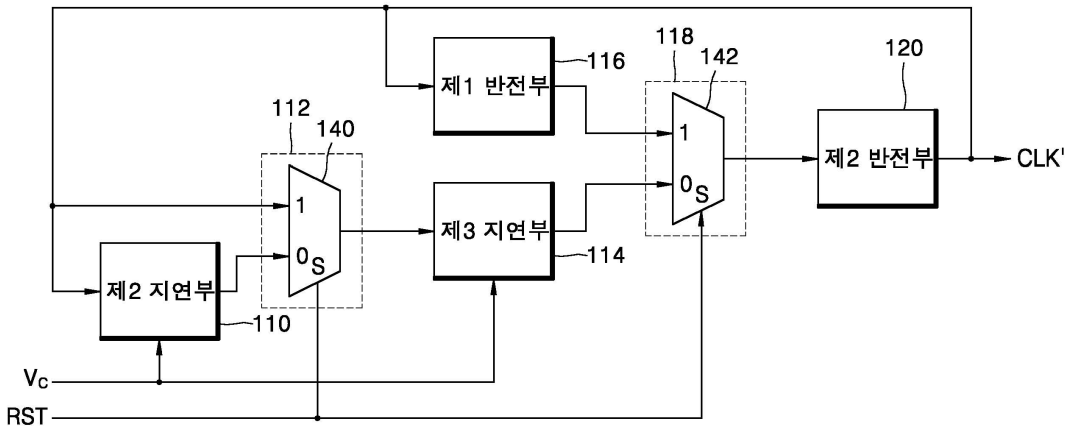
도면5



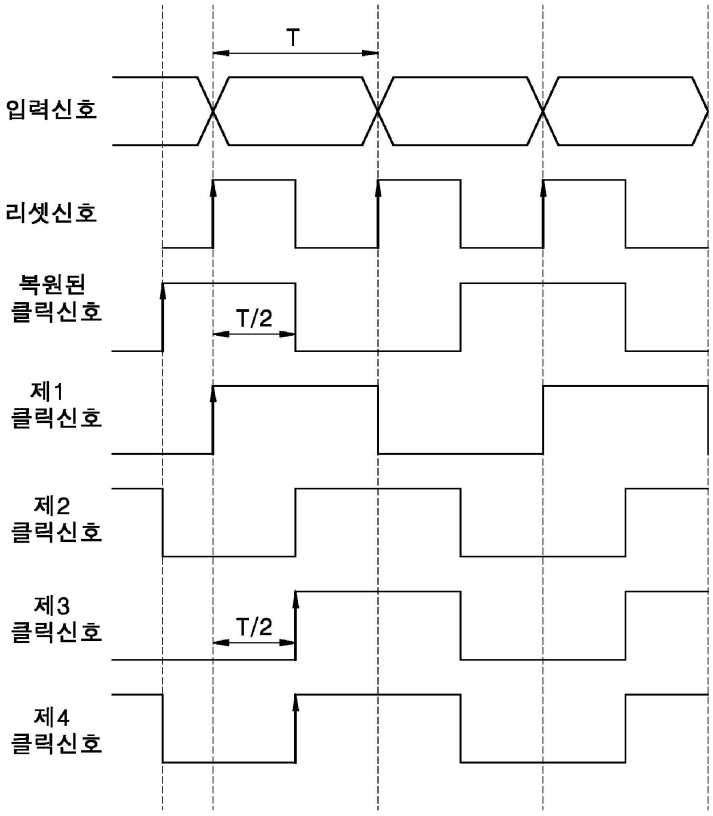
도면6


T
(a)
(b)
(c)
T/2

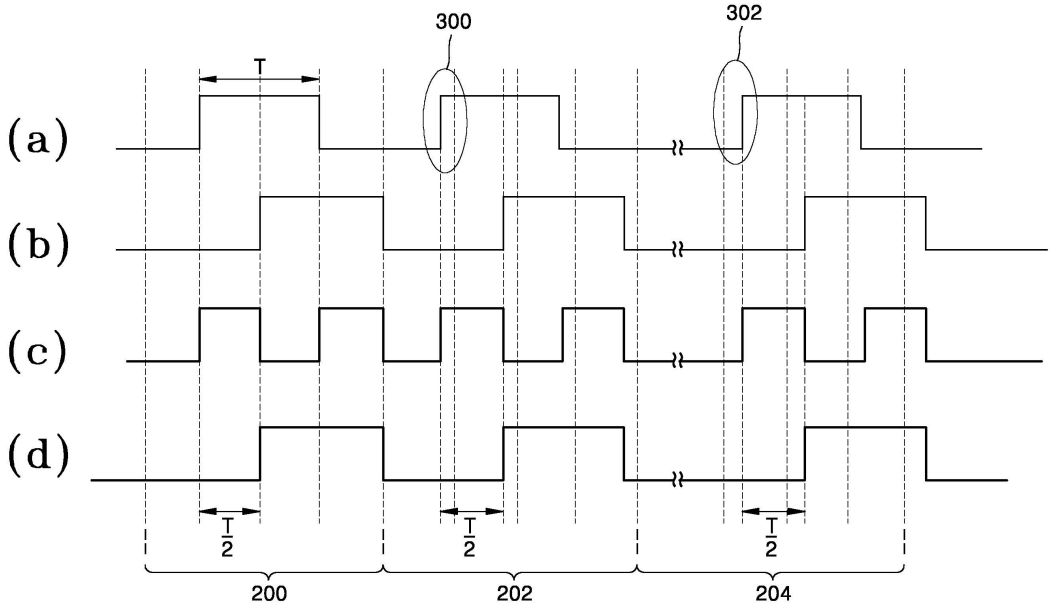
도면7


제1 반전부
116
118
142
120
112
140
1
0
S
제2 반전부
CLK'
제3 지연부
114
제2 지연부
110
Vc
RST

도면8


T
입력신호
리셋신호
복원된
클럭신호
T/2
제1
클럭신호
제2
클럭신호
제3
클럭신호
T/2
제4
클럭신호

도면9


300
302
T
(a)
(b)
(c)
(d)
T/2
T/2
T/2
200
202
204