

2분율 선형 위상검출기를 사용하는  
간단한 구조의 60GHz 무선 통신용  
1.25Gbps 믹스드 모드 BPSK  
복조회로

연세대학교 대학원  
전기전자공학과  
최 광 천

2분율 선형 위상검출기를 사용하는  
간단한 구조의 60GHz 무선 통신용  
1.25Gbps 믹스드 모드 BPSK  
복조회로

지도 최 우 영 교수

이 논문을 석사 학위논문으로 제출함

2007년 12월 일

연세대학교 대학원

전기전자공학과

최 광 천

최광천의 석사 학위논문을 인준함

심사위원 \_\_\_\_\_ 인

심사위원 \_\_\_\_\_ 인

심사위원 \_\_\_\_\_ 인

연세대학교 대학원

2007년 12월 일

# 차 례

차례 .....	i
그림차례 .....	iii
표차례 .....	vi
국문요약 .....	vii
제 1 장. 연구 배경 .....	1
제 1-1 절. IEEE802.15.3c WPAN .....	3
제 1-2 절. 변조/복조 방식 .....	7
제 1-3 절. 기존의 BPSK 복조 회로 .....	11
제 1-3.1 절. 아날로그 방식 : 코스타스 루프 .....	11
제 1-3.2 절. 디지털 방식 : ADC를 사용한 I/Q 복조 .....	14
제 2 장. 믹스드 모드 BPSK 복조회로 설계 .....	16
제 2-1 절. 새로운 구조의 도출 .....	16
제 2-2 절. 주파수 정수배의 불일치에 따른 영향 .....	25
제 2-3 절. BPSK 복조 회로의 각 블록 설계 .....	27
제 2-3.1 절. 전압 조절 발진기의 설계 .....	27
제 2-3.2 절. 2분율 선형 위상 검출기의 설계 .....	31
제 2-3.3 절. 차동 차지펌프의 설계 .....	34
제 2-3.4 절. 전류 바이어스 회로의 설계 .....	37
제 2-3.5 절. 출력 버퍼의 설계 .....	38
제 2-4 절. HSpice 시뮬레이션 .....	40
제 2-5 절. 칩 레이아웃 .....	46
제 3 장. 측정 결과 .....	48
제 3-1 절. 측정 계획 .....	48

제 3-2 절. 제작된 칩의 측정 .....	50
제 3-2.1 절. 전압조절 발진기의 특성 측정 .....	50
제 3-2.2 절. 클럭과 데이터 복원 .....	51
제 3-2.3 절. 입력신호 파워 대 BER 특성 측정 .....	53
제 4 장. 발전방향 모색 .....	54
제 5 장. 결론 .....	55
참고문헌 .....	57
영문요약 .....	60

## 그 립 차 례

그림 1-1. 무선 통신 기술의 역사와 미래 .....	2
그림 1-2. IEEE802의 여러 표준들의 전송거리와 속도 특성 .....	4
그림 1-3. (a) 저주파 대역의 주파수할당 상황 (b) 각국의 주파수 미할당 영역 ....	4
그림 1-4. 세계 각국의 밀리미터파 대역 전파의 최대 허용 파워 수치 .....	5
그림 1-5. 60GHz용 안테나의 크기 비교 .....	5
그림 1-6. IEEE802.15.3c 의 다섯 가지 응용 모델 개념도 .....	6
그림 1-7. 일반적인 무선 디지털 통신 송수신기의 블록 다이어그램 .....	9
그림 1-8. 여러 변복조 방법의 복잡도 비교 .....	10
그림 1-9. 코스타스 루프 BPSK 복조회로의 블록 다이어그램 .....	13
그림 1-10. 코스타스 루프의 위상 검출 곡선 .....	13
그림 2-1. 코스타스 루프의 수정된 블록 다이어그램 .....	18
그림 2-2. 위상 검출 곡선. (a) 코스타스 루프 (b) 2분율 뱅뱅 위상 검출기 .....	18
그림 2-3. 2분율 뱅뱅 위상 검출기에서 BPSK 변조된 신호의 위상 추적 과정. ..	18
그림 2-4. 데이터의 복조 과정 .....	19
그림 2-5. [11]에서 제안된 BPSK 복조회로의 전체 블록 다이어그램 .....	19
그림 2-6. 제안된 BPSK 복조회로의 전체 블록 다이어그램 .....	22
그림 2-7. 2분율 선형 위상 검출기의 블록 다이어그램 .....	22
그림 2-8. 위상 검출 곡선. (a) 뱅뱅 위상 검출기 (b) 선형 위상 검출기 .....	22
그림 2-9. 2분율 선형 위상 검출기의 동작 .....	23
그림 2-10. 위상 오차에 따른 위상 검출기의 출력 .....	23
그림 2-11. 차지 펌프의 블록 다이어그램 .....	24
그림 2-12. 캐리어 주파수의 정수배 불일치에 따른 영향 .....	26
그림 2-13. LC 탱크 전압 조절 발진기의 회로도 .....	29

그림 2-14. 8각 나선 인덕터의 레이아웃 .....	29
그림 2-15. 인덕터의 파이-모델 .....	30
그림 2-16. 전압 조절 발진기의 특성곡선 (Pre-layout sim.) .....	30
그림 2-17. 차동 멀티플렉서의 회로도 .....	32
그림 2-18. (a) 차동 래치 (b) 차동 XOR 게이트 .....	32
그림 2-19. 설계된 2분율 선형 위상 검출기의 복조 결과 시뮬레이션 .....	33
그림 2-20. 복조된 신호의 아이-다이어그램 .....	33
그림 2-21. 설계한 차동 차지펌프의 회로도 .....	35
그림 2-22. 출력 전압에 따른 전류의 양 변화 .....	35
그림 2-23. 차지 펌프의 상향 전류와 하향 전류의 스위칭 속도 비교 .....	36
그림 2-24. 시간에 따른 Reference 신호 .....	36
그림 2-25. 위상 오차에 따른 차지펌프의 출력 .....	36
그림 2-26. 리플리카 전류 바이어스 회로 .....	37
그림 2-27. CML 출력 버퍼의 회로도 .....	39
그림 2-28. COB 효과를 고려한 입력과 출력 연결도 .....	42
그림 2-29. COB 효과를 고려한 루프 필터 연결도 .....	42
그림 2-30. COB 효과를 고려한 전원 연결도 .....	42
그림 2-31. PRBS 입력데이터와 BPSK로 변조된 신호 .....	43
그림 2-32. 위상 고정 과정 중 발진기의 조절 전압 변화 .....	43
그림 2-33. 복원된 클럭의 아이-다이어그램 .....	44
그림 2-34. BPSK 복조 결과 .....	44
그림 2-35. 복원된 신호의 아이-다이어그램 .....	45
그림 2-36. 시뮬레이션 상에서 측정된 전력 소모 .....	45
그림 2-37. 설계된 칩의 레이아웃 .....	47
그림 3-1. 전압 조절 발진기의 검증 계획도 .....	48
그림 3-2. BPSK 복조회로의 검증 계획도 .....	49
그림 3-3. 전압 조절 발진기의 특성 곡선 (실선: 측정, 점선: 시뮬레이션) .....	50
그림 3-4. 복원된 클럭의 주파수 스펙트럼 .....	51

그림 3-5. 복원된 클럭의 위상 잡음 .....	52
그림 4-1. 4분율 위상 검출기를 이용한 복조 방법 .....	54



## 표 차 례

표 1-1. IEEE802.15.3c의 각 응용모델들의 특성 .....	5
표 1-2. OFDM 전송과 단일 캐리어 전송의 장단점 .....	9
표 1-3. 여러 채널모델, 전송방식에 따른 BER, PER을 만족하는 최소 .....	10
표 1-4. 발표된 고속 아날로그-디지털 변환기 논문의 성능 비교 .....	15
표 5-1. 제작된 칩의 특성 (괄호 : 시뮬레이션 결과) .....	56
표 5-2. 제안된 칩과 동일한 성능을 내기 위한 다른 구조의 특성 .....	56

## 국 문 요 약

### 2분율 선형 위상검출기를 사용하는 간단한 구조의 60GHz 무선 통신용 1.25Gbps 믹스드 모드 BPSK 복조회로

본 논문에서는 IEEE802.15.3c 표준인 60GHz WPAN(Wireless Personal Area Network) 무선 통신 방식에서 수신기에 사용하기 적합한 새로운 개념의 고속의 BPSK 복조회로를 제안하고 설계, 검증하였다.

60GHz 밀리미터파 WPAN의 응용 분야들 중 상당 부분의 영역에서는 다중 경로 효과가 적고, 따라서 OFDM에 비해서 비교적 구조가 간단한 단일 주파수 전송이 더 유리하다. 이 때 넓은 주파수 영역에서 고속으로 데이터를 수신할 수 있는 복조기를 필요로 하는데, 기존에 사용되어 온 코스타스 루프 혹은 디지털 복조 방식은 전력과 칩 면적을 크게 요한다는 단점이 있다. 이를 개선하기 위해서, 코스타스 루프와 위상 검출 특성이 비슷한 클럭-데이터 복원 회로 기술을 응용하여, 전력과 칩 면적을 매우 적게 사용하는 BPSK 복조회로를 제안하였다.

BPSK는 두 가지 위상( $0^\circ$ ,  $180^\circ$ )을 사용하기 때문에 이를 검출하기 위하여 2분율 위상 검출기를 사용해야 한다. 지터의 크기를 줄이기 위하여 선형 위상 검출기를 사용했으며, LC 탱크 전압 조절 발진기를 사용했다.

설계된 회로는 Magnachip/Hynix 0.18 $\mu\text{m}$  공정을 통해 구현되었으며, 1.25Gbps에서 동작을 시뮬레이션으로 검증하였다. 칩 면적은 0.141 $\text{mm}^2$ , 전력은 25.02mW으로, 작은 크기에 저전력의 간단한 구조임에도 Gbps 이상의 고속 동작을 할 수 있다.

---

핵심되는 말 : IEEE802.15.3c, 밀리미터파, WPAN, BPSK, 복조, 2분율 선형 위상 검출기, LC 탱크 전압 조절 발진기, 클럭-데이터 복원회로

## 제 1 장. 연구 배경

무선 통신 기술이 발전하고 사용자의 요구가 증가함에 따라, 무선 통신 서비스의 공급자들도 끊임없이 통신의 질을 발전시키기 위해 노력해 왔다. 그림 1-1은 무선 통신이 발전해온 역사와 앞으로 발전할 방향을 보여주고 있다[1].

무선 통신 기술의 발전은 크게 두 가지 방향으로 동시에 진행되고 있다. 하나는 장비가 빠르게 움직이고 있는 상황에서는 도플러 효과와 안테나의 방향성 변화 등이 발생하여 통신에 어려움이 생기는데, 이를 극복하고 빠른 속도로 이동중에도 안정적으로 통신이 가능하게끔 하는 방향이다. 널리 쓰이는 휴대 전화기와 최근 표준화가 된 와이브로(WiBro, Wireless Broadband)가 그 예이다. 그리고 또 하나는 이동성은 적지만, 수십 Mbps 이상의 고속 전송을 위한 발전이다. 대표적인 예가 IEEE802.11 WLAN (Wireless LAN)이다.

하지만 현재 존재하는 여러 무선 통신 기술의 표준들은 Gbps 이상의 고속 통신에는 적합하지 못하다. 그 이유는 여러 가지가 있는데, 가장 큰 이유는 국가 규제에 의한 할당된 주파수 대역의 한계 때문이다. 이외에도 다른 무선 통신 방식과의 간섭과, 허용된 전파 파워의 제한 등을 들 수 있다. 802.11 WLAN 표준화 단체에서는 더 고속 전송이 가능한 차세대 WLAN 표준을 계획하고 있으나, 이 또한 최대 수백 Mbps 정도의 속도를 넘기기 힘들다.

더 고속의 무선 통신을 위해서는 주파수 대역 할당 규약과 전파 파워 제한을 피하는 다른 방법을 찾아야 한다. 이에 발맞춰 새로운 무선 통신 표준이 대두되고 있다. 최근 IEEE802.15 WPAN(Wireless Personal Area Network) 표준화 단체 중 그룹 3c(IEEE802.15.3c)에서는 60GHz 영역을 이용하여 짧은 거리에서 2Gbps 이상의 고속 통신 기술에 대한 표준화를 위한 회의를 진행하고 있다. 이 표준은 주로 PC와 휴대 저장장치 사이의 통신, 한 사무실 내에서 여러 PC 사이의 통신, 혹은 TV와 셋톱박스 사이의 통신 등을 주 응용분야로 삼고 있다.

본 논문에서는 IEEE802.15.3c 표준을 따르는 60GHz 밀리미터파 무선통신의 수신기에 사용되는 복조 회로에 초점을 맞추고 있다. 1장에서는 IEEE802.15.3c 표준

에 대한 설명과, 이 표준에 적합한 복조 방식과 기존 복조회로 구조는 어떤 것들이 있는지 살펴보았다. 2장에서는 기존 구조의 단점을 크게 개선할 수 있는 새로운 개념의 BPSK 복조회로에 대해서 설명하고, 더 나은 구조를 제안하고 설계하였다. 3장에서는 설계된 칩의 동작을 검증하였다. 4장에서는 제안된 구조의 앞으로의 발전 방향 가능성을 제시하였고, 5장에서 결론을 맺었다.

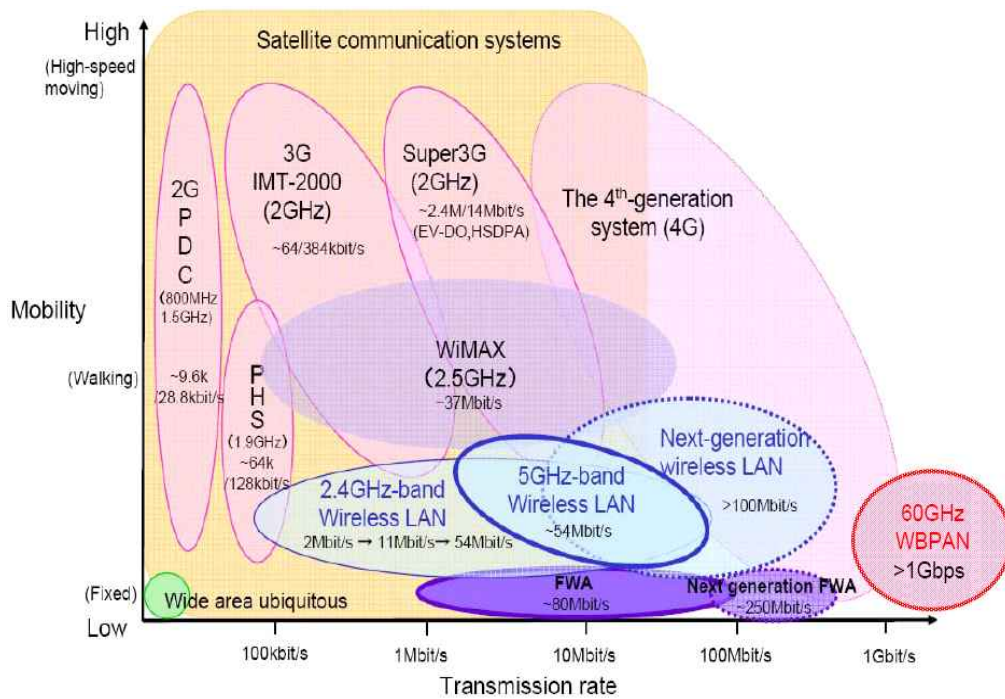


그림 1-1. 무선 통신 기술의 역사와 미래

## 제 1-1 절. IEEE802.15.3c WPAN

IEEE802.15.3 은 WPAN 표준들 중 한가지로, PC, 휴대용 저장장치, 프린터, 무선 전화기 등 가전제품 사이의 무선 통신을 하는 방식에 대한 표준이다. 10미터 이내의 거리에서 11~55Mbps의 속도로 송수신을 하고, 저전력과 저가를 지향하고 있다.

그러나 무선 HD(High-Definition) 비디오, 무선 USB 등에서 요구하는 속도가 높아짐에 따라서 새로운 표준이 필요하게 되었고, IEEE802.15.3c 밀리미터파 WPAN 표준이 새로이 대두되었다. 이 표준은 무선 통신 표준 중에서는 Gbps 이상을 전송하는 최초의 표준이고, 60GHz 대역에서 2Gbps 이상의 송수신 속도를 요구하고 있다. IEEE의 각 표준들의 특성은 그림 1-2에 자세히 묘사되어 있다.

60GHz 영역 밀리미터파를 사용하는 이유는 여러 가지가 있다. 첫 번째로 그림 1-3의 (a)에서 보이듯 저주파 대역에는 이미 PCS, WCDMA, WiBro, DMB 등 다른 수많은 표준들이 할당되어 있는 반면에, 밀리미터파 대역은 (b)에서 보이듯 7GHz 정도의 넓은 영역이 세계적으로 용도 미지정 대역으로 정해져 있기 때문이다[2]. 두 번째로 밀리미터파 대역에서는 전파 파워에 대한 규제가 비교적 적기 때문이다. 802.11n이 최대 22dBm을 사용할 수 있는 반면, 그림 1-4에서 보이듯 밀리미터파에서는 더 큰 파워의 전파를 사용할 수 있다. 따라서 더 먼 거리의 전송도 가능해진다. 세 번째로 고주파이기 때문에 안테나의 크기가 작아질 수 있다는 장점이 있다. 그림 1-5는 60GHz 대역에서 고이득을 얻을 수 있는 안테나의 실물 크기를 동전과 비교한 그림이다.

IEEE802.15.3c 에서는 크게 다섯 가지 응용 모델을 설정하고 있다[3]. 각 모델의 특성은 표 1-1에 정리되어 있고, 각 모델의 개념도는 그림 1-6에 보여지고 있다. 이중 가장 중요한 특성은 가시선과 비가시선의 지원 여부이다. 이 특성에 따라서 요구되는 변복조 방식이 달라지게 되는데, 다음 절에서 자세히 설명하겠다.

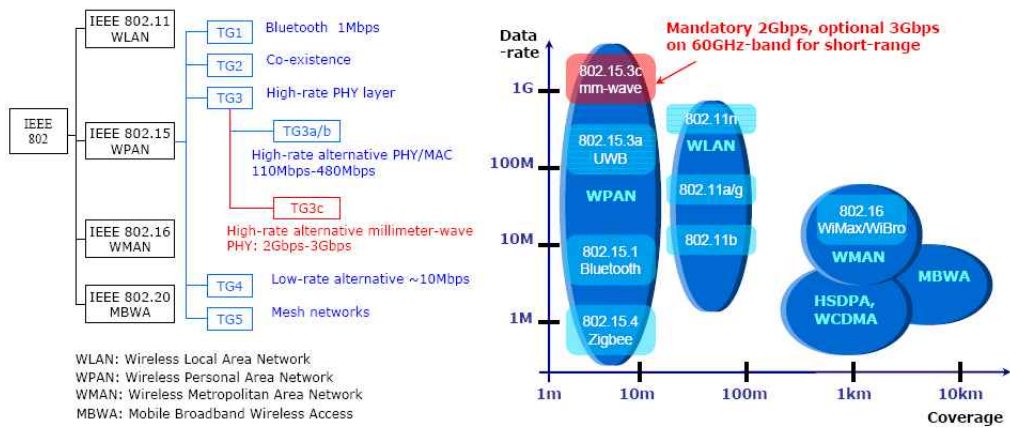
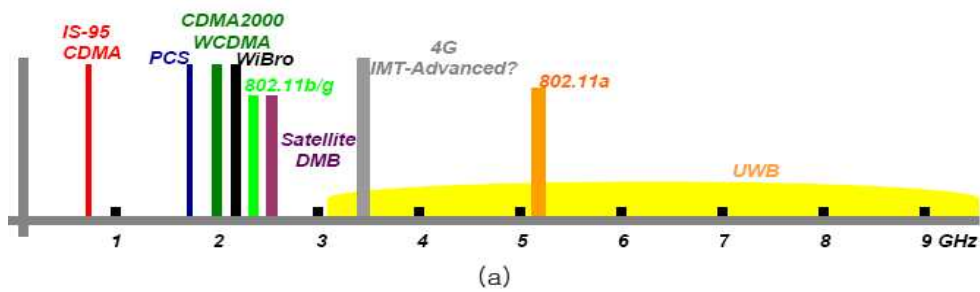
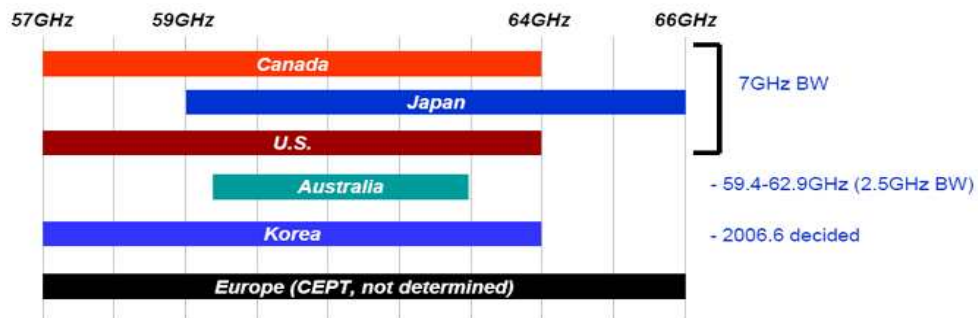


그림 1-2. IEEE802의 여러 표준들의 전송거리와 속도 특성



(a)



(b)

그림 1-3. (a) 저주파 대역의 주파수 할당 상황 (b) 각국의 주파수 미할당 영역

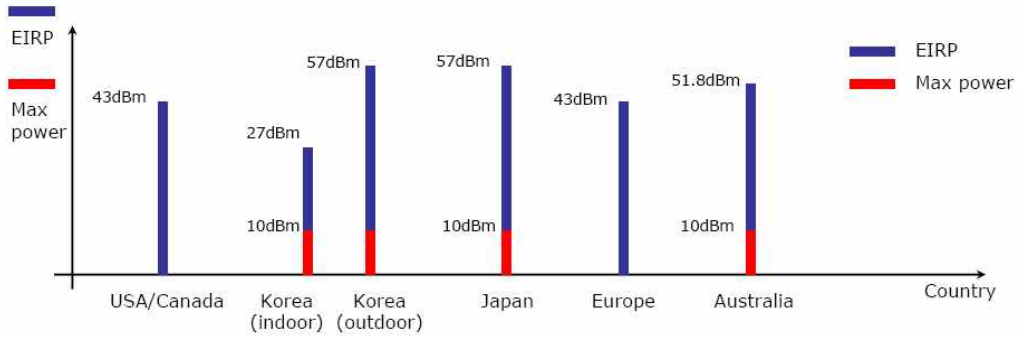


그림 1-4. 세계 각국의 밀리미터파 대역 전파의 최대 허용 파워 수치

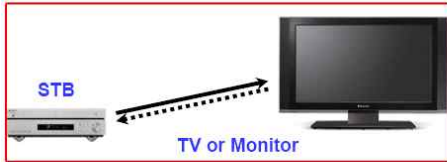


그림 1-5. 60GHz용 안테나의 크기 비교

	환경	요구 전송속도	최대 거리	비교
모델 1	주택 내부 가시선/비가시선	1.493 Gbps	5m	1:1 통신 비동기 링크
모델 2	주택 내부 가시선/비가시선	0.497 Gbps	5m	1:다 통신 비동기 링크
모델 3	사무실 가시선/비가시선	1.258 Gbps	5m	1:다 통신
모델 4	회의실 가시선	1.258 Gbps	5m	1:다 통신
모델 5	사무실 가시선	1.5 Gbps	1m	1:1 통신

표 1-1. IEEE802.15.3c의 각 응용모델들의 특성

모델 1: 무압축 비디오 전송



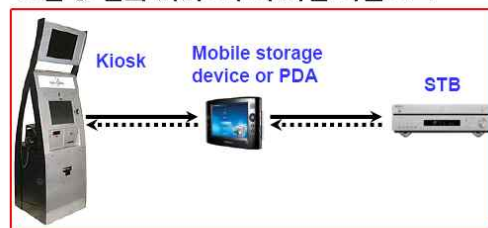
모델 2: 멀티 비디오 전송



모델 3: 사무실내 네트워크



모델 5: 실외 기기로부터 파일 다운로드



모델 4: 회의실 Ad-hoc 네트워크

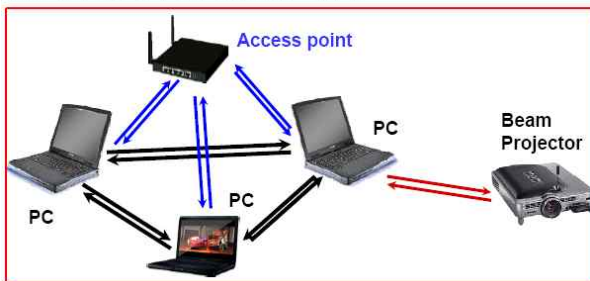


그림 1-6. IEEE802.15.3c 의 다섯 가지 응용 모델 개념도



## 제 1-2 절. 변조/복조 방식

현재 IEEE802.15.3c 단체 내에서는 넓은 영역의 한 주파수 대역에 정보를 실어 전송을 할지, 아니면 여러 주파수로 나누어 전송을 할지를 결정하는 것에 대해서 열띤 토론을 하고 있다. 전자를 단일 캐리어 전송이라 하고, 후자는 OFDM (Orthogonal Frequency-Division Multiplexing)이 그 대표이다. 그림 1-7은 일반적인 무선 디지털 통신의 송수신기의 구조를 나타내고 있는데, 점선으로 표시된 블록을 제외하면 단일 캐리어 전송이고, 점선으로 표시된 블록이 추가되면 OFDM 전송이라 할 수 있다. 각 방식의 자세한 구조에 대한 설명은 생략하겠다.

두 방식의 장단점은 표 1-2에 정리되어 있다[4]. 두 방식 중 어느 것을 택하는 것이 유리한지는 다중 경로 현상이 얼마나 심하냐에 따라 결정되게 된다. 다중 경로 현상이 심하다면 이를 잘 극복할 수 있는 OFDM이 유리해지고, 다중 경로 현상이 없는 백색 잡음(AWGN) 채널과 유사한 채널이라면 하드웨어의 복잡도가 훨씬 낮은 단일 캐리어 전송 방식을 택하는 것이 유리해진다.

그런데 앞서 제 1-1 절에서 설명한 WPAN의 응용 모델 중 상당한 영역에서는 가시선 범위 내의 채널에서의 전송을 요구하고 있다. 가시선 채널에서는 다중 경로 현상이 매우 약하다. 이에 대해서 NICT(National Institute of Information and Communications Technology)에서 여러 채널 모델 상황에서 전송속도 및 코딩 기법을 바꾸어가며 전송 성능을 측정한 바 있다[5]. 측정결과는 표 1-3에 정리되어 있다. 모드는 전송속도 및 코딩 방식을 나타내는 것이며, 각 채널 모델 상황에서 비트 오류 확률(BER, Bit Error Rate)과 패킷 오류 확률(PER, Packet Error Rate)이 각각  $10^{-6}$ , 0.08 을 만족할 수 있는 최소 비트 파워 대 노이즈 파워 비율을 데시벨 단위로 측정한 결과이다. 표를 자세히 보면 가정집 내부의 가시선 채널을 가정한 채널모델 1.3과 실외 기기-휴대 기기 사이의 가시선 채널을 가정한 채널모델 9.1[6]은 백색잡음 채널과 완전히 동일한 성능을 보임을 알 수 있다. 즉, 가시선 채널의 경우 다중 경로 현상이 거의 없다고 할 수 있는 것이다.

본 논문에서는 가시선 채널을 사용하는 응용 모델에 쓰일 수 있는 단일 캐리

어 전송 방식에 중점을 두고 있다. 가시선을 가정했기 때문에 등화기가 필요없는 대신 넓은 대역을 사용하여 고속으로 변조/복조를 하는 변조/복조기가 요구된다.

단일 캐리어 전송의 변/복조 방법에도 OOK(On-Off Keying), QAM (Quadrature Amplitude Modulation), BPSK(Binary Phase-Shift Keying), M-ary PSK(Phase-Shift Keying), APK(Amplitude Phase Keying) 등 수많은 방식이 있다. 본 논문에서는 이 중에서 BPSK를 목표로 두고 있다. BPSK는 비록 주파수 이용 효율(Frequency Efficiency) 측면에서는 QAM, M-ary PSK 등에 비해 성능이 떨어지지만, 그림 1-8에서 보이듯 하드웨어 설계 복잡도가 비교적 간단하다는 장점이 있다[7]. 복잡도가 더 간단한 FSK(Frequency-Shift Keying), OOK, DPSK (Differential Phase-Shift Keying)는 BER 측면에서 성능이 BPSK보다 못하므로, 논외로 하겠다.

본 논문에서는 IEEE802.15.3c의 요구에 부응할 수 있는 BPSK 복조 회로를 제안하였다. 값싼 CMOS 공정으로도 고속 복조 동작을 할 수 있고, 전력과 칩 면적을 기존의 BPSK 복조 회로 구조보다 매우 적게 사용하는 새로운 구조를 제안하고 설계, 검증하였다. 기존 BPSK 복조 회로와의 비교를 위해 다음 절에서 기존 회로들의 복조 원리와 성능을 알아보았다.

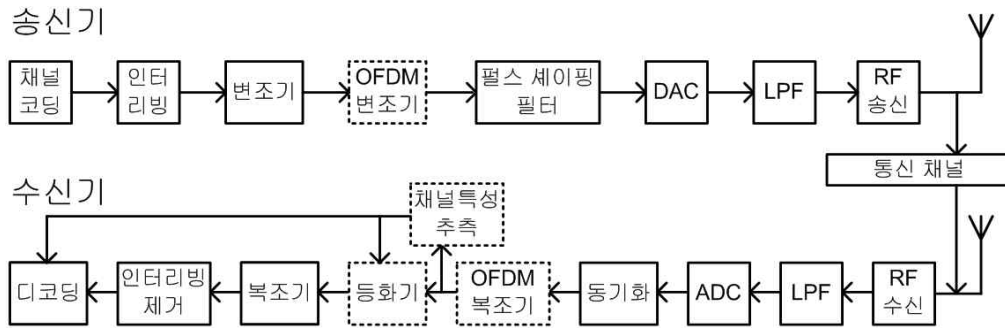


그림 1-7. 일반적인 무선 디지털 통신 송수신기의 블록 다이어그램

OFDM의 장점	단일 캐리어의 장점
<ul style="list-style-type: none"> <li>● 다중경로 채널 등화기를 설계하기 쉽다.</li> <li>● 다중경로 채널에 강하다.</li> </ul>	<ul style="list-style-type: none"> <li>● PAPR(Peak-to-Average Power Ratio)가 낮다.</li> <li>● 간단한 코딩, 혹은 코딩 없이도 전송이 가능하다.</li> <li>● 파워 앰프의 설계가 쉽다.</li> </ul>
OFDM의 단점	단일 캐리어의 단점
<ul style="list-style-type: none"> <li>● 안정적인 전송을 위해서 복잡한 코딩 방식을 요한다.</li> <li>● PAPR이 매우 높다.</li> <li>● 파워 앰프의 설계가 어렵다.</li> </ul>	<ul style="list-style-type: none"> <li>● 등화기의 설계가 어렵다.</li> <li>● 다중 경로 채널에 취약하다.</li> </ul>

표 1-2. OFDM 전송과 단일 캐리어 전송의 장단점

모드	백색잡음		채널모델1.3		채널모델2.3		채널모델3.1		채널모델9.1	
	BER= 10 <sup>-6</sup>	PER= 0.08	BER= 10 <sup>-6</sup>	PER= 0.08	BER= 10 <sup>-6</sup>	PER= 0.08	BER= 10 <sup>-6</sup>	PER= 0.08	BER= 10 <sup>-6</sup>	PER= 0.08
1.1	7.2	6.5	7.2	6.5	-	-	11.1	8.7	7.2	6.5
1.3	5.1	4.4	5.1	4.4	-	-	6.8	5.6	5.1	4.4
1.4	4.0	3.2	4.0	3.2	-	-	5.2	4.2	4.0	3.2
2.1	7.3	6.6	7.3	6.6	13.5	11.8	12.0	9.1	7.3	6.6
2.2.1	5.8	5.3	5.8	5.3	10.9	9.9	9.4	7.8	5.8	5.3
2.3	5.2	4.4	5.2	4.4	-	-	11.2	7.8	5.2	4.4
2.4	4.1	3.3	4.1	3.3	-	-	6.8	5.2	4.1	3.3
3.1	11.2	10.3	11.2	10.3	19.1	17.0	-	-	11.2	10.3
3.2	9.5	8.6	9.5	8.6	16.5	14.7	-	-	9.5	8.6

표 1-3. 여러 채널모델, 전송방식에 따른 BER, PER을 만족하는 최소  $E_b/N_0$

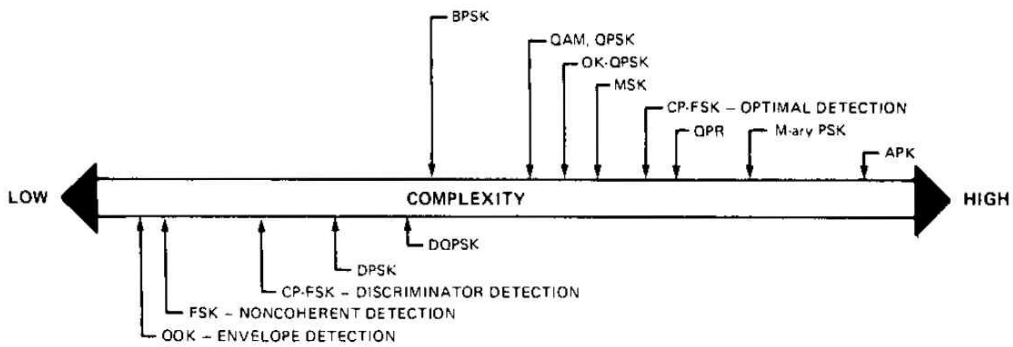


그림 1-8. 여러 변복조 방법의 복잡도 비교

## 제 1-3 절. 기존의 BPSK 복조 회로

BPSK 복조 회로의 구조로는 크게 두 가지 방법이 널리 사용되어 왔다. 하나는 가장 역사가 오래된 코스타스-루프를 이용하는 방법이고, 다른 하나는 고속의 아날로그-디지털 변환기를 이용하여 디지털적인 방법으로 복조를 하는 방법이다. 이 절에서는 각각의 원리에 대해서 간략하게 설명하고, 각 구조의 단점에 대해서 설명하겠다.

### 제 1-3.1 절. 아날로그 방식 : 코스타스 루프

그림 1-9는 전통적인 아날로그 방식의 BPSK 복조 회로인 코스타스 루프의 블록 다이어그램이다. 전압 조절 발진기로부터 서로 90°의 위상 차이를 갖는 두 정현파가 출력되고, 이를 각각 입력 신호인 변조된 신호에 곱해준다.  $\theta_e$ 를 입력 신호와 전압 조절 발진기의 클럭 사이의 위상 차이라고 한다면, 곱셈기를 거친 두 출력은 아래 식과 같이 된다.

$$m(t)\cos(\omega t)\cos(\omega t + \theta_e) = m(t)\{\cos\theta_e + \cos(2\omega t + \theta_e)\}/2$$

$$m(t)\cos(\omega t)\sin(\omega t + \theta_e) = m(t)\{\sin\theta_e + \sin(2\omega t + \theta_e)\}/2$$

위의 두 신호가 저주파 통과 여과기를 거치면  $2\omega$ 의 주파수 성분은 사라지게 되고,  $\theta_e$ 에 대한 성분만 남게 된다. 즉 위쪽 경로에는  $m(t)\cos\theta_e$ , 아래쪽 경로에는  $m(t)\sin\theta_e$ 가 저주파 통과 여과기의 출력으로 나오게 된다.

이 둘을 다시 곱해주면  $\frac{1}{2}m^2(t)\sin\theta_e$ 가 출력되는데, 디지털 통신이기 때문에  $m(t)$ 는 항상 +1 혹은 -1 이다. 상수 계수를 무시한다면, 결국 곱셈기의 출력은

$\sin\theta_e$ 이 된다. 이 위상 검출 특성은 아래 그림 1-10에 도시되어 있다.

위의 위상 검출 곡선이 루프 필터를 거쳐 전압 조절 발진기의 입력으로 들어가고, 피드-백 루프를 돌면 결국  $\theta_e$ 의 값은 이상적으로는 0으로 수렴하게 된다.  $\theta_e$ 의 값이 0으로 수렴되면  $\cos\theta_e$ 는 1로 수렴되고,  $m(t)\cos\theta_e \simeq m(t)$ 가 만족하게 되어 복조가 완료된다.

코스타스 루프 구조는 오랫동안 널리 사용되어 왔지만, 현재에 와서는 그 사용 빈도가 줄어들고 있다. 가장 큰 이유는 저주파 통과 여과기를 만드는 데 어려움이 있기 때문이다.

간단한 RC 여과기를 사용할 경우에는 통과 대역의 응답이 주파수 축에서 봤을 때 고르지 못하고, 차단 주파수 이상의 고주파 성분을 날카롭게 제거하지 못하는 단점이 있다. 또한 CMOS 공정에서 저항과 캐패시터를 구현하는 것은 그 정확도에 상당히 문제가 있다. 일반적으로 CMOS 칩 내부의 저항은  $\pm 20\%$ , 캐패시터는  $\pm 10\%$ 의 오차를 가지고 있다. 최악의 경우 차단 주파수가 설계한 값보다 최대  $\pm 32\%$ 의 오차를 가질 수 있다.

게다가 루프 필터와는 달리 저주파 통과 여과기는 복조 회로의 동작 속도에 따라서 차단 주파수(Cut-off Frequency)의 값을 가변적으로 바꿀 수 있어야 한다. 이러한 가변 여과기를 만드는 데에는 상당한 전력과 칩 면적을 필요로 한다. 현재까지 여러 학술지나 학회지에 발표된 저주파 통과 여과기에 관련된 논문 중 가변 기능이 있으면서 고주파 차단 주파수를 가지는 성능을 내는 동시에 비교적 칩 면적과 전력 소모가 작은 결과로는 [8]가 있다. 그러나 이 또한  $0.48\text{mm}^2$ 의 넓은 칩 면적을 요구하며, 전력소모 또한  $7.3\text{mW}$ 로, 이 논문에서 제안한 여과기를 두 개 사용하면 저주파 통과 여과기만 면적  $0.96\text{mm}^2$ 에 전력소모  $14.6\text{mW}$ 가 필요하다.

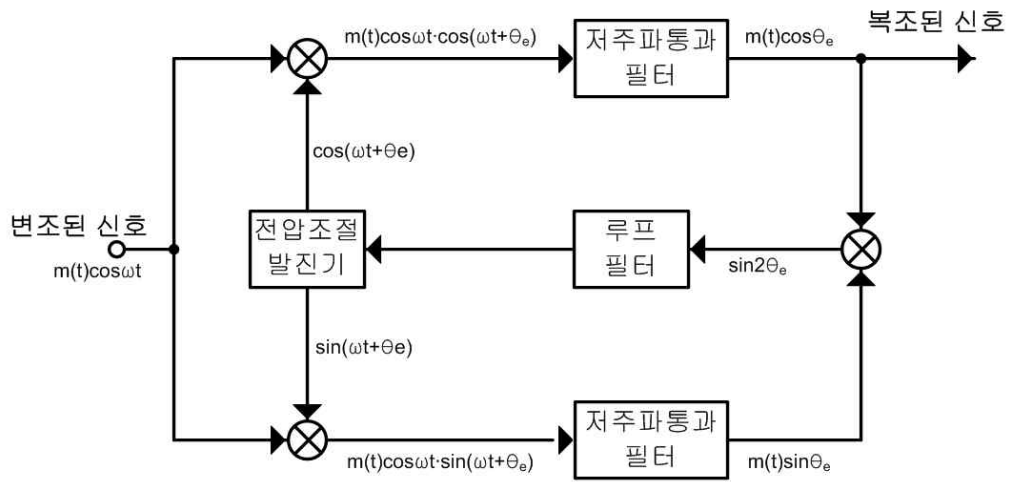


그림 1-9. 코스타스 루프 BPSK 복조회로의 블록 다이어그램

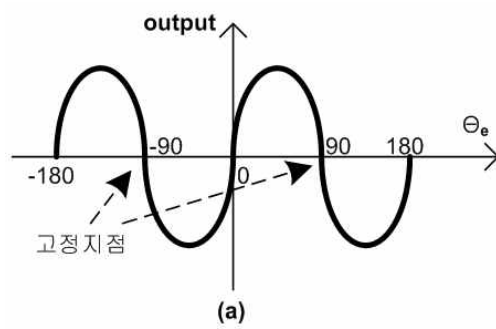


그림 1-10. 코스타스 루프의 위상 검출 곡선

## 제 1-3.2 절. 디지털 방식 : ADC를 사용한 I/Q 복조

디지털 방식 복조란, RF 신호가 믹서를 거쳐 IF 주파수로 내려오면, 이것을 I 채널과 Q 채널로 나누어 바로 아날로그-디지털 변환기(Analog-to-Digital Converter)로 샘플을 취해서 디지털적으로 복조를 수행하는 것을 말한다. 현재 대부분의 무선 통신 송수신기에서는 수신기에 이 방식을 사용하고 있다. OFDM의 경우는 디지털 FFT(Fast Fourier-Transform)를 해줘야 하기 때문에 필수적으로 아날로그-디지털 변환기가 필요하고, 단일 캐리어 전송에서도 여러 이유 때문에 이 방식을 많이 사용한다.

디지털 방식을 사용하면 몇 가지 장점이 있는데, 가장 중요한 장점으로서는 주파수 영역 등화기(Frequency Domain Equalizer)를 사용할 수 있다는 점이다. 디지털 샘플은 버퍼 메모리에 저장이 가능하고, 이를 FFT를 취한 다음 채널 특성에 맞게 등화를 해줄 수 있다. 따라서 다중 경로 환경에서도 안정적인 전송을 할 수 있다.

다음 장점으로서는 신호가 디지털화 되면 ASIC(Application-Specific Integrated Circuit) 공정에서 신호를 처리하는 디지털 논리회로를 얼마든지 설계자의 의도대로 설계할 수 있다는 장점이 있다.

또한 신호 크기와 위상 정보를 모두 알 수 있기 때문에 BPSK 이외에도 M-ary PSK, QAM, DQPSK 등 모든 단일 캐리어 전송에 사용할 수 있는 복조기를 복조 알고리즘만 바꾼다면 전부 수행할 수 있다.

그러나 이 방식의 가장 큰 단점은 회로 관점에서 아날로그-디지털 변환기 자체의 부담이 너무 크다는 것이다. 이 방식을 사용할 때 복조 속도의 한계를 결정하는 것은 결국 아날로그-디지털 변환기의 동작속도이다. 하지만 고속의 아날로그-디지털 변환기는 상당히 큰 전력과 칩 면적을 요하게 된다.

본 논문에서 목표로 삼고 있는 1.25Gsps의 BPSK 신호를 정상적으로 복조하려면 적어도 2.5Gsample/sec 이상의 속도로 동작하는 아날로그-디지털 변환기가 필요하다. 현재까지 여러 학술지나 학회지에 발표된 논문들 중에서 CMOS 공정에서 2.5Gsample/sec 이상의 속도를 내는 아날로그-디지털 변환기로는 [9], [10]가 있다.



각각의 성능과 소모 전력, 칩 면적은 아래 표 1-4에 정리되어 있다. 앞서 설명했던 코스타스 루프보다도 전력이 상당히 크다는 것을 알 수 있다. 게다가 복조 알고리즘을 구현하기 위하여 디지털 계산 블록을 넣는다면, 전력과 면적은 훨씬 더 커질 것이다.

	공정	속도 (Gsample/sec)	해상도 (bit)	전력 (mW)	면적 (mm <sup>2</sup> )
[9]	CMOS 0.18 $\mu$ m	4	4	530	0.88
[10]	CMOS 0.09 $\mu$ m	3.5	5	227	0.658

표 1-4. 발표된 고속 아날로그-디지털 변환기 논문의 성능 비교

## 제 2 장. 믹스드 모드 BPSK 복조회로 설계

제 1장 3절에서 설명했듯이, 기존에 널리 사용되어 온 BPSK 복조기 구조들은 전력과 칩 면적을 많이 사용한다는 문제점들을 가지고 있다. 이를 극복하기 위해, [11]에서는 새로운 구조의 BPSK 복조회로를 제안하였다. 이는 기본적으로 위상 고정 루프(Phase-Locked Loop), 클럭-데이터 복원(Clock-Data Recovery) 회로 등에 사용되는 믹스드 모드 회로 기법에서 착안하여 제안된 구조이다.

이 장에서는 [11]에서 제안한, 비교적 구조가 간단하고, 칩 면적을 작게 사용하며, 전력 소비가 적은 새로운 구조의 BPSK 복조회로에 대해서 자세히 설명한다. 그리고 이를 개량하여 더 고속에서 동작할 수 있는 BPSK 복조회로를 새로 제안하고, 회로적으로 구현하였다.

### 제 2-1 절. 새로운 구조의 도출

#### ① [11]에서 제안된 새로운 구조의 BPSK 복조회로

제 1장 3절에서 설명했던 코스타스 루프에 변조된 신호가 입력으로 들어가면, 전압 조절 발진기에서 생성된 4분주 클럭과 함께 세 개의 믹서와 두 개의 저주파 통과 여과기를 거쳐서, 입력 신호와 클럭 사이의 위상 차이( $\sin 2\theta_e$ )가 출력된다. 이 과정을 위상 검출기의 역할로 본다면, 코스타스 루프의 위상 추적의 원리는 그림 2-1과 같이 표현될 수 있다. 이 그림은 일반적으로 사용되는 클럭-데이터 복원 회로의 블록 다이어그램과 매우 흡사하다. 이 사실로부터 BPSK 복조 기능을 믹스드 모드로 구현할 수 있다는 것을 알 수 있다.

코스타스 루프에서 위상 차이  $\theta_e$ 에 따른 위상 검출 곡선은 그림 2-2의 (a)와 같다. BPSK 신호의 위상은 0도와 180도 두 가지가 있기 때문에, 위상 검출 곡선

은 서로 180도의 위상 차이가 나는 두 개의 고정 지점을 가진다. 이 특성은 클럭-데이터 복원 회로에 자주 사용되는 2분율 뱅뱅 위상 검출기로 구현 가능하다. 2분율 뱅뱅 위상 검출기의 위상 검출 곡선은 그림 2-2의 (b)와 같다.

그림 2-3은 2분율 뱅뱅 위상 검출기에서 어떻게 BPSK 변조된 신호의 위상을 추적해 가는지를 보여주고 있다. 그림에서 점선으로 표시된 클럭은 추적 클럭이고, 실선으로 표시된 클럭은 신호 추출 클럭이다. 만약 클럭이 입력 신호의 천이 엣지보다 앞선다면, 위상 조정 회로는 클럭을 느리게 만들고, 반대의 경우에는 클럭을 빠르게 만든다. 이와 같은 역할을 코스타스 루프에서는 믹서와 저주파 통과 여과기가 행하게 된다.

위와 같은 과정으로 인해 동기가 완료된 상황에서는 그림 2-4에서와 같이 신호 추출 클럭이 변조된 신호의 가운데로 정렬된다. 그림에서 화살표는 위상 검출기에서 신호를 추출하는 지점을 나타낸다. 2분율 위상 검출기이기 때문에 한 클럭 주기 안에서 두 비트의 데이터를 추출한다. 그런데 BPSK로 변조된 신호에서 데이터를 추출하는 것이기 때문에, 한 클럭에서 추출되는 두 비트의 데이터는 10 혹은 01 둘 중 하나이다. BPSK 복조는 한 클럭에서 10이 추출될 때 데이터가 1임을, 01이 추출될 때 데이터가 0임을 판단해주는 것으로 복조가 완료된다. 이는 단순히 두 번째 비트를 반전시키는 것으로 쉽게 구현할 수 있다. 그림에서 검은 화살표는 클럭의 상향 엣지에서의 추출을, 흰 화살표는 클럭의 하향 엣지에서의 추출을 나타내는데, 하향 엣지에서 추출한 비트를 반전시켜 주기만 하면 복조가 완료된다. 이 방법은 2분율 위상검출기를 사용하기만 한다면, 어떤 구조의 클럭-데이터 복원회로에든 적용될 수 있다.

[11]에서 제안된 복조회로의 전체 구조는 그림 2-5와 같다. 디지털 위상 검출기와 아날로그 위상 제어기를 사용하기 때문에 믹스드 모드라고 이름이 붙었다. 이 구조에서는 아날로그-디지털 변환기도 사용하지 않고, 저주파 통과 여과기도 사용하지 않으면서 위상 동기화 BPSK 복조가 가능하다. 따라서 제 1장 3절에서 설명한 기존 BPSK 복조회로 구조들의 문제점이 크게 개선되어, 칩 면적과 전력 소비가 기존 구조들에 비해 매우 작다.

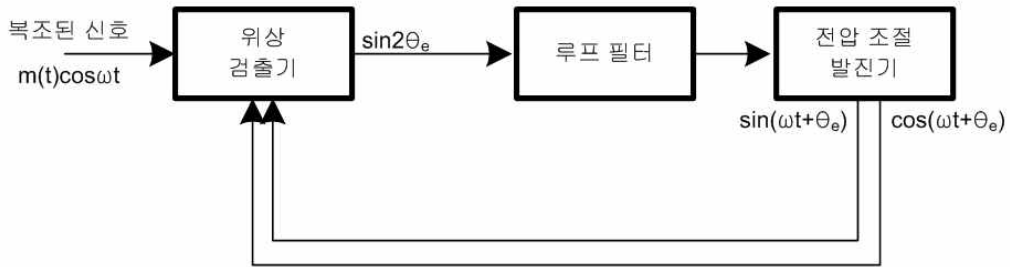


그림 2-1. 코스타스 루프의 수정된 블록 다이어그램

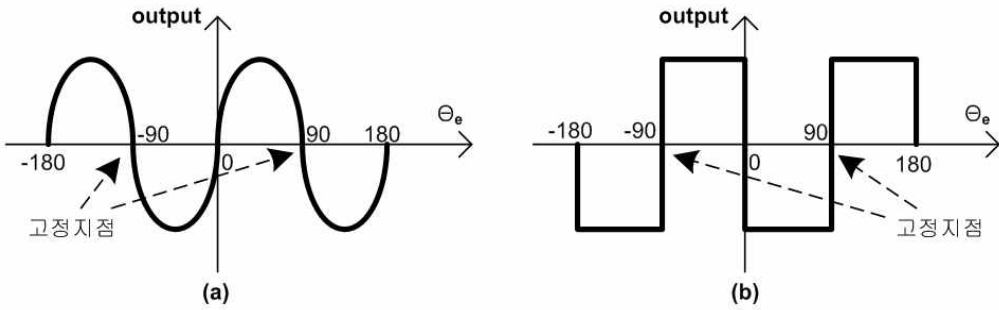


그림 2-2. 위상 검출 곡선. (a) 코스타스 루프 (b) 2분율 뱅뱅 위상 검출기

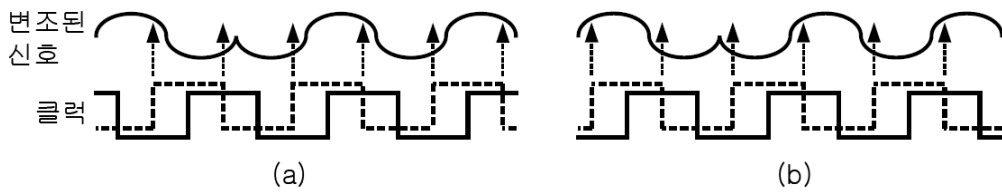


그림 2-3. 2분율 뱅뱅 위상 검출기에서 BPSK 변조된 신호의 위상 추적 과정.  
(a) 클럭이 앞설 때 (b) 클럭이 늦을 때

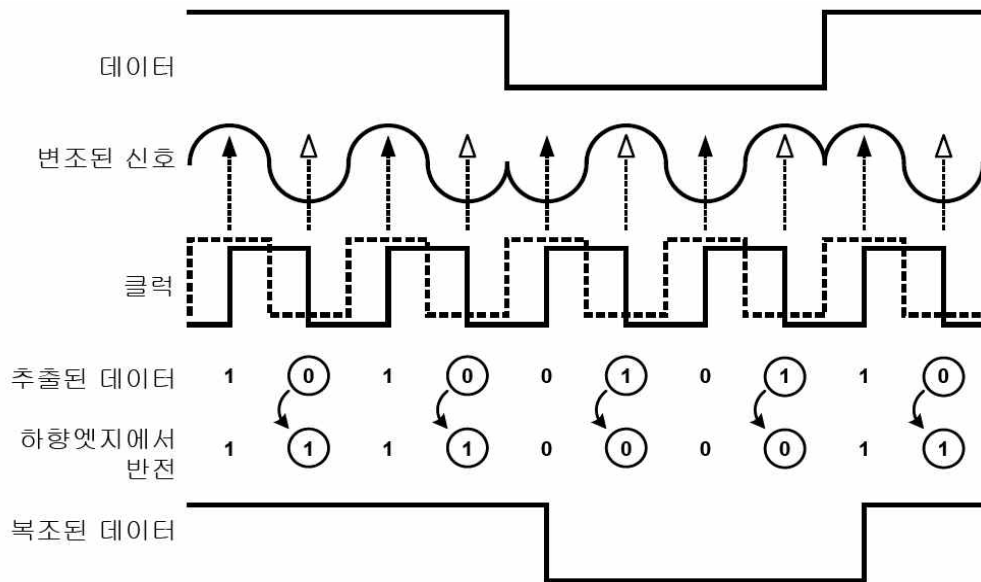


그림 2-4. 데이터의 복조 과정

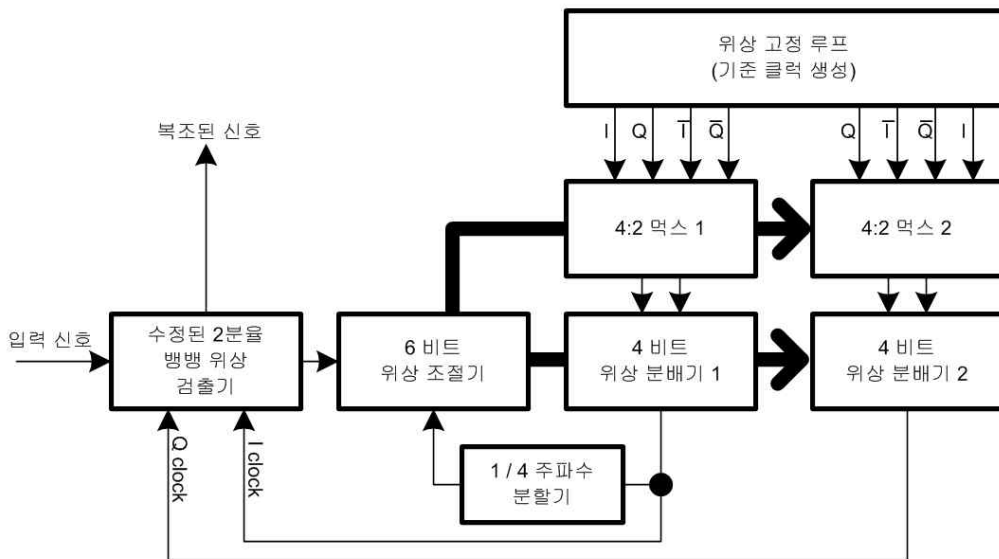


그림 2-5. [11]에서 제안된 BPSK 복조회로의 전체 블록 다이어그램

## ② [11]에서 제안된 구조의 단점

앞에서 설명한 새로운 구조의 BPSK 복조회로는 기존의 구조들에 비해 많은 장점을 가지고 있지만, 몇 가지 개선의 여지가 있는 단점들이 있다.

첫 번째로, 뱅뱅 위상 검출기를 사용한 것이다. 이론적으로 무한한 위상 검출기의 이득 때문에 차지 펌프의 전류 변동이 심하고, 곧 전압 조절 발진기의 조절 전압에 큰 리플이 생기게 한다. 이는 복원된 클럭의 지터가 커지는 원인이 된다[12]. 또한 위상 검출기의 비선형성 때문에 전체 루프의 다이내믹스를 수식적으로 계산하기가 매우 어렵다.

두 번째로, 2분율 위상 검출을 위해 서로 90도 차이가 나는 두 가지의 클럭(I clock, Q clock)을 필요로 한다는 점이다. 즉 4가지 위상( $0^\circ$ ,  $90^\circ$ ,  $180^\circ$ ,  $270^\circ$ )을 내주는 발진기가 필요하다. 이런 발진기를 만들기 위해서는 발진기의 면적이 비교적 크고, 4가지 위상의 클럭 신호를 위상 검출기까지 전송하는 선의 길이와 개수가 많아진다. 또한 공정상의 여러 가지 이유 때문에 완벽하게 등 간격을 이루는 4가지 위상의 클럭을 공급하기란 매우 어려운 일이고, 이 위상 오차는 복원된 클럭의 지터의 원인이 된다.

세 번째로, D 플립-플롭을 사용했다는 점이다. 래치에 비해 플립-플롭은 신호가 거쳐 가야 할 게이트의 수가 두 배이다. 즉 논리적 깊이가 두 배라고 할 수 있는데, 논리적 깊이가 깊을수록 고속 동작이 어렵다.

네 번째로, 위상의 해상도에 문제가 있다. [11]에서는 8-비트 디지털 위상 분배기를 사용하였는데, 클럭이 총 256가지의 위상밖에 낼 수 없다. 따라서 복원된 클럭이 완벽히 동기가 된 상태에서도 주기의 1/256 만큼 규칙적으로 흔들리게 된다. 이 문제를 해결하기 위해 디지털 위상 분배기의 해상도를 늘리기 위해서는 복잡도와 비용 증가를 피할 수 없다[13].

## ③ 새로운 구조의 BPSK 복조 회로

본 논문에서는 앞서 말한 단점들을 해결하기 위해 새로운 구조의 BPSK 복조 회로를 제안하였다. 복조 회로의 전체 구조는 그림 2-6과 같다. 위상 검출기에서 위상 오차를 검출하면, 오차에 비례하는 만큼의 입력이 차지펌프로 들어가고, 루프

필터를 거쳐 전압 조절 발진기를 조절하여 클럭을 조절한다. 제안된 전체 구조는 아날로그 클럭-데이터 복원회로와 흡사하다. 아날로그이기 때문에 해상도가 무한대이고, 앞서 설명한 네 번째 문제가 해결될 수 있다.

위상 검출기는 2분율 선형 위상 검출기를 사용하였다[12]. 위상 검출기의 블록 다이어그램은 그림 2-7과 같다. 그리고 위상 검출 곡선은 그림 2-8의 (b)와 같이 선형적이다.

위상 검출기의 동작은 그림 2-9와 같다. 동작 설명을 위해서 입력이 0과 1 사이를 반복한다고 가정하겠다. 클럭이 상향 천이되면 X1은 입력의 값을 따라가게 되고, 이 전 입력의 값을 가지고 있던 X2와 X1은 다른 값을 가지게 된다. 클럭이 하향 천이되면 X2가 입력의 값을 따라가게 되고, 다시 X1과 X2의 값이 같게 된다. X1과 X2를 XOR 한 신호인 Error은 X1과 X2의 값이 달라지는 시간 동안 1의 값을 갖는데, 이 시간은 즉 입력과 클럭의 위상 차이와 일치한다. 따라서 Error 신호의 평균을 취하면 위상 오차에 비례한 값이 된다.

두 번째 래치를 거치면 Y1은 클럭의 하향 엣지에서의 입력 샘플 값을, Y2는 클럭의 상향 엣지에서의 입력 샘플 값을 가지게 된다. 앞서 설명했듯이 이 중 Y1 신호를 반전시킨 값과 Y2를 믹스를 통해 교대로 출력하면 복조가 완료된다.

Y1과 Y2를 XOR 한 신호인 Reference는 데드-존을 없애기 위한 기준 신호 역할을 한다. 그림 2-10은 위상 오차에 따른 검출기의 두 출력의 시간에 대한 평균 값을 그린 그림이다. 차지 펄프는 Error와 Reference의 차이만큼 전류를 흘리게 된다. 일반적인 위상 검출기는 위상 오차가 90°일 때에 데드-존이 생긴다. 하지만 본 구조는 위상 오차가 0°, 180°일 때에 데드-존이 생기므로, 루프가 고정된 후 지터에 가장 중요한 위상 오차 90°일 때에는 데드-존에 대해 안전하다.

이 위상 검출기의 위상 검출 곡선은 앞서 설명했듯이 선형적이다. 또한 래치만을 사용하였다. 그리고 한 가지 클럭, 즉 2가지 위상(0°, 180°)만을 사용하여도 2분율 동작이 가능하다. 따라서 앞서 말한 단점 중 첫 번째~세 번째 문제점이 해결될 수 있다. 더불어 데드-존이 없고, 선형성에 따른 수식적인 루프 다이내믹스 계산이 가능해진다는 장점도 있다.

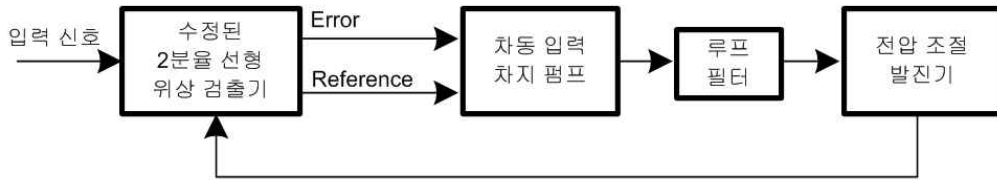


그림 2-6. 제안된 BPSK 복조회로의 전체 블록 다이어그램

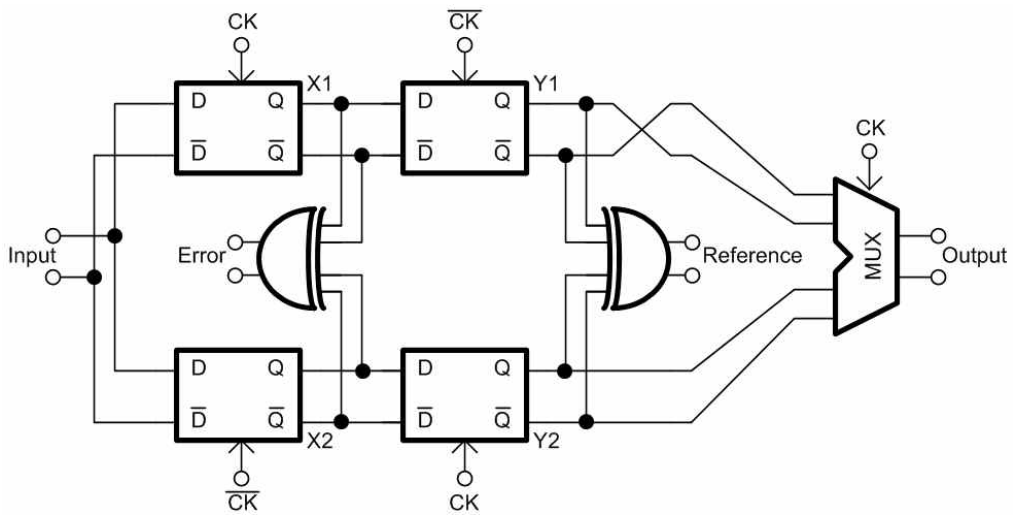


그림 2-7. 2분율 선형 위상 검출기의 블록 다이어그램

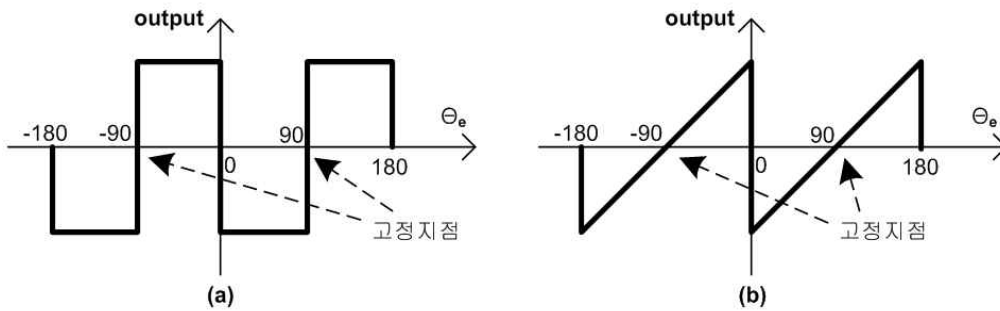


그림 2-8. 위상 검출 곡선. (a) 뱅뱅 위상 검출기 (b) 선형 위상 검출기



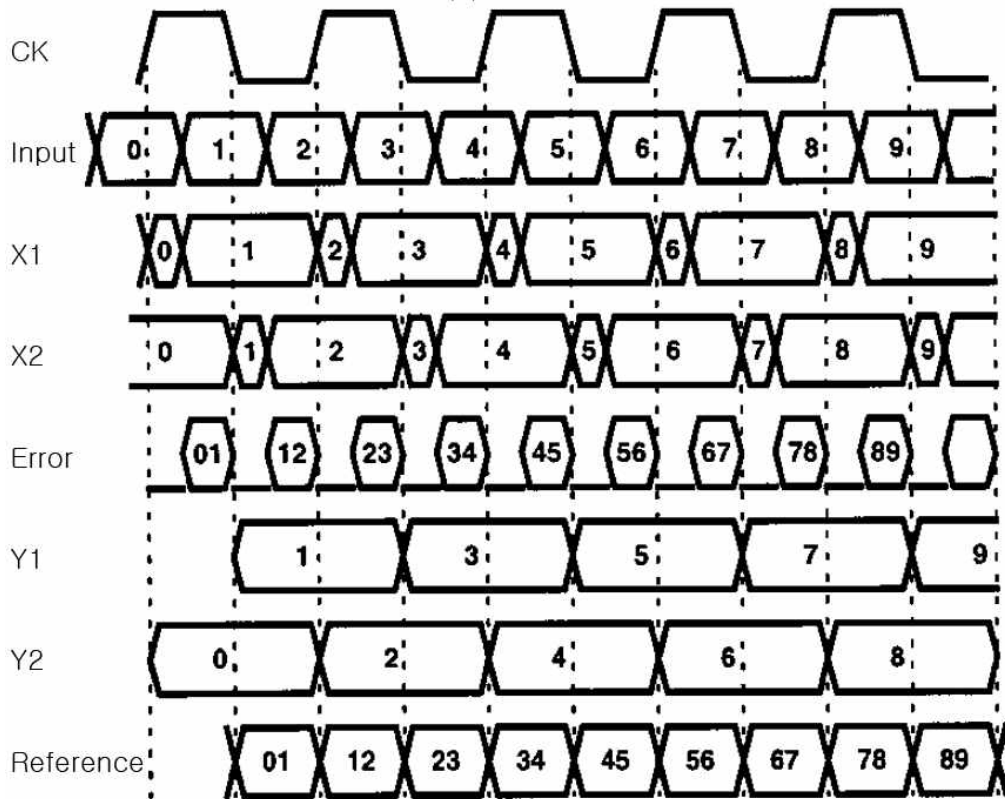


그림 2-9. 2분율 선형 위상 검출기의 동작

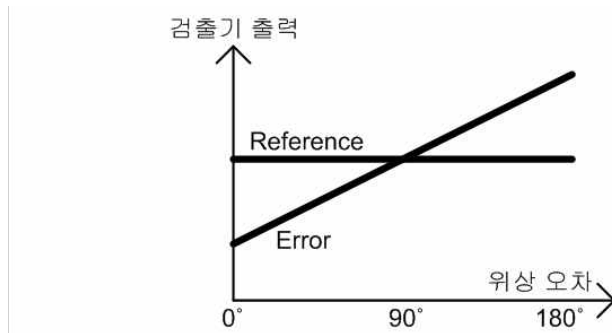


그림 2-10. 위상 오차에 따른 위상 검출기의 출력

위상 검출기의 출력 중 Reference는 Error에 비해 두 배의 시간동안 1의 값을 가질 수 있다. 따라서 차지 펌프는 그림 2-11과 같이 Error 신호에 대해 두 배의 전류를 흘려줘야 한다. 이 기능을 구현하기 위해 차지 펌프를 조금 개량하였다. 자세한 설명은 제 2장 3절에서 하겠다.

전압 조절 발진기는 LC 탱크 발진 회로를 사용하였다. LC 탱크 발진 회로는 [11]에서 사용한 링 타입 발진 회로보다 칩 면적은 많이 차지하지만, 위상 잡음이 훨씬 적다는 장점이 있다[14]. 만약 다중 위상을 얻어야 한다면 링 타입을 쓰는 것이 유리하지만, 본 논문에서 사용한 위상 검출기는 단일 위상을 사용하므로, 위상 잡음이 적은 LC 탱크 발진 회로를 사용하였다.

제안된 구조의 단점은, 아날로그-디지털 변환기를 사용하지 않기 때문에 주파수 영역 등화기(Frequency Domain Equalizer)의 사용이 불가능하다는 것이다. 하지만 다중 경로 효과를 무시할 수 있는 응용분야에서는 주파수 영역 등화기를 사용하지 않아도 되므로, 제안된 구조는 충분히 활용도가 높다고 할 수 있다.

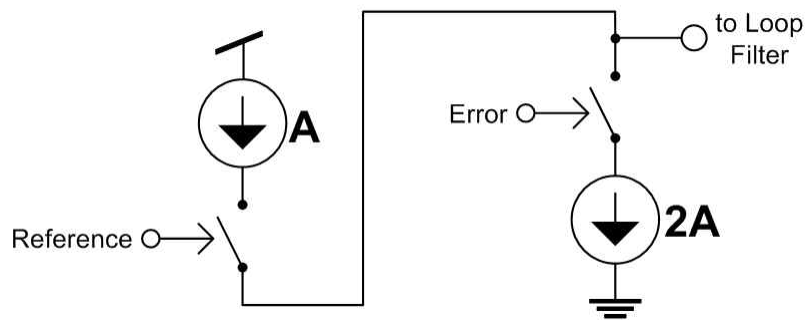


그림 2-11. 차지 펌프의 블록 다이어그램

## 제 2-2 절. 주파수 정수배의 불일치에 따른 영향

캐리어의 주파수가 데이터의 속도의 정수배가 아닐 때에는 기본적으로 캐리어의 주기의 절반 만큼의 지터가 생긴다. 이 이유는 그림 2-12에 그림으로 도시되어 있다. 그림 2-12의 (a)는 캐리어의 주파수가 데이터 속도의 2배일 때의 복조 결과이고, 그림 2-12의 (b)는 캐리어의 주파수가 데이터 속도의 8/3배일 때의 복조 결과이다. (b)의 경우 점선으로 표시된 원본 데이터에 비해 복조된 신호에 상당 부분 지터가 생긴 것을 알 수 있다. 주파수 오차에 따라서 다르지만, 대체로 캐리어의 주기의 절반 만큼의 지터가 항상 생긴다.

이는 코히어런트 BPSK 수신기라면 피할 수 없는 문제이다. 이 문제 때문에 캐리어의 주파수가 어느 값으로 정해지면, BPSK 신호의 데이터 속도는 그 것의 절반을 넘기 힘들다. 즉 BPSK 수신기가 소화할 수 있는 캐리어 주파수의 한계가 정해지면, BPSK 신호의 최고 속도를 알 수 있다.

제안된 구조는 기본적으로는 클럭-데이터 복원 회로이기 때문에, 클럭-데이터 복원 속도가 빠르게 동작할 수 있는 만큼 캐리어 주파수를 올릴 수 있다. 본 논문에서는 캐리어 주파수 2.5GHz에서 1.25Gbps 의 복조 속도를 구현하였다. 이 성능은 5Gbps 급 클럭-데이터 복원 회로와 같은 급이다. 만약 10Gbps 급 클럭-데이터 복원 회로를 2분율 위상 검출기로 만들 수 있다면, 2.5Gbps 급의 BPSK 복조 회로도 구현 가능할 것이다.

지금까지 여러 학술지 및 학회에 발표된 고속 클럭-데이터 복원 회로를 살펴보면, 0.18 $\mu$ m CMOS 공정에서 10Gbps 급[12], 0.13 $\mu$ m CMOS 공정에서 12.5Gbps 급[15]이 발표된 예가 있다.

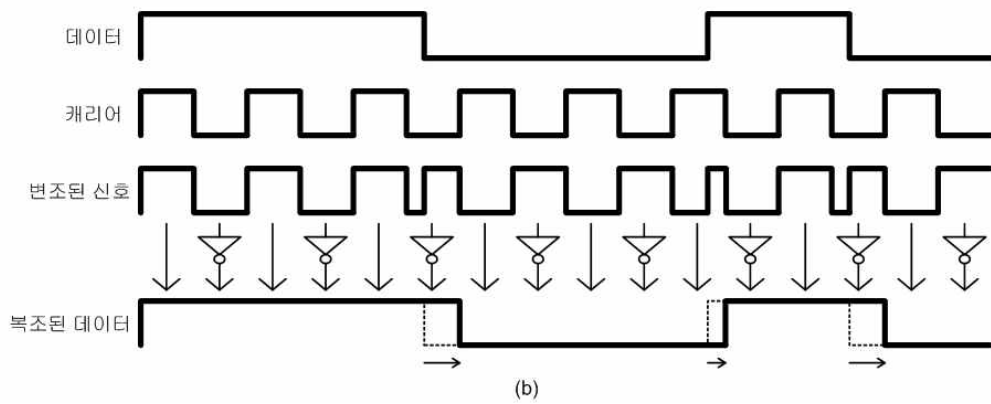
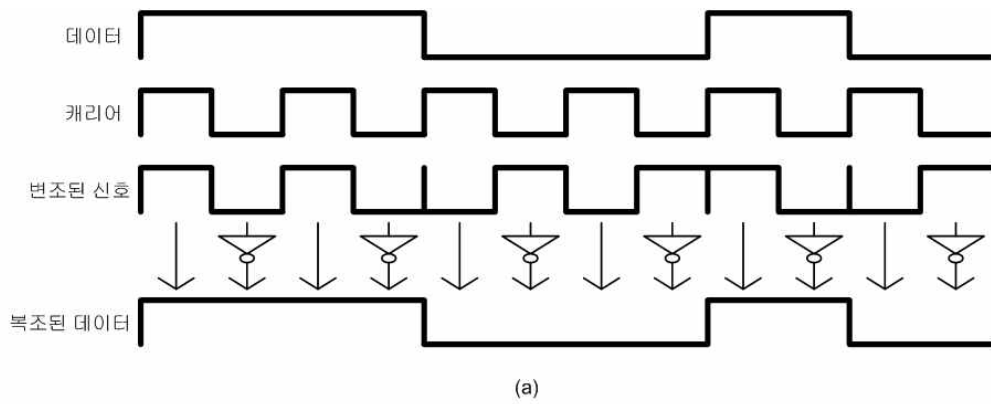


그림 2-12. 캐리어 주파수의 정수배 불일치에 따른 영향  
 (a) 캐리어 주파수 = 데이터속도\*2    (b) 캐리어 주파수 = 데이터속도\*8/3

## 제 2-3 절. BPSK 복조 회로의 각 블록 설계

### 제 2-3.1 절. 전압 조절 발진기의 설계

전압 조절 발진기는 앞서 말한 바와 같이 LC 탱크 발진 회로를 사용하였으며, 회로도도 그림 2-13과 같다. 위아래로 두 쌍의 교차 연결 트랜스컨덕터를 사용하였기 때문에, 같은 바이어스 전류에 대해 한 쌍을 쓸 때보다 전류의 스위칭 효과가 두 배이다. 따라서 차동 신호의 크기를 두 배로 낼 수 있는 구조이다. 또한 전압원의 잡음과 서브스트레이트의 잡음을 양쪽 모두 완화시킬 수 있다[16].

사용한 인덕터는 그림 2-14와 같이 레이아웃 하였다. 두 개의 8각 나선 인덕터를 겹쳐 그린 꼴인데, 상호 인덕턴스에 의해 같은 크기에서도 더 큰 인덕턴스를 얻을 수 있다. 또한 인덕터의 Q 값을 높이기 위해 가장 높은 메탈을 사용하여 그렸으며, 메탈 사이의 간격을 좁히고, 메탈 선의 폭을 넓혔으며, 다른 회로의 영향을 받지 않게 하기 위해 인덕터 주위에 메탈 선의 폭의 3배 만큼의 공간을 비워 두었다[17].

인덕터의 시뮬레이션 과정은 다음과 같다. 먼저 그려진 레이아웃을 가지고 ADS (Advanced Design System) 프로그램의 EM 시뮬레이션으로 S 파라미터를 추출해 낸다. 그리고 ASITIC[18] 프로그램을 사용하여 그려진 레이아웃의 대략적인 파이-모델을 세웠다. 사용한 파이-모델의 회로도도 그림 2-15와 같다[19]. ASITIC은 알려진 인덕터 모델링 소프트웨어 중 가장 속도가 빠른 프로그램이다. 대신 모델링이 정확하지 않기 때문에 마지막으로 HSpice의 최적화 기능을 이용하여 파이-모델의 S 파라미터가 EM 시뮬레이션에서 추출된 S 파라미터와 일치하도록 모델의 각 소자들의 값을 정하였다. S 파라미터가 일치하게 되면 파이-모델을 spice 시뮬레이션에 사용할 수 있다.

설계한 인덕터의 Quality-factor인 Q값은 대략 5.6 정도이다. 사용한 공정이 RF에 특화된 공정이 아닌 CMOS 로직 공정이기 때문에 최상위 메탈의 두께가 얇아서 인덕터의 Q값이 그리 좋지 못하다.

발진 주파수 조절은 두 쌍의 MOS-CAP을 사용하였다. 이 중 con 에 연결된 MOS-CAP은 MOS의 크기가 작고 세밀한 주파수 조정용으로 쓰인다. 칩 외부에서 직접 넣어주는 전압인 con2 에 연결된 MOS-CAP은 크기가 매우 크고 대략적인 주파수 조절을 맡는다. 즉, 칩 외부에서 전압을 직접 con2로 입력하여 대략적으로 주파수를 조정하고, 실제로 위상 고정은 con의 전압에 의해 행해진다. 이 방법을 사용하면 전압 조절 발진기의 이득(VCO gain)이 작아서 생기는 장점은 그대로 가져가면서, 발진 주파수의 가능 범위가 좁은 LC 탱크 발진기의 단점을 보완할 수 있다. 작은 MOS-CAP은 width 10um, length 2um의 PMOS를 사용하였고, 큰 MOS-CAP은 width 14.79um, length 13.37um의 NMOS를 사용하였다.

LC 탱크 발진 회로는 특성상 바이어스 전류가 강할수록 발진하는 힘이 강한 대신 발진 주파수의 가능 범위가 좁아지고, 바이어스 전류가 약하면 반대의 현상을 보인다[20]. 그러나 본 구조에서는 앞서 설명했듯이 넓은 범위의 대략적인 주파수 조절이 가능하기 때문에, 되도록 발진하는 힘이 강하게 설계하였다.

설계한 LC 탱크 발진 회로의 전압 제어 발진 특성곡선에 대한 시뮬레이션 결과는 그림 2-16과 같다. 3가지 공정 변화(tt, ff, ss)에 대해 각각 시뮬레이션 하였다. (a)는 con 전압에 따른 주파수 곡선이고, (b)는 con2 전압에 따른 주파수 곡선이다. (a)의 경우 전압 조절 발진기의 이득이 대략 164MHz/volt로 매우 작아서 복원 클럭의 지터를 줄일 수 있다. (b)의 경우 이득이 대략 1.8GHz/volt로 매우 커서 대략 2GHz에서 3.5GHz까지 넓은 범위의 주파수를 임의로 조정할 수 있다.

단, 성능 좋은 파워 서플라이를 사용하더라도 적어도 10mV 이상의 잡음이 con2 노드로 유입될 수 있다. 그런데 (b)의 경우 발진기의 큰 이득으로 인해 con2 노드의 잡음이 클럭의 위상 잡음에 크게 악영향을 줄 수 있다. 이를 최대한 방지하기 위해 크기가 매우 큰 바이패스 캐패시터를 con2 노드에 달아주어야 한다. 잡음의 고주파 성분이 제거된다면, 루프 밴드위스 내의 저주파 잡음은 클럭 고정 기능에 영향을 주지 않을 것이다.

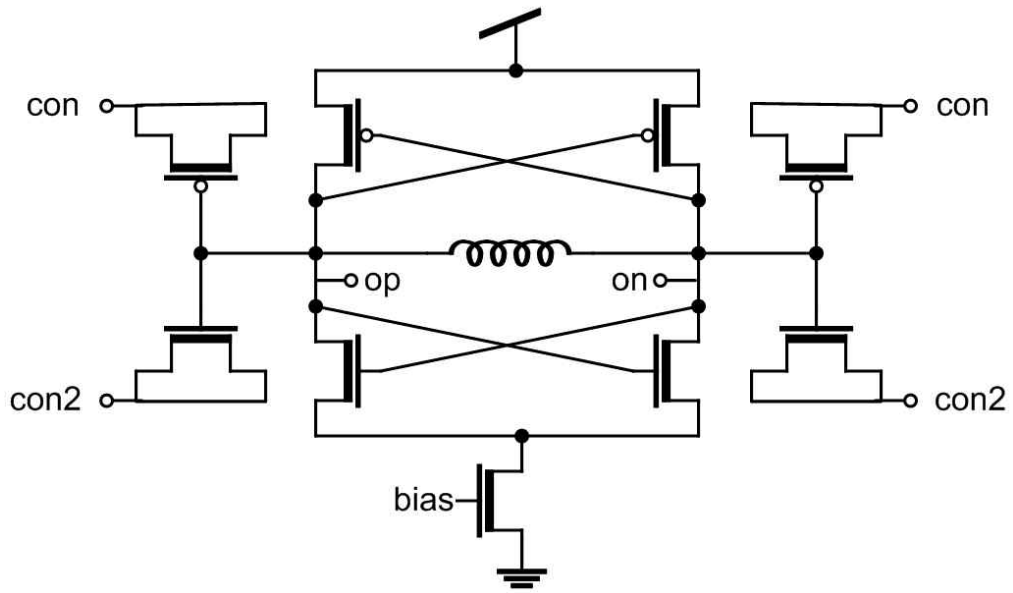


그림 2-13. LC 탱크 전압 조절 발진기의 회로도

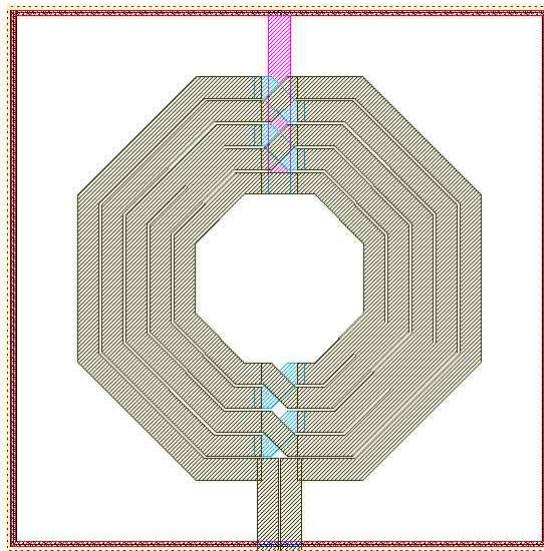


그림 2-14. 8각 나선 인덕터의 레이아웃

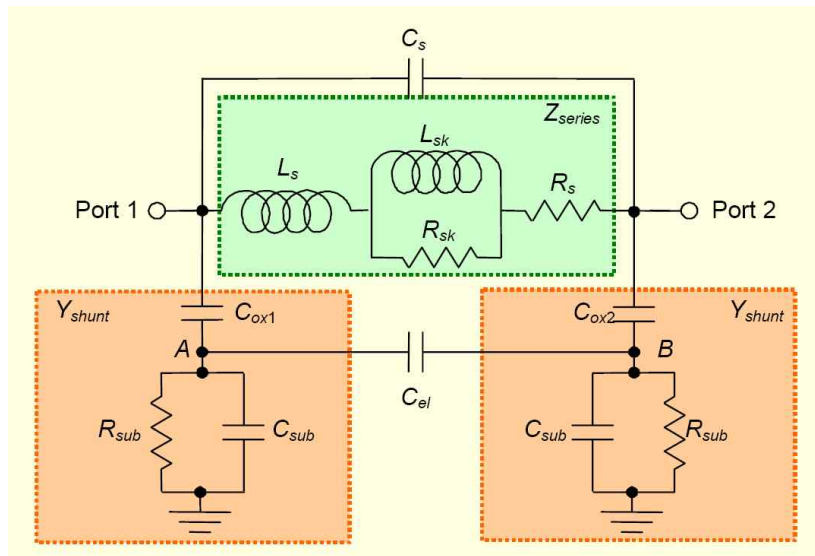


그림 2-15. 인덕터의 파이-모델

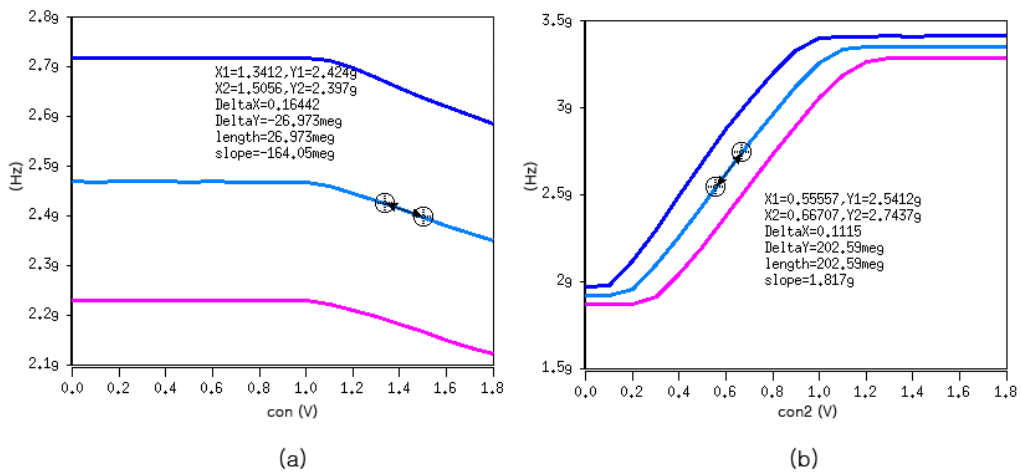


그림 2-16. 전압 조절 발진기의 특성곡선 (Pre-layout sim.)

(a) 세밀한 주파수 조정 (b) 대략적인 주파수 조정



## 제 2-3.2 절. 2분율 선형 위상 검출기의 설계

2분율 선형 위상 검출기는 4개의 래치와 2개의 XOR 게이트, 그리고 1개의 멀티플렉서(믹스)로 이루어져 있다. 그리고 이 모든 디지털 논리 게이트들은 믹스를 조합해서 만들 수 있다.

사용한 믹스의 회로도도 그림 2-17과 같이 차동 입력, 차동 출력을 가지도록 전류 모드 논리회로(Current Mode Logic) 방식으로 설계하였다. 단일 신호 방식(CMOS Logic)을 사용하는 것보다 더 고속으로 동작하기 쉽고, 입출력 크기 조절과 신호 반전이 손쉬운 장점과 스위칭 잡음이 적다는 장점이 있다.

래치와 XOR 게이트의 블록 다이어그램은 그림 2-18과 같다. XOR 게이트의 경우 a 입력과 b 입력이 대칭이 아니라서 듀티-사이클이 깨어지는 단점이 있으나, 믹스 레이아웃을 그대로 응용할 수 있는 장점 때문에 이 구조를 택했다.

설계된 2분율 선형 위상 검출기의 복조 기능을 시뮬레이션해 보았다. 그 결과는 그림 2-19에 도시되어 있다. 1.25Gbps 의 데이터를 2.5GHz 의 캐리어로 이상적으로 변조한 후, 그 입력을 위상 검출기로 넣어 주었다. 그림 2-19의 위 파형은 입력 데이터, 중간 파형은 변조된 신호를 보여주고 있다. 그리고 아래 파형은 설계된 위상 검출기의 복조 결과이다. 복조된 신호의 아이-다이어그램은 그림 2-20과 같다.

위상 검출 곡선에 대한 시뮬레이션은 차동 차지 펌프와 합쳐서 제 2-3.3 절에서 실행하였다.

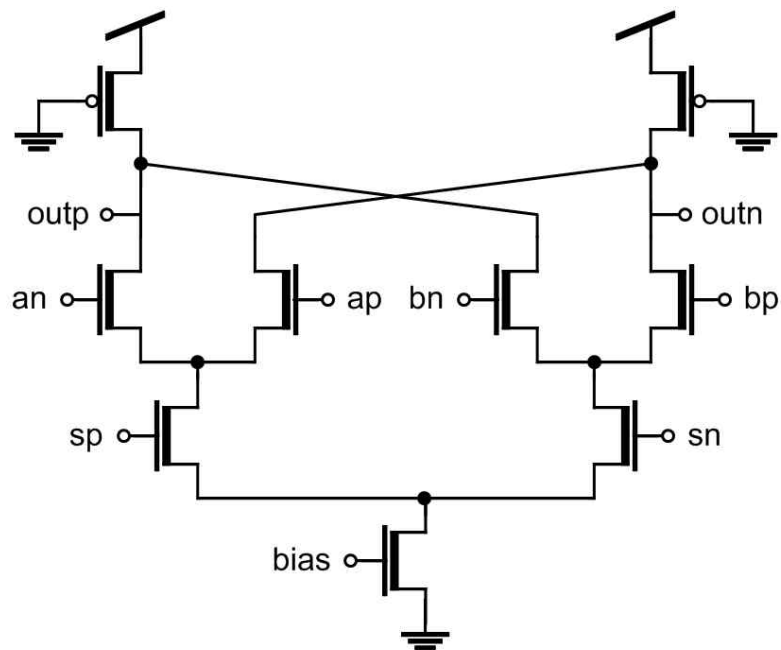


그림 2-17. 차동 멀티플렉서의 회로도

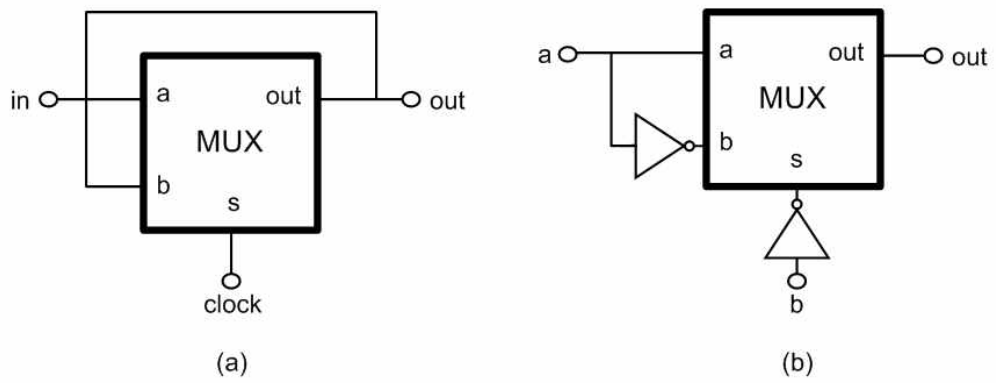


그림 2-18. (a) 차동 래치 (b) 차동 XOR 게이트

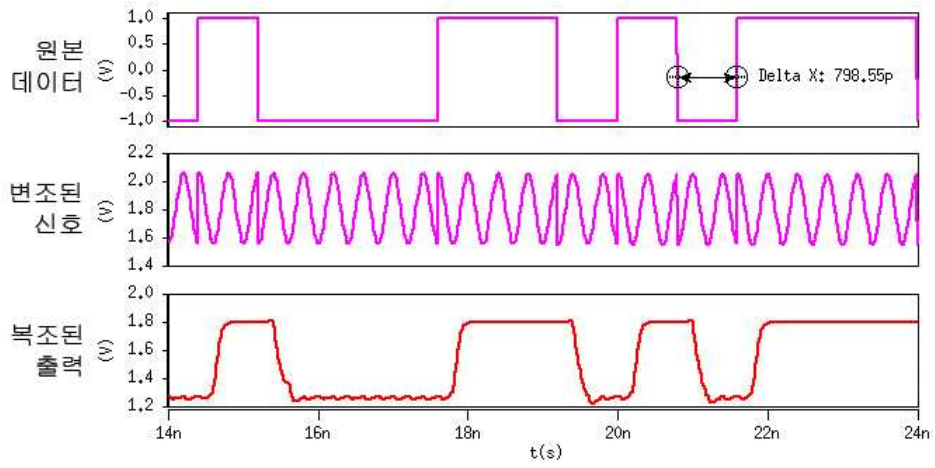


그림 2-19. 설계된 2분율 선형 위상 검출기의 복조 결과 시뮬레이션

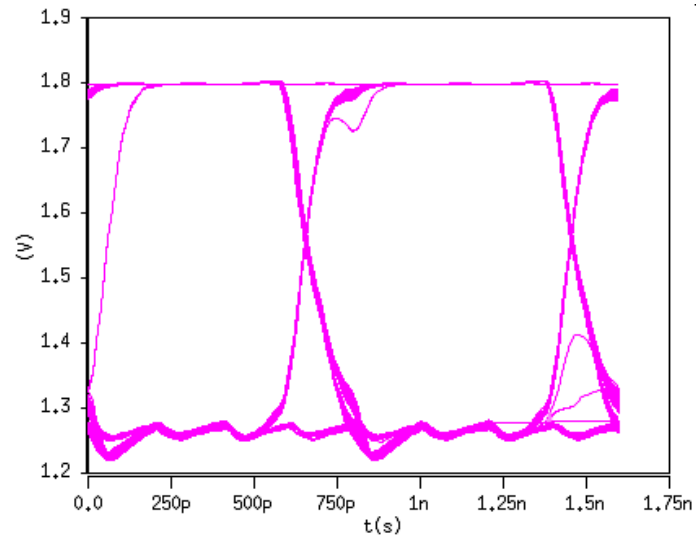


그림 2-20. 복조된 신호의 아이-다이어그램

## 제 2-3.3 절. 차동 차지펌프의 설계

설계한 차동 차지펌프는 [21]에서 사용한 구조를 간략화하고, 목적에 맞게 개량하였다. 앞서 제 2-1 절에서 설명했듯이, Error 신호로 스위칭되는 전류는 Reference 신호로 스위칭되는 전류의 2배가 되어야 한다. 2배의 전류를 구현하는 방법은 여러 가지가 있지만, 가장 정확히 2배의 전류를 구현하는 방법은 똑같은 전류원을 두 개 사용하는 것이다. 이를 구현하기 위하여 그림 2-21과 같이 차동 차지 펌프를 구현하였다. 상향 전류는 전류 복사 회로를 이용하여 출력 노드에 전류를 흘려주게 되고, 하향 전류는 직접 출력 노드에 연결되어 전류를 흘린다.

그림 2-22는 설계된 차지 펌프의 출력 전압당 전류 그래프이다. 하향 전류가 상향 전류의 정확히 2배임을 확인할 수 있다.

설계된 구조는 전류 오프셋이 0에 근접하다는 장점이 있지만[21], 그림 2-22에 표시된 것처럼 출력 전압이 낮거나 높을 때 전류 양이 크게 틀어지는 단점이 있다. 따라서 발진기 조절 전압이 약 0.8 volt ~ 1.5 volt 범위에 있을 때만 제대로 동작할 수 있다. 하지만 이 단점은 대략적인 주파수 조절에 의해 해결될 수 있다.

또 한 가지 단점으로, 그림 2-23에서 보듯이 상향 전류의 스위칭 속도와 하향 전류의 스위칭 속도가 상당히 다르다. 이는 상향 전류는 전류 복사 회로를 거치는 반면 하향 전류는 직접 출력 노드에 연결되기 때문이다. 하지만 BPSK의 신호 특성상 거의 항상 입력이 천이되므로, 위상 검출기의 Reference의 값은 그림 2-24와 같이 87.5%의 확률로 1의 값을 갖는다.<sup>1)</sup> 따라서 느린 상향 전류 쪽을 Reference 신호로 스위칭하고, 빠른 하향 전류 쪽을 Error 신호로 스위칭한다면 이 단점 또한 해결될 수 있다.

위상 검출기와 차동 차지펌프를 합쳐서 위상 오차에 따른 전류 출력, 즉 위상 검출 곡선은 그림 2-25와 같다. 위상 검출 곡선이 선형적이고, 앞서 위상 검출기에서 설명했듯이 고정 지점 근처에서 테드-존이 없는 것을 확인할 수 있다.

---

1) BPSK 변조신호에서 심볼은 50%의 확률로 값이 천이되고, 샘플 4개가 한 심볼을 표현하므로 1/8의 확률로 00 혹은 11의 시퀀스가 생겨, Reference가 low값을 갖는다.

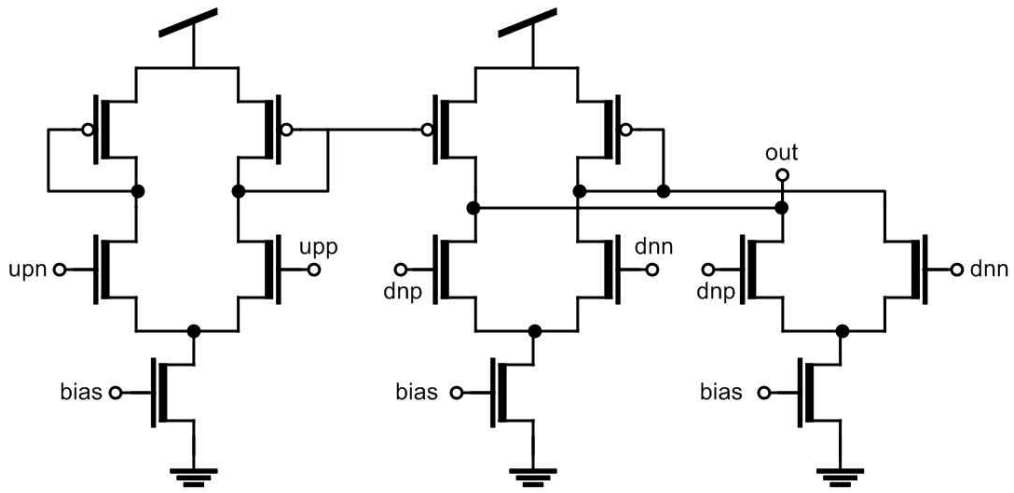


그림 2-21. 설계한 차동 차지펌프의 회로도

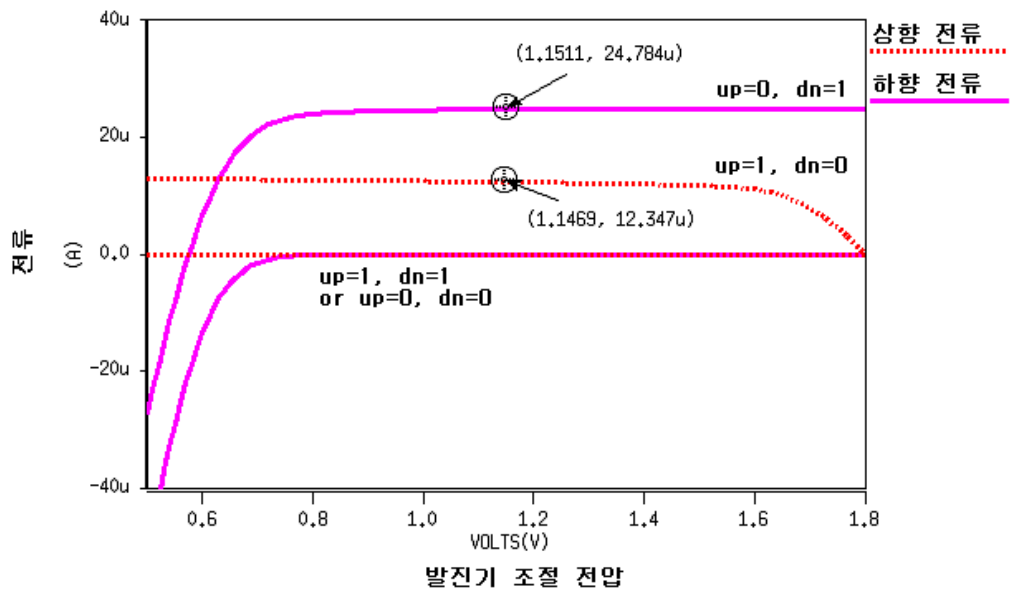


그림 2-22. 출력 전압에 따른 전류의 양 변화

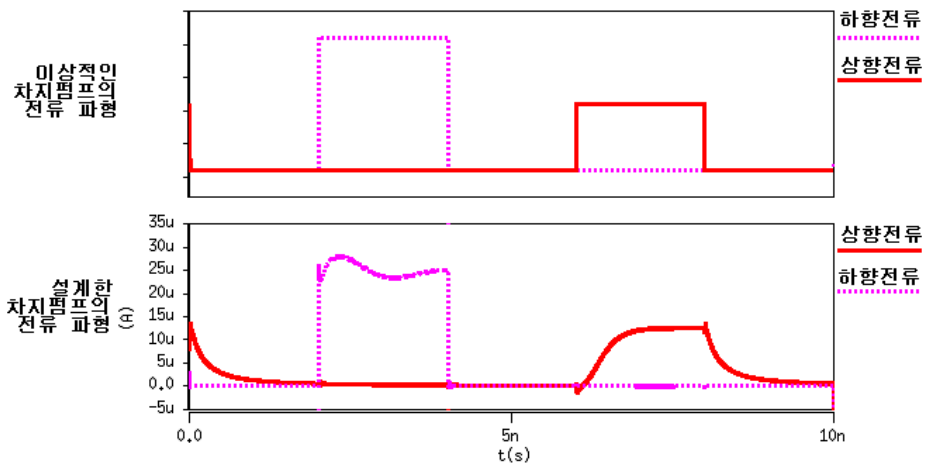


그림 2-23. 차지 펌프의 상향 전류와 하향 전류의 스위칭 속도 비교

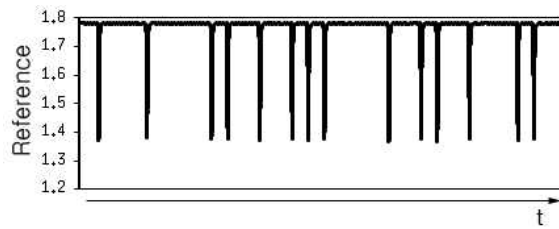


그림 2-24. 시간에 따른 Reference 신호

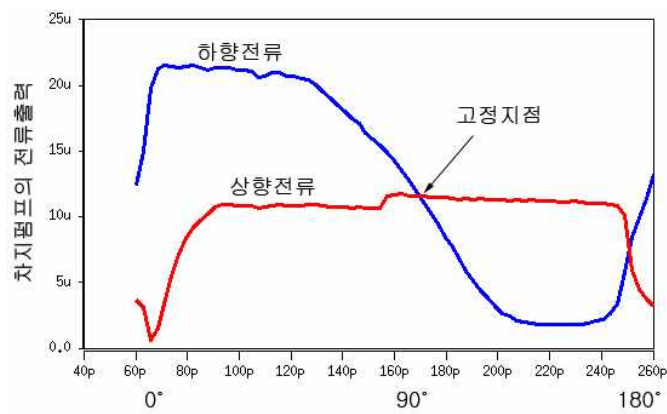


그림 2-25. 위상 오차에 따른 차지펌프의 출력

### 제 2-3.4 절. 전류 바이어스 회로의 설계

본 논문에서 사용하는 모든 전류 바이어스 회로는 아래 그림 2-26와 같은 리플리카 전류 바이어스 회로를 사용하였다. 그림 왼쪽 아래의 bias 블록은 부트스트랩 전류 바이어스 회로를 사용하였고, OP-Amp는 가장 간단한 1차 OTA를 사용하였다.

리플리카 전류 바이어스를 사용해 줌으로써, 외부에서 ref 전압을 변경해주기만 하면 손쉽게 전류 모드 논리회로(CML)의 전압 변동 크기를 조절해줄 수 있다. 또한 전류를 사용하는 모든 회로의 바이어스 전류값을 외부에서 조절해줄 수 있다.

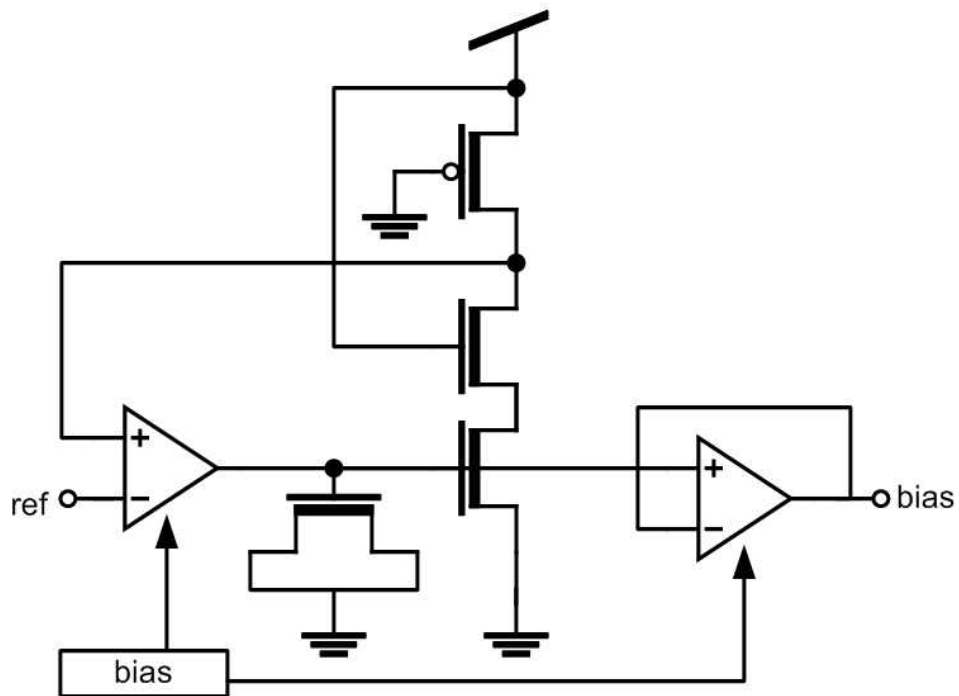


그림 2-26. 리플리카 전류 바이어스 회로

## 제 2-3.5 절. 출력 버퍼의 설계

칩 내부의 신호를 칩의 외부로 출력하기 위해서 큰 전력을 구동할 수 있는 출력 버퍼가 필요하다. 본 연구에서는 모든 디지털 신호가 전류 모드 논리회로(CML)로 동작하므로, 출력 버퍼 또한 CML 출력 버퍼를 사용하였다.

회로도에는 아래 그림 2-27와 같다. 출력 쪽으로 갈수록 더 커지는 CML 버퍼를 4개를 직렬로 연결한 구조이다. 까만색 네모안의 숫자는 MOS의 크기 비율을 나타낸다. 4개의 버퍼의 크기는 1:4:16:128의 비율로 크기가 점점 커진다.

마지막 단에는 50옴 저항을 사용하여 임피던스 매칭을 50옴으로 하였다. 칩을 측정할 때에는 50옴 동축 케이블을 사용하기 때문이다.



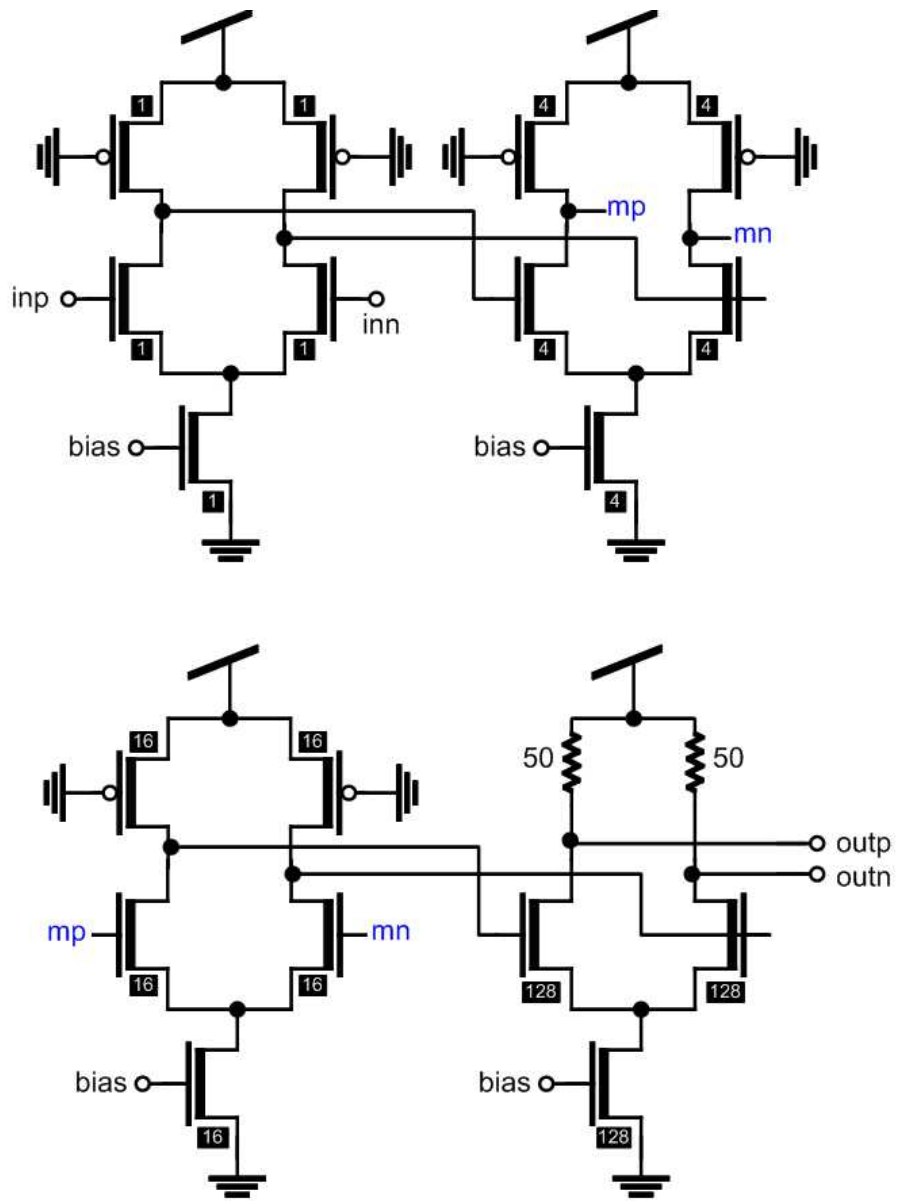


그림 2-27. CML 출력 버퍼의 회로도

## 제 2-4 절. HSpice 시뮬레이션

설계한 BPSK 복조 회로의 동작을 확인하기 위하여, BPSK로 변조된 신호를 생성하여 복조 회로의 입력으로 넣고 포스트-레이아웃 시뮬레이션을 하였다. BPSK 신호는 캐리어 주파수의 정수배 불일치 영향을 확인하기 위하여 2.499GHz의 캐리어 주파수로 변조되었으며, 심볼-레이트는 1.25Gbps 로 설정하여 시뮬레이션을 하였다.

최대한 실제 칩과 흡사하게 동작하도록, 입출력과 전원의 비이상적인 요소를 고려하였다. 입력 신호는 AC 커플링 효과와 COB(Chip On Board) 효과를 고려하여 아래 그림 2-28의 위 회로도 와 같이 모델링하였고, 출력 신호는 아래 회로도 와 같이 간단히 AC 커플링 효과만을 모델링하였다. 발진기 조절 전압 노드는 칩 안에 있고, 루프 필터는 칩 외부에 있으므로 이 역시 COB 효과를 고려하여 아래 그림 2-29와 같이 모델링하였다. 전원에서는 COB의 인덕턴스 성분 때문에 생기는 스위칭 노이즈를 고려해야 하기 때문에, 그림 2-30과 같이 모델링하여 복조 회로에 연결해 주었다.

이상적인 BPSK 변조 신호는 수식적으로 생성해 주었다. 수식은 다음과 같다.

$$BPSK(t) = \sin(2\pi\omega t + d(t) \times \pi/2)$$

$\omega$ 는 캐리어의 주파수이며,  $d(t)$ 는 1.25Gbps,  $2^7 - 1$ 의 PRBS(Pseudo-Random Bit Sequence) 신호이다. 이상적인 BPSK 변조 신호가 AC 커플링과 COB를 거친 결과는 그림 2-31과 같다.

포스트-레이아웃 시뮬레이션 결과는 그림 2-32~2-36 에 도시되었다. 복조 회로가 제대로 동작하고, 클럭도 비교적 작은 지터를 가진다. 복원된 신호의 아이-다이어그램에 209ps 의 지터가 생기는 이유는 앞서 설명했던 캐리어의 주파수 정수배의 불일치의 영향이다. 캐리어의 주기는 약 400.16ps 이고, 지터는 이 주기의 절반에 클럭의 지터가 더해진 값과 같다.

그림 2-32를 보면 위상이 고정되기까지 약 600ns 정도의 시간을 필요로 한다. 본 논문은 CDR 기법을 사용하여 고속의 BPSK 복조 회로의 가능성을 검증하는데 의의를 두고 있기 때문에 버스트 모드에 대한 신호 복원은 불가능하다. 하지만 IEEE802.15.3c 표준의 일부 제안서는 Preamble의 길이를 2us 로 설정하였다. 따라서 600ns 의 위상 추적 시간은 이 제안서에서 제안한 방식을 사용하는 통신의 경우에는 문제가 되지 않는다.

만약 Preamble이 매우 짧은 통신 방식을 사용할 때에는 600ns 의 위상 추적 시간이 통신에 큰 문제가 될 수 있기 때문에 본 논문에서 설계한 BPSK 복조 회로를 사용할 수 없다. 그러나 본 논문에서 제안한 BPSK 복조 방식은 버스트 모드 CDR에도 응용이 가능하므로, 버스트 모드 2분율 CDR을 사용한다면 위상 추적 시간에 따른 문제는 해결될 것이다.

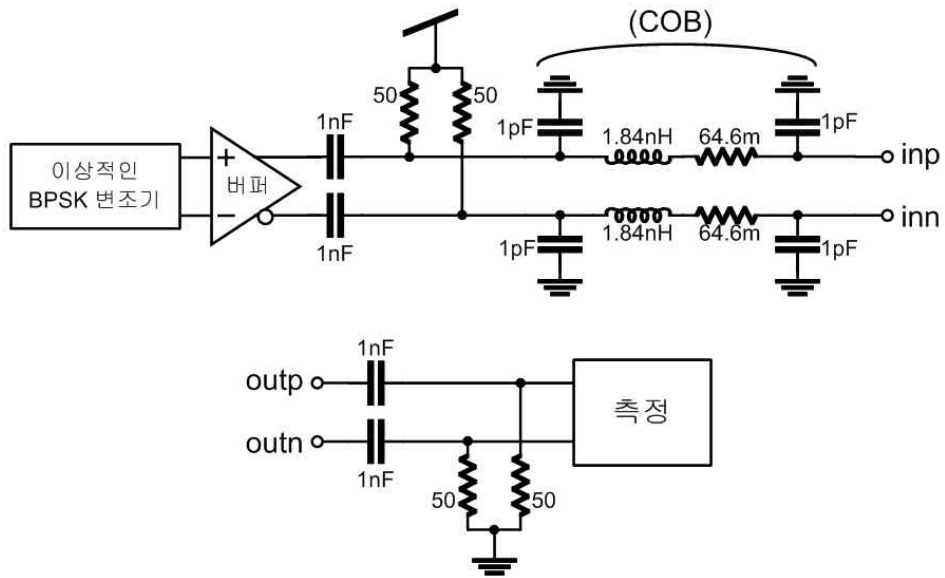


그림 2-28. COB 효과를 고려한 입력과 출력 연결도

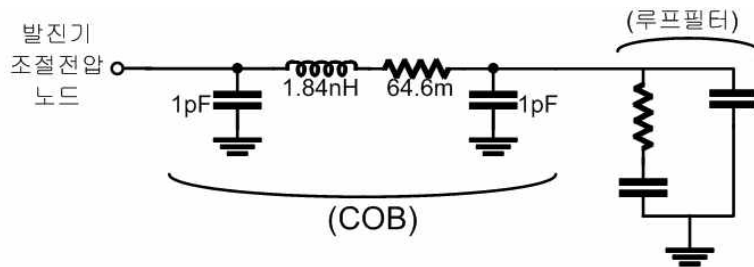


그림 2-29. COB 효과를 고려한 루프 필터 연결도

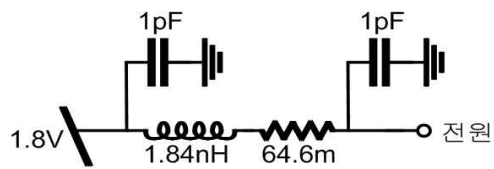


그림 2-30. COB 효과를 고려한 전원 연결도

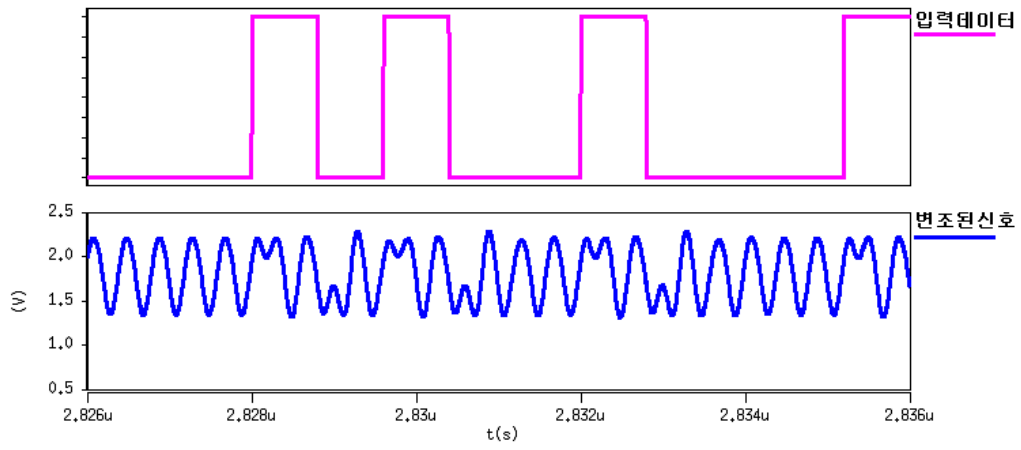


그림 2-31. PRBS 입력데이터와 BPSK로 변조된 신호

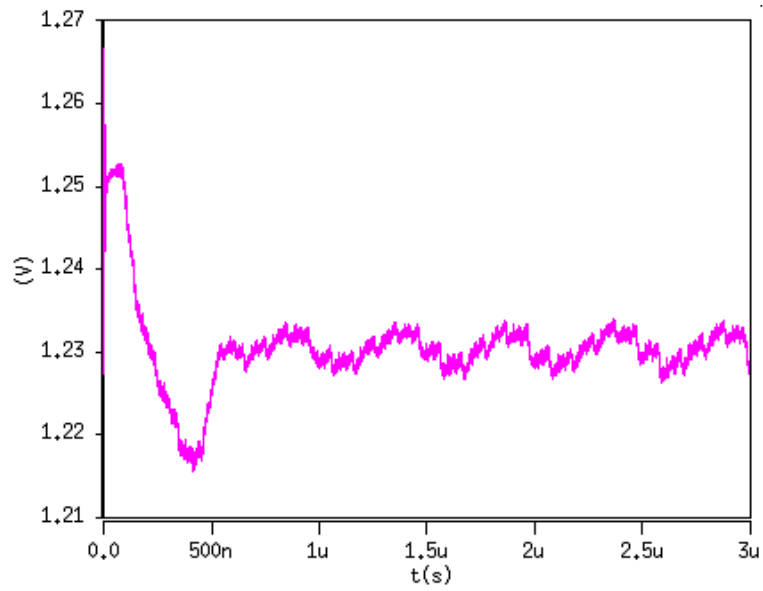


그림 2-32. 위상 고정 과정 중 발전기의 조절 전압 변화

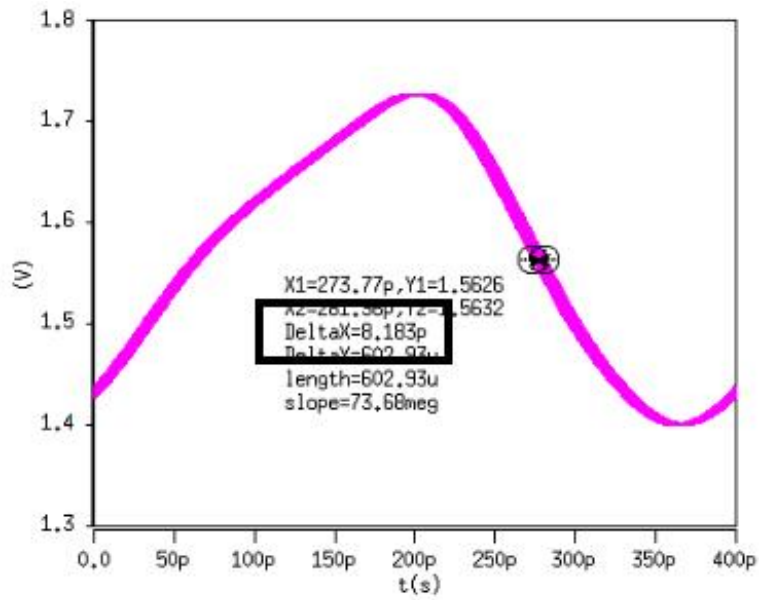


그림 2-33. 복원된 클럭의 아이-다이아그램

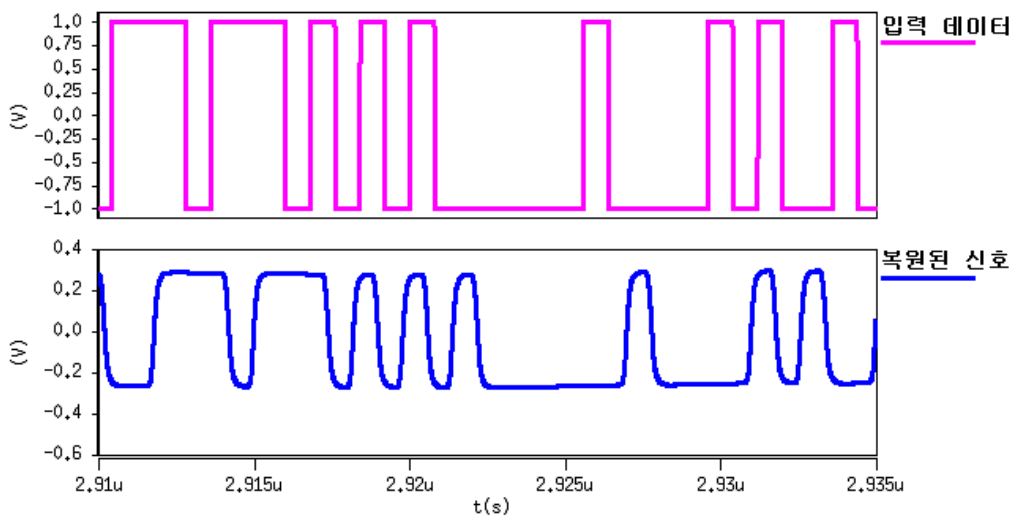


그림 2-34. BPSK 복조 결과

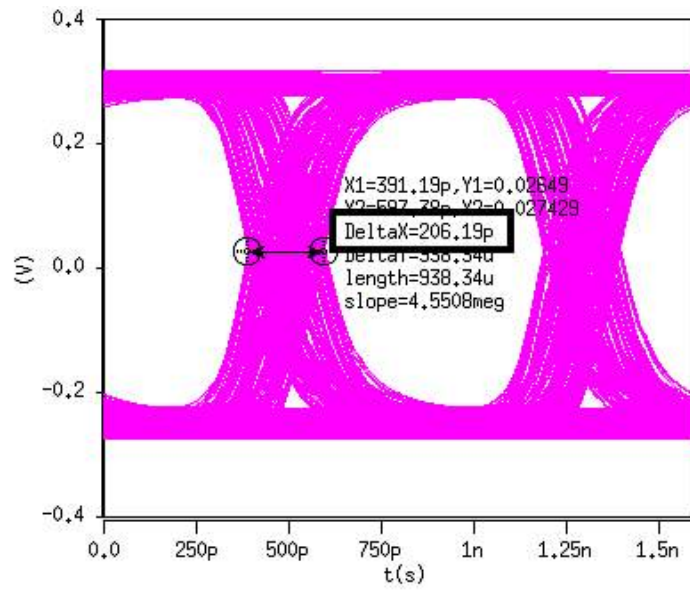


그림 2-35. 복원된 신호의 아이-다이아그램

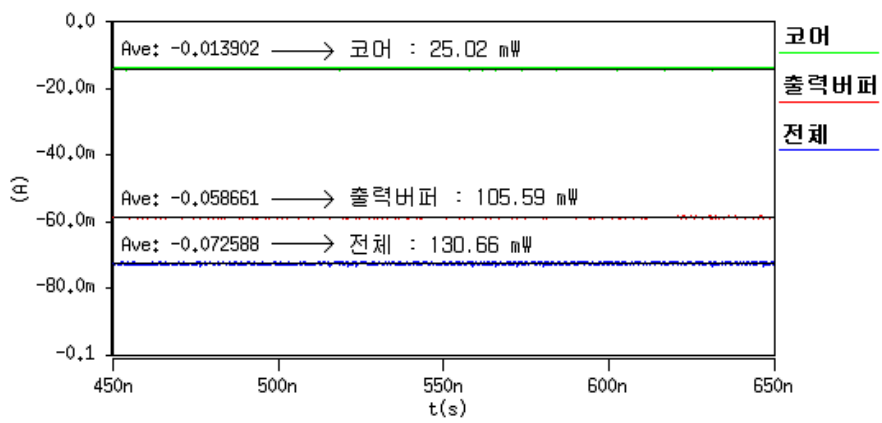


그림 2-36. 시뮬레이션 상에서 측정된 전력 소모

## 제 2-5 절. 칩 레이아웃

제안한 BPSK 복조 회로는 Magnachip/Hynix 0.18 $\mu$ m CMOS 공정을 이용해 그림 2-37과 같이 레이아웃하였다. 출력버퍼에서 전류를 크게 소모하므로, 코어와 별도로 전원과 바이어스를 각각 따로 사용했다. 그리고 코어 또한 위상 검출기, 차지 펌프, 전압조절발진기 3개에 각각 다른 전원과 다른 바이어스를 사용했다.

복조회로 코어의 면적은 약 0.014 mm<sup>2</sup> 이고, 인덕터를 포함한 전체 복조회로의 면적은 약 0.141 mm<sup>2</sup> 이다.

인덕터가 복조회로의 면적 중 90%를 차지하는데, 2.5GHz 정도의 저주파 발진기를 만들기 위해서는 필연적으로 면적이 큰 인덕터를 사용할 수밖에 없기 때문이다. 만약 더 고주파의 캐리어를 사용하는 BPSK 복조회로를 목표로 한다면, 인덕터의 크기는 훨씬 더 작아질 것이다. 캐리어의 주파수가 높아지면 그만큼 데이터 전송속도도 빨라질 수 있다. 결과적으로, BPSK가 고성능으로 갈수록 칩 면적은 작아질 수 있다.

본 논문에서는 위상 검출기 등 디지털 단에서의 속도의 한계 때문에 캐리어의 주파수를 2.5GHz로 설정하였다. 때문에 인덕터의 크기가 매우 큰 것이다.



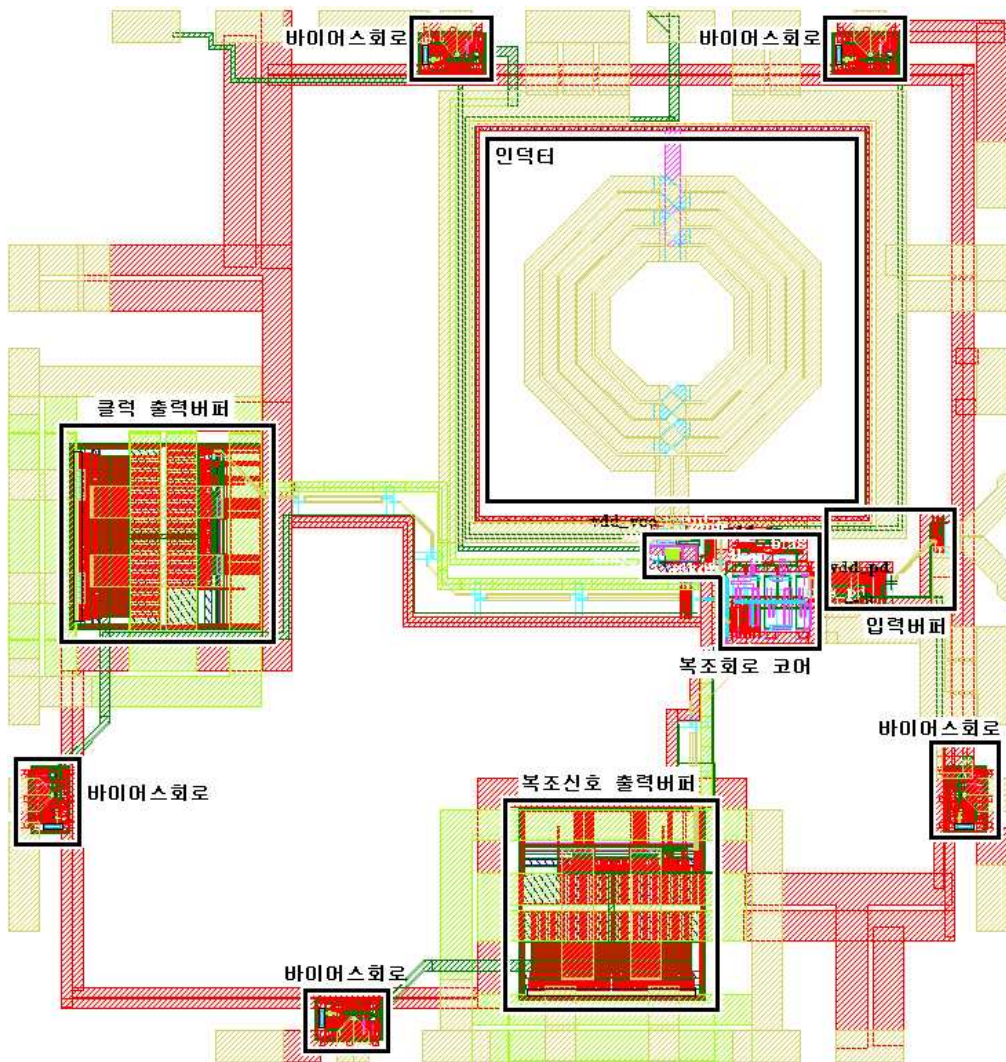


그림 2-37. 설계된 칩의 레이아웃

## 제 3 장. 측정 결과

### 제 3-1 절. 측정 계획

제작한 칩의 측정은 먼저 전압 조절 발진기가 설계한 대로 동작하는지를 확인한다. 그 다음 여러 장비들을 이용해 BPSK 변조 신호를 생성해서 칩에 입력으로 넣어주고, 복조 회로의 복조 기능이 제대로 동작함을 확인한다.

전압 조절 발진기를 검증하기 위해 아래 그림 3-1과 같이 꾸미고 발진기 조절 전압을 바꿔가며 스펙트럼 분석기로 발진 주파수를 측정한다.

BPSK 복조 기능을 검증하기 위해 아래 그림 3-2와 같이 꾸몄다. PPG에서 PRBS 신호를 생성하고, 신호생성기에서 RF 캐리어 신호를 생성하여 믹서로 둘을 곱하면 BPSK 변조신호가 생성된다. 이를 칩에 입력으로 넣어주고, RF 스펙트럼 분석기와 전원공급기를 이용하여 원하는 주파수에서 발진기가 발진하도록 대략적인 주파수 조절 전압을 가해준다. 위상이 고정된 후에는 복조된 신호를 오실로스코프로 파형을 확인하고, PPG로 BER을 측정한다.

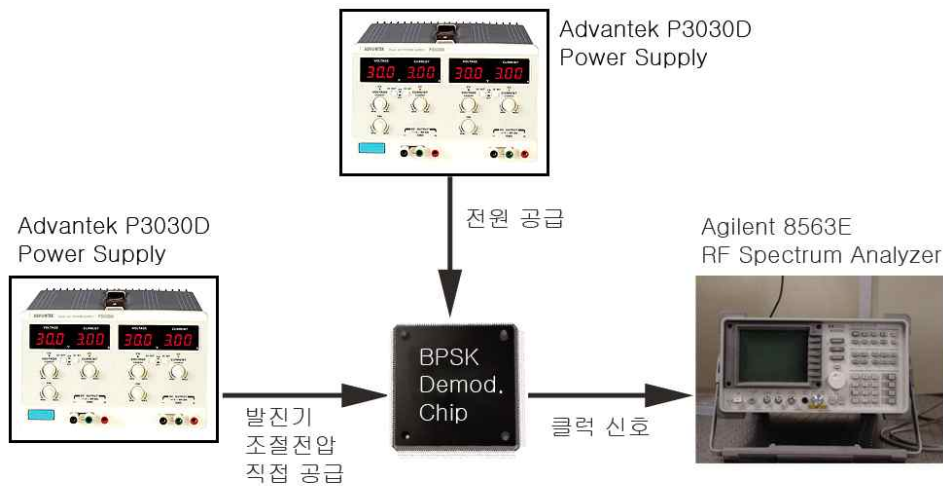


그림 3-1. 전압 조절 발진기의 검증 계획도

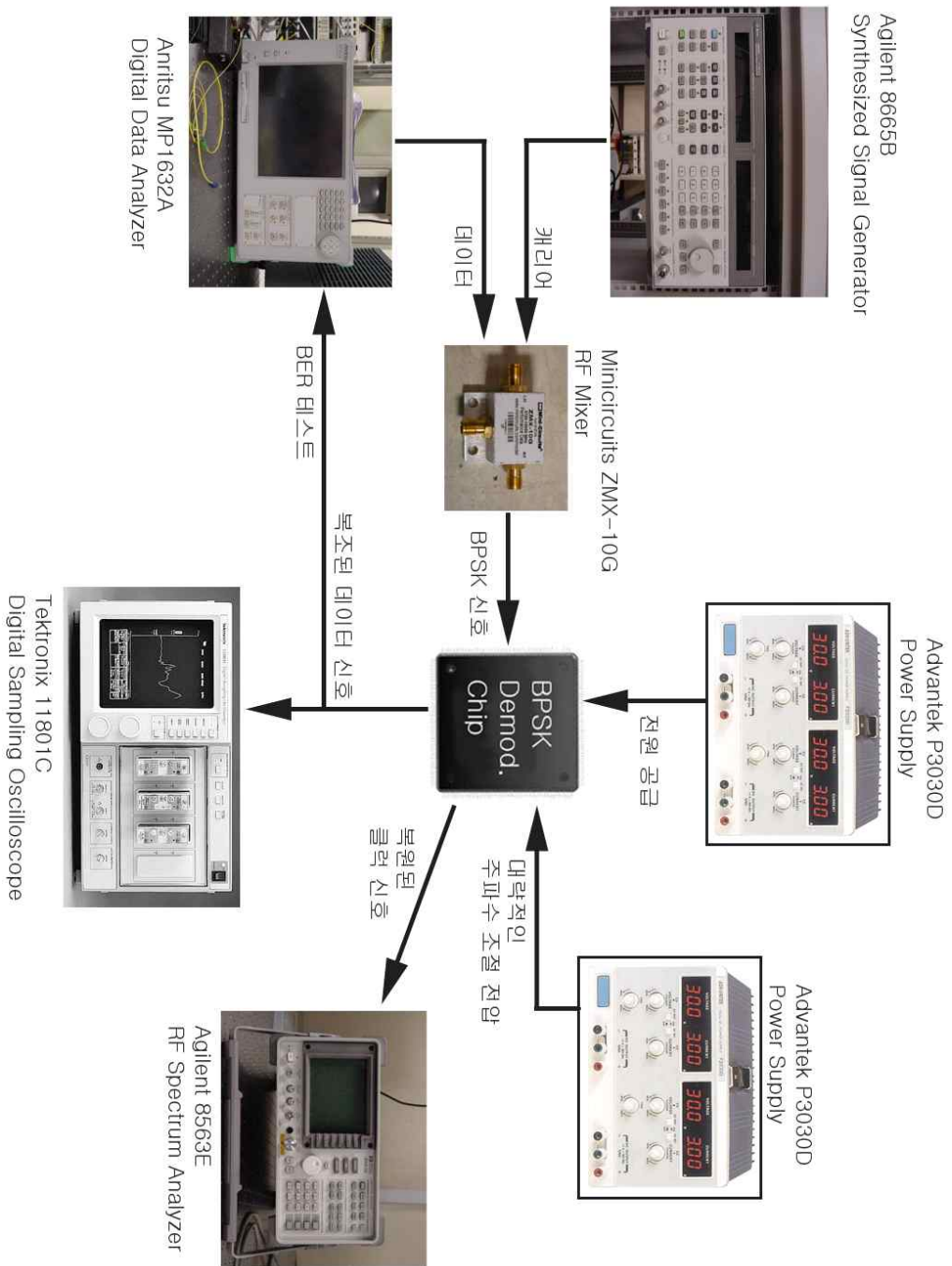


그림 3-2. BPSK 복조회로의 검증 계획도

## 제 3-2 절. 제작된 칩의 측정

제작된 칩은 출력 버퍼의 속도 한계로 인해, 원래의 1.8V의 전원으로서는 제대로 동작하지 않았다. 부득이하게 2.5V로 전원을 높인 후 칩을 측정하였다.

### 제 3-2.1 절. 전압조절 발진기의 특성 측정

본 논문에서 제안한 전압 조절 발진기는 두 개의 주파수 조정 전압을 가지고 있다. 대략적인 조정과 세밀한 조정에 따른 발진 주파수는 아래 그림 3-3과 같다.

그림을 보면 시뮬레이션 결과와 칩의 측정 결과가 크게 다른데, 가장 큰 이유는 인덕터의 모델링이 잘못되었기 때문이라고 유추할 수 있다. 칩을 측정할 때에 2.5V로 전원 전압을 올려서 본래보다 저주파에서 발진하도록 만들었는데도 이 정도의 차이가 나는 것으로 보아 인덕터의 모델링이 잘못되었을 가능성이 크다. 공정에 대한 자료가 부족, 부정확하여 모델링이 제대로 되지 않았을 것이라고 볼 수 있다.

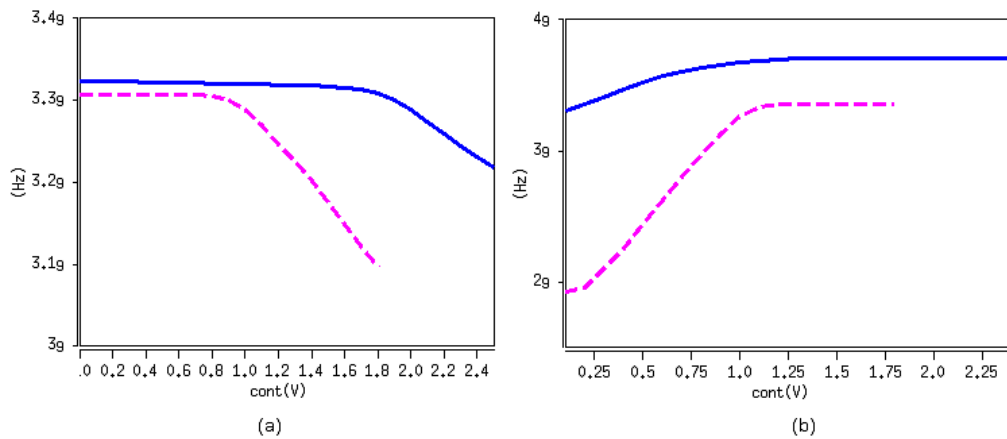


그림 3-3. 전압 조절 발진기의 특성 곡선 (실선: 측정, 점선: 시뮬레이션)

(a) 세밀한 주파수 조정 (b) 대략적인 주파수 조정

## 제 3-2.2 절. 클럭과 데이터 복원

실제로 BPSK 신호의 복조를 검증하기에 앞서, 정현파를 입력으로 넣고, 칩의 주파수와 위상 고정 기능이 제대로 작동하는지를 확인하였다. 즉, 마치 PLL의 검증과 비슷하게, 입력으로 reference clock을 넣고 출력의 스펙트럼을 확인하였다. 입력 신호는 3.24GHz의 정현파이고, 이 때 복원된 클럭의 주파수 스펙트럼은 아래 그림 3-4와 같다. 그림을 보면 정확히 3.24GHz에 위상 고정되었음을 알 수 있다.

이 사실은 적어도 2.5V의 전원 전압에서는 복조 회로의 모든 블록들이 제대로 동작한다는 것을 시사한다. 앞서 말했듯이 인덕터의 모델링 오류로 전압 조절 발진기가 원하는 발진 주파수보다 훨씬 더 큰 주파수에서 발진하게 되었다. 이는 위상 검출기에 상당한 부담을 주게 된다. 클럭의 주파수가 큰 만큼 위상 검출기의 동작속도가 빨라야 하기 때문이다. 그런데 실험 결과 위상 검출기가 3.24GHz 정도의 속도를 정상적으로 감당할 수 있다는 것이 검증되었다.

복원된 클럭의 위상 잡음 또한 측정해 보았다. 그 결과는 그림 3-5에 표시되어 있다. 1MHz의 오프-셋에서 -97.667dBc/Hz 의 위상 잡음을 가진다.

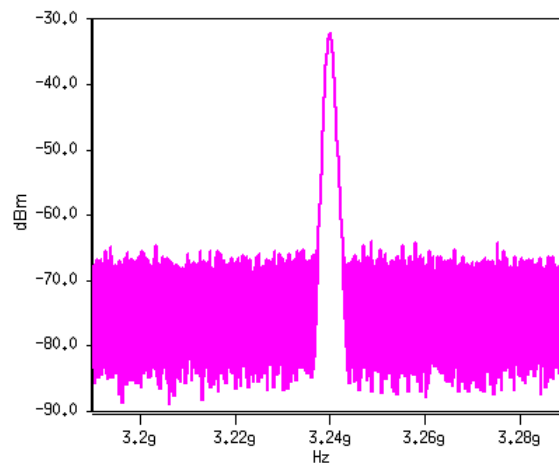


그림 3-4. 복원된 클럭의 주파수 스펙트럼

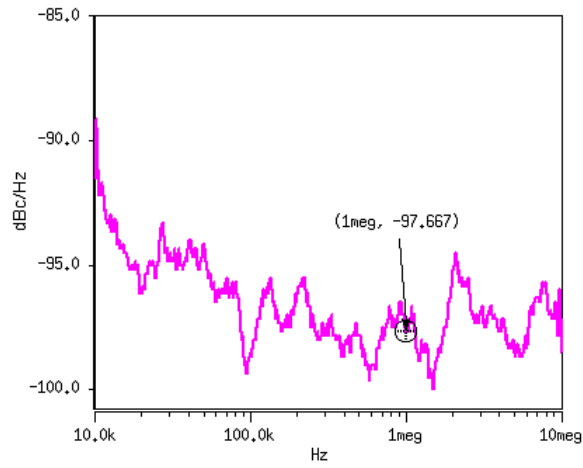


그림 3-5. 복원된 클럭의 위상 잡음

그런데 실제로 BPSK 변조 신호를 입력으로 넣고, 복조 기능을 검증하는 것은 시간 관계상 성공하지 못했다. 하지만 적어도 모든 블록들이 정상 동작하는 것을 확인하였기 때문에, 만약 칩의 측정에 시간적인 여유가 조금 더 있었다면 BPSK 복조 기능도 검증될 수 있었으리라 생각된다.

### 제 3-2.3 절. 입력신호 파워 대 BER 특성 측정

BPSK 복조 기능이 완벽하게 구현되지 않았기 때문에, 본 절의 실험은 행할 수 없었다.

## 제 4 장. 발전방향 모색

본 논문에서 제안된 구조는 가장 간단한 변조방식인 BPSK를 사용한 복조 회로를 사용하였다. 그러나 BPSK는 제 1 장에서 설명했듯이, 주파수 이용 효율이 낮다. 비록 60GHz WPAN에서 비교적 넓은 대역을 자유롭게 사용할 수 있다고는 하나, 더 고속의 통신을 위해서라면 주파수 이용 효율이 더 좋아야 한다.

제안된 구조는 2분율 선형 위상 검출기를 사용했다. 이를 4분율 선형 위상 검출기로 대체하기만 한다면 QPSK(Quadrature Phase-Shift Keying)의 구현이 가능하다. 아래 그림 4-1은 QPSK에서의 복조 과정을 설명한 그림이다. 한 클럭 주기에서 얻은 4개의 디지털 샘플 중 뒤의 2자리만을 취하면 원래의 심볼로 복조가 간단히 완료된다.

더 나아가 16분율 선형 위상 검출기를 사용한다면 16-PSK 또한 구현이 가능하다. 단지 복호화 과정이 BPSK, QPSK처럼 간단하지 못하다는 단점이 있지만, 고속 고정밀의 아날로그-디지털 변환기를 필요로 하지 않는다는 장점은 그대로 가져갈 수 있다. 따라서 기존에 널리 사용되어 온, I 채널과 Q 채널을 각각 검출해서 아날로그-디지털 변환기로 위상을 판단하는 구조보다 전력소모와 칩 면적 측면에서 크게 이점이 있을 것이라 예상된다.

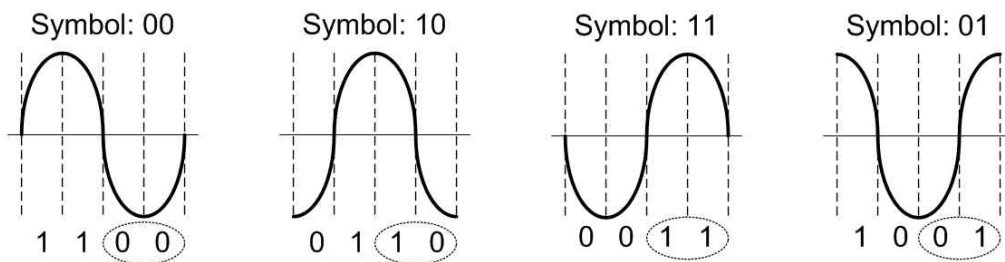


그림 4-1. 4분율 위상 검출기를 이용한 복조 방법



## 제 5 장. 결론

본 논문에서는 60GHz WPAN에 사용될 수 있는 BPSK 복조기를 제안하였다. 기존의 아날로그-디지털 변환기, 혹은 코스타스 루프를 이용한 BPSK 복조기의 단점을 분석하였고, 이를 개선하기 위해서 더 적은 전력소모와 더 작은 칩 면적을 사용하는 새로운 개념의 믹스드 모드 BPSK 복조 회로를 설계하였다. 제안된 회로는 Magnachip/Hynix 0.18 $\mu$ m 공정을 이용하여 2.5GHz 캐리어 주파수에 1.25Gsps의 심볼 전송 속도에서 동작할 수 있도록 설계되었고, Hspice 시뮬레이션을 통하여 동작을 확인하고 실제 칩으로 구현되었다.

제안된 회로의 시뮬레이션상의 성능은 표 5-1의 괄호 안에 정리되어 있다. 그리고 설계된 칩의 성능 또한 측정된 범위 내에서 표 5-1에 정리되어 있다. 칩을 측정하는 시간이 부족하여, 아쉽게도 BPSK 신호의 복조 기능은 검증되지 못하였다.

제안된 회로의 가장 큰 장점은 기존 구조들보다 전력소모와 칩 면적 측면에서 비약적인 개선이 이루어졌다는 점이다. 기존 구조들을 분석하여 설계된 회로와 동일한 성능을 내기 위해서 필요한 전력과 칩 면적을 유추한 결과가 아래 표 5-2에 정리되어 있다. 비록 아날로그-디지털 변환기를 사용하지 않기 때문에 주파수 영역 등화기의 사용이 불가능하다는 단점이 있지만, 응용 분야에 따라서는 등화기가 필요하지 않는 경우도 많다. 이런 분야에서는 본 논문에서 제안한 구조를 사용하면 기존 구조를 사용하는 것보다 훨씬 적은 전력과 칩 면적으로 1.25Gbps의 빠른 데이터 전송을 안정적으로 할 수 있다. 비록 실제 칩 구현을 통한 검증은 성공하지 못했지만, 60GHz WPAN 표준의 특정 응용분야에서 요구하는 넓은 대역의 단일 캐리어 전송에 적합한 복조기라고 볼 수 있다.

향후 진행되어야 하는 연구로는 QPSK, 16PSK 등의 M-PSK로의 발전을 도모하여 주파수 이용 효율을 높이는 방법과, 최대 전송 속도 자체를 더 높이는 연구 등을 들 수 있다. 아날로그-디지털 변환기를 사용하지 않기 때문에 신호의 크기를 검출할 수 없어서 QAM(Quadrature Amplitude Modulation) 혹은 APSK

(Amplitude Phase-Shift Keying) 복조기로 발전할 수는 없지만, M-PSK 만으로도 상당한 수준의 주파수 이용 효율을 낼 수 있기 때문에 충분히 가치가 있는 연구라고 할 수 있다. 현재 더 나은 구조로 QPSK 복조회로 설계를 연구 진행중에 있다.

Process	Magnachip/Hynix 0.18 $\mu$ m
Supply Voltage	2.5 V (1.8 V)
Carrier Frequency	3.24 GHz (2.5 GHz)
Phase noise (@ 1MHz offset)	-97.667 dBc/Hz
Symbol Rate	검증실패 (1.25 Gsps)
Bit Error Rate	검증실패 (Error free)
Power Consumption (전체)	195 mW (130.66 mW)
Power Consumption (코어)	38.2 mW (25.02 mW)
Chip Area	0.141 mm <sup>2</sup>

표 5-1. 제작된 칩의 특성 (괄호 : 시뮬레이션 결과)

	코스타스 루프	ADC를 사용한 I/Q 복조	제안된 회로	시뮬레이션 결과
Power Consumption (mW)	14.6 + $\alpha$	227 + $\alpha$	38.2	25.02
Chip Area (mm <sup>2</sup> )	0.96 + $\alpha$	0.658 + $\alpha$	0.141	0.141

표 5-2. 제안된 칩과 동일한 성능을 내기 위한 다른 구조의 특성

## 참고문헌

- [1] "Wireless 1394 from microwave to millimeter-wave: recent R&D and standard activities in MMAC", IEEE P802.15 Working Group for WPANs, 12 Jul. 2004
- [2] 정보통신부 보도자료, "UWB 및 60GHz대 밀리미터파 주파수 분배", 2006년 7월 10일 배포
- [3] "Re-summarization of merged Usage Model Definitions parameters", IEEE P802.15 Working Group for WPANs, 15 Sep. 2006
- [4] "SCBT based 60GHz PHY Proposal", IEEE P802.15 Working Group for WPANs, 18 Jul. 2007
- [5] "CoMPA PHY proposal", IEEE P802.15 Working Group for WPANs, 7 May. 2007
- [6] "TG3c Channel Modeling Sub-committee Final Report", IEEE P802.15 Working Group for WPANs, 13 Mar. 2007
- [7] John D. Oetting, "A Comparison of Modulation Techniques for Digital Radio", IEEE Transactions on Communications, Vol. COM-27, No. 12, DEC. 1979
- [8] David Chamla, Andreas Kaiser, "A  $G_m - C$  Low-pass Filter for Zero-IF Mobile Applications With a Very Wide Tuning Range", JSSC, Vol. 40, No. 7,

Jul. 2005

[9] Sunghyun Park, Yorgos Palaskas, Michael P. Flynn, "A 4GS/s 4b Flash ADC in 0.18 $\mu$ m CMOS", ISSCC, No. 31.3, Feb. 2006

[10] Sunghyun Park, Yorgos Palaskas, Ashoke Ravi, Ralph E. Bishop, Michael P. Flynn, "A 3.5 GS/s 5-b Flash ADC in 90 nm CMOS", CICC, No. 12-3, pp. 489-492, 2006

[11] Duho Kim, Young-kwang Seo, Hyunchin Kim, Woo-young Choi, "A Novel BPSK Demodulating Scheme Using a Half-rate Bang-bang Phase Detector", ISOC Oral Session, No. 5.2, pp. 87-90, 2006

[12] Jafar Savoj, Behzad Razavi, "A 10-Gb/s CMOS Clock and Data Recovery Circuit with a Half-Rate Linear Phase Detector", JSSC, Vol. 36, No. 5, pp. 761-767, May. 2001

[13] Rainer Kreienkamp, Ulrich Langmann, Christoph Zimmermann, Takuma Aoyama, Hubert Siedhoff, "A 10-Gb/s CMOS Clock and Data Recovery Circuit With an Analog Phase Interpolator", JSSC, Vol. 40, No. 3, pp. 736-743, Mar. 2005

[14] Yalcin Alper Eken, John P. Uyemura, "Multiple-GHz Ring and LC VCOs in 0.18 $\mu$ m CMOS", IEEE Radio Frequency Integrated Circuits Symposium, pp. 475-478, 2004

[15] Yusuke Ohtomo, Kazuyoshi Nishimura, Masafumi Nogawa, "A 12.5-Gb/s Parallel Phase Detection Clock and Data Recovery Circuit in 0.13- $\mu$ m CMOS",

JSSC, Vol. 41, No. 9, pp. 2052–2057, Sep. 2006

[16] Sangyoon Jeon, Sungjae Jung, Donghyun Lee, Heungbae Lee, "A Fully Integrated CMOS LC VCO and Frequency Divider for UHF RFID Reader", CAS, 2006 IEEE North-East Workshop on, pp. 117–120, Jun. 2006

[17] John R. Long, Miles A. Copeland, "The Modeling, Characterization, and Design of Monolithic Inductors for Silicon RF IC's", JSSC, Vol. 32, No. 3, pp. 357–369, Mar. 1997

[18] ASITIC: Analysis and Simulation of Spiral Inductors and Transformers for ICs, "<http://rfic.eecs.berkeley.edu/~niknejad/asitic.html>"

[19] Nam-Jin Oh, Sang-Gug Lee, "A Simple Model Parameter Extraction Methodology for an On-Chip Spiral Inductor", ETRI Journal, Vol. 28, No. 1, Feb. 2006

[20] Salvatore Levantino, Carlo Samori, Andrea Bonfanti, Sander L. J. Gierkink, Andrea L. Lacaita, Vito Boccuzzi, "Frequency Dependence on Bias Current in 5-GHz CMOS VCOs: Impact on Tuning Range and Flicker Noise Upconversion", JSSC, Vol. 37, No. 8, pp. 1003–1011, Aug. 2002

[21] John G. Maneatis, "Low-Jitter Process-Independent DLL and PLL Based on Self-Biased Techniques", JSSC, Vol. 31, No. 11, Nov. 1996

## ABSTRACT

### 1.25Gbps Simple Mixed-mode BPSK Demodulator Using Half-rate Linear Phase Detector for 60GHz Wireless Communications

In this paper, a novel high-speed BPSK(Binary Phase-Shift Keying) demodulator which is suitable to the receiver of IEEE802.15.3c 60GHz millimeter-wave WPAN(Wireless Personal Network) is proposed.

In several region of applications of 60GHz millimeter-wave WPAN, multi-path effect is negligible. Therefore simple single-carrier transmission is more profitable than OFDM(Orthogonal Frequency-Divided Multiplexing). This transmission requires a high-speed demodulator using large-band. However the Costas loop or digital approach which are generally used for demodulator need large power-consumption and large chip-area.

For improve their disadvantages, a novel BPSK demodulator which is aimed from the clock-data recovery circuit with PD(Phase Detector) characteristic like Costas loop is proposed. Because BPSK modulated signal has two phase(0deg, 180deg), half-rate PD is used for detecting phase of signal. For low jitter, LC-tank voltage-controlled oscillator is used.

Designed circuit is implemented by Magnachip/Hynix 0.18 $\mu$ m CMOS process and simulated at 1.25Gbps. Chip-area is 0.141mm<sup>2</sup> and Power consumption is 25.02mW. Although low-power and area, high-speed demodulating is available.

---

Key words: IEEE802.15.3c, Millimeter-wave, WPAN, BPSK, Demodulator, Half-rate Linear PD, LC-tank VCO, Clock-Data Recovery