

Gbps 급 LVDS I/O에 관한 연구

연세대학교 대학원

전기·전자공학과

이 천 오

Gbps 급 LVDS I/O에 관한 연구

지도 최 우 영 교수

이 논문을 석사 학위논문으로 제출함

2002년 12월 일

연세대학교 대학원

전기·전자공학과

이 천 오

이천오의 석사 학위논문을 인준함

심사위원_____인

심사위원_____인

심사위원_____인

연세대학교 대학원

2002년 12월 일

차 례

그림차례	iii
표차례	vi
국문요약	vii
제 1 장. 서 론	1
제 2 장. 연구 배경	3
제 2.1 절. 일반적인 CMOS signaling	3
제 2.2 절. Low swing, Incident-Wave Signaling	5
제 2.3 절. 신호 전송 속도의 한계	6
제 3 장. LVDS I/O 버퍼	9
제 3.1 절. LVDS 입력 버퍼	10
제 3.2 절. LVDS 출력 버퍼	14
제 3.3 절. Open drain 출력 버퍼	18
제 3.4 절. Chip layout	20
제 4 장. 측정 결과	21

제 4.1 절. Input buffer 측정 결과	22
제 4.2 절. Output buffer 측정 결과	24
제 4.3 절. LVDS I/O BER 측정 결과	26
제 5 장. Full-link 시뮬레이션	28
제 5.1 절. 채널 모델링	28
제 5.2 절. Full-link 시뮬레이션	37
제 5.3 절. 개선된 LVDS output buffer 시뮬레이션	39
제 6 장. 결 론	44
참고문헌	45
ABSTRACT	47

그림 차례

그림 2.1	일반적 신호 전송 시스템	4
그림 2.2	CMOS Inverter에서의 입력 신호	4
그림 2.3	Low swing, incident wave 신호 시스템	5
그림 2.4	Eye diagram	6
그림 2.5	Device time constant 측정	7
그림 3.1	LVDS I/O buffer[1]	9
그림 3.2	LVDS input buffer	11
그림 3.3	Bazes's amplifier	11
그림 3.4	High-gain amplifier	12
그림 3.5	Differential amplifier with PMOS feedback	12
그림 3.6 (a)	Input data eye-diagram : LVDS input buffer @2Gbps, 3Gbps	13
그림 3.6 (b)	Output data eye-diagram : LVDS input buffer @2Gbps ·	13
그림 3.6 (c)	Output data eye-diagram : LVDS input buffer @3Gbps ·	13
그림 3.7	LVDS output buffer	15
그림 3.8	Pre-driver(LVDS output buffer)	15
그림 3.9	Main-driver(LVDS output buffer)	16
그림 3.10 (a)	Input data eye-diagram : LVDS output buffer @1Gbps, 2Gbps	17
그림 3.10 (b)	Output data eye-diagram : LVDS output buffer @1Gbps	17
그림 3.10 (c)	Output data eye-diagram : LVDS output buffer @2Gbps	17

그림 3.11 Open drain buffer interface	19
그림 3.12 Open drain output buffer	19
그림 3.13 (a) LVDS(input) - LVDS(output) layout	20
그림 3.13 (b) LVDS(input) - Open drain(output) layout	20
그림 4.1 Input buffer experiment setup	21
그림 4.2 Output buffer experiment setup	22
그림 4.3 (a) 1Gbps signal(11001010)	23
그림 4.3 (b) 1.5Gbps signal(11001010)	23
그림 4.3 (c) 2Gbps signal(11001010)	23
그림 4.3 (d) 2.5Gbps signal(11001010)	23
그림 4.4 Control 전압에 따른 common-mode 전압의 변화	24
그림 4.5 Output waveform(real-time oscilloscope)	25
그림 4.6 1Gbps eye-diagram	26
그림 5.1 Strip-line impedance calculator[13]	29
그림 5.2 Peak-to-Peak loss[14]	30
그림 5.3 (a) 전송라인을 지나기 전의 신호 파형(5Gbps, 30inch)	31
그림 5.3 (b) 전송라인을 지난 후 신호 파형(5Gbps, 30inch)	31
그림 5.4 Package model[15]	32
그림 5.5 TDR measurement setup(밑에서 삽입한 경우)	33
그림 5.6 TDR 파형. 왼쪽: SMA connector 밑에서 삽입 오른쪽: SMA connector 위에서 삽입	33
그림 5.7 (a) TDR waveform	35
그림 5.7 (b) Simulated TDR waveform	35
그림 5.8 Channel modeling	36
그림 5.9 TDR simulation model	36
그림 5.10 Full-link configuration(simulation)	38

그림 5.11	(a) Output data eye diagram @output buffer, 2Gbps	38
그림 5.11	(b) Input data eye diagram @input buffer, 2Gbps	38
그림 5.11	(c) Output data eye diagram @input buffer, 2Gbps	38
그림 5.12	(a) Pre-driver (제안된 LVDS output buffer)	40
그림 5.12	(b) Main-driver (제안된 LVDS output buffer)	40
그림 5.13	(a) Eye-diagram, 기본 구조 사용시 @3Gbps	41
그림 5.13	(b) Eye-diagram, 이상적인 전원 사용시 @3Gbps	41
그림 5.13	(c) Eye-diagram, 제안된 구조 사용시 @3Gbps	41
그림 5.14	(a) 구현된 LVDS output buffer eye-diagram @2Gbps	42
그림 5.14	(b) 제안된 LVDS output buffer eye-diagram @2Gbps	42
그림 5.15	Full-link configuration(with enhanced output buffer)	43
그림 5.16	(a) Output data eye-diagram @output buffer, 3Gbps	43
그림 5.16	(b) Input data eye-diagram @input buffer, 3Gbps	43
그림 5.16	(c) Output data eye-diagram @input buffer, 3Gbps	43

표 차 례

표 4.1 BERT 측정 결과	27
표 4.2 LVDS I/O 성능	27
표 5.1 전송 선로 parameters	29
표 5.2 Eye-opening 비교	42

국 문 요 약

Gbps 급 LVDS I/O에 관한 연구

본 논문에서는 고속의 데이터 전송이 필요한 SoC(System on Chip)나 ASIC(Application Specific Integrated Circuit)등의 I/O로 응용될 수 있는 Gbps 급 고속 LVDS(Low Voltage Differential Signaling) I/O를 구현하였다. 구현된 회로는 NRZ 형태의 신호에 대해 최대 2Gbps의 전송이 가능하며 IP(Intellectual Property)화가 용이하도록 자체적인 바이어스 회로를 포함하였다.

본 연구에서 구현된 LVDS 입력 버퍼는 각기 다른 특성을 갖는 증폭기의 조합과 negative feed-back을 통해 구성되었으며, 3Gbps의 대역폭을 갖는다. 2Gbps의 대역폭을 갖는 출력 버퍼의 경우 기존의 저항을 이용한 feedback 부분을 NMOS로 대체하여 간소화했고 불필요한 출력 레벨을 줄인 pre-driver를 사용하여 효율적인 main-driver 구동 능력을 갖는다.

설계된 칩은 TSMC 0.25um 1P5M 공정을 통하여 제작되었으며 측정 장비를 통하여 성능을 검증하였다. 측정결과 2Gbps의 LVDS I/O link 구성이 가능함을 확인하였으며, 향후 보다 나은 LVDS 링크 구현을 위해서는 driver 부분의 common-mode 전압 조절 회로와 main-driver 구조 개선이 필요하다. 이에 적합한 구조를 제안하였으며 시뮬레이션 결과 3Gbps이상의 속도를 가진다.

칩 성능 측정을 위해 사용된 PCB와 칩 패키지 파라미터등을 TDR(Time

Domain Reflectometry)을 이용하여 추출하였다. 이런 파라미터를 바탕으로 채널이 포함된 post-simulation을 수행하여 측정 결과와의 비교를 통해 일치함을 확인 할 수 있었다. 이로부터 채널이 적절히 모델링 된다면 설계단계에서 충분한 칩의 성능 예측이 가능함을 알 수 있다.

구현된 회로는 ANSI/TIA/EIA-644 규격에 제시된 655Mbps 대역폭을 충분히 만족시킬 수 있는 성능이며 SoC나 ASIC의 IP로 충분히 활용될 수 있다.

핵심되는 말 : 고속 I/O, LVDS I/O , CMOS 0.25 μ m, 직렬 링크

제 1 장. 서 론

최근 통신시스템의 경향은 고속화 및 대용량화이다. 이에 상응하여 내부 칩간, backplane간 전송속도가 지속적으로 증가하고 있다. 이런 System에 사용하는 IC 들은 Gbps이상의 직렬 전송 속도(serial data rate)가 요구되고 있다. 또한 IC 제조 공정이 발달함에 따라 칩 내 data 처리 속도도 지속적으로 증가해 I/O의 bandwidth가 시스템 성능향상의 최대 병목지점으로 작용하고 있다.

기존의 CMOS 인버터를 기본으로 하는 I/O의 경우 100Mbps/wire 또는 이하의 전송 속도를 가지며 많은 전력소모가 있었다. 또한 공정기술의 발달에 따른 칩 내 클럭 속도가 증가하더라도 이에 상응하는 만큼의 전송 속도가 증가하지는 못해 왔다. 이것 때문에 최근 CPU등의 경우처럼 외부 data 전송속도와 내부의 클럭 속도가 일정한 배수만큼 차이를 두고 설계가 이뤄지고 있다. 그리고 이러한 CMOS 인버터 구조를 사용한 parallel I/O는 clock synchronization, bus termination, simultaneous switching noise(SSO) 등의 문제점이 있었다. 그래서 최근의 high-speed I/O는 이의 해결을 위해 Serializer-Deserializer(SerDes)를 이용한 Gbps급 serial I/O를 사용하고 있는 추세이다. 이런 고속 I/O들은 보다 나은 BER 특성을 위해 외부 noise나 전원 noise에 민감하지 않도록 current mode differential signaling, 내부 종단 저항, edge rate control등을 사용하고 있다.

최근의 고속 I/O 중에 가장 주목을 받고 있는 I/O로는 LVDS(Low Voltage Differential Signaling)를 들수 있다[1]. 이는 4mA의 낮은 channel 전류를 사용하기 때문에 다른 I/O들에 비해 낮은 전력소모와 우수한 EMI(electro-magnetic interference) 특성을 가진다. 현재 수백Mbps급에서 1Gbps급용 ASIC 또는 SoC용 I/O로 많이 사용되고 있다.

본 논문에서는 이와 같은 Gbps급 LVDS I/O를 구현하였고, IP(Intellectual Property)화가 용이하도록 자체 bias 회로를 포함하였다. 사용된 output buffer 구성은 [2]에 제시된 구조인 저항을 이용한 common-mode feedback 회로를 두 개의 NMOS로 대체하여 간소화했고, input buffer는 negative feedback을 이용한 새로

운 형태로 구성되었다. Feedback이 있는 경우와 없는 경우 시뮬레이션 상으로 약 66% (1.8Gbps -> 3Gbps)의 성능차이를 확인 할 수 있었고 실제 측정에서도 3Gbps의 input bitrate를 확인할 수 있었다. 설계된 I/O는 0.25um CMOS 공정을 이용하여 제작되었으며, 제작된 칩은 측정 장비를 이용하여 성능이 검증되었다. 또한 구현된 LVDS buffer를 이용하여 실제적 channel parameter를 고려한 full-link simulation을 수행하였으며, 측정 결과와의 비교를 통해 simulation의 유효성을 검증하였다.

2장에서는 고속I/O에 기본이 되는 신호 전송 방법과 산업계에서 사용되고 있는 고속 I/O들에 대해 설명하고 3장에서는 구현된 LVDS buffer 회로에 대해 보이고 4장에서는 설계 단계에서 성능예측이 가능한 channel modeling에 대해서 설명하고 5장에서는 측정결과로부터 성능을 분석하고, 이를 바탕으로 개선된 형태의 LVDS output buffer를 제안하며 마지막으로 6장에서 결론을 맺는다.

제 2 장. 연구 배경

제 2.1 절. 일반적인 CMOS signaling

그림 2.1은 일반적인 신호 전송 시스템을 간단하게 그림으로 나타낸 것이다. transmitter와 receiver 모두 CMOS inverter로 구성되어 있다. 채널은 일반적으로 cable이나 PC-board등이 사용되며 50Ω의 특성 임피던스(characteristic impedance)를 갖는 전송라인(transmission line)으로 구성된다. 보통의 경우 transmitter의 출력저항(output impedance)이 수 백Ω 정도의 값을 가지며 receiver는 특별한 종단 저항(termination resistor)을 가지지 않는다. 그리고 로직 레벨로는 각각 두 개의 전압($V_{DD} = 3.3V$, $GND = 0V$)으로 high(1), low(0) 값을 나타낸다. 일반적인 신호 전송 시스템은 transmitter에서의 출력저항이 높아서 채널에 incident wave 방식의 신호전송 방법을 사용할 수가 없다. 그 대신 신호가 채널상에서 부정합(impedance mismatching)으로 인한 다수의 반사 후에 신호가 원하는 값에 도달하는 때까지 신호를 보내지 않고 기다린 후 다음 신호를 보내는 방법으로 전송한다. 이런 신호 전송 방법 때문에 빠르게 원하는 신호를 전송할 수가 없다. 반드시 하나의 데이터(data)가 채널을 통해 전송이 끝나기를 기다린 후에 전송을 해야 정확히 데이터를 전송 할 수 있기 때문이다. 그림 2.2는 그림 2.1의 구성을 통해 simulation한 것이다. Inverter는 PMOS NMOS 각각 20um, 10um를 사용하였고, 채널은 50Ω 전송 라인을 나타내는 T-model을 사용하였다. 그림에서 보는 바와 같이 4nsec의 time delay(T_d)를 갖는 채널을 사용한다고 가정했을 경우 3.3V의 logic level을 전달하기 위해서 약 80nsec의 시간이 필요함을 알 수 있다.

또한 일반적인 신호 전송 시스템은 취약한 noise isolation 특성을 가진다. 이런 취약한 noise isolation 특성은 잡음이 많은 전원을 transmitter나 receiver등의 reference 전압으로 사용하기 때문이다. 이를 극복하기 위해 큰 신호 폭(large signal swing) 사용이 필수적이며, 이런 경우 전력소모가 커지게 된다. 구조적으로

도 공정 변화에 따른 큰 offset 전압(약 300mV)을 피할 수 없으며, 따라서 큰 신호 폭($V_{DD} - GND$)이 필수적이라 할 수 있다[3].

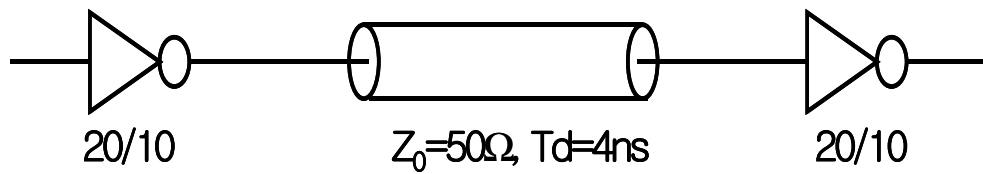


그림 2.1 일반적 신호 전송 시스템(Signaling System).

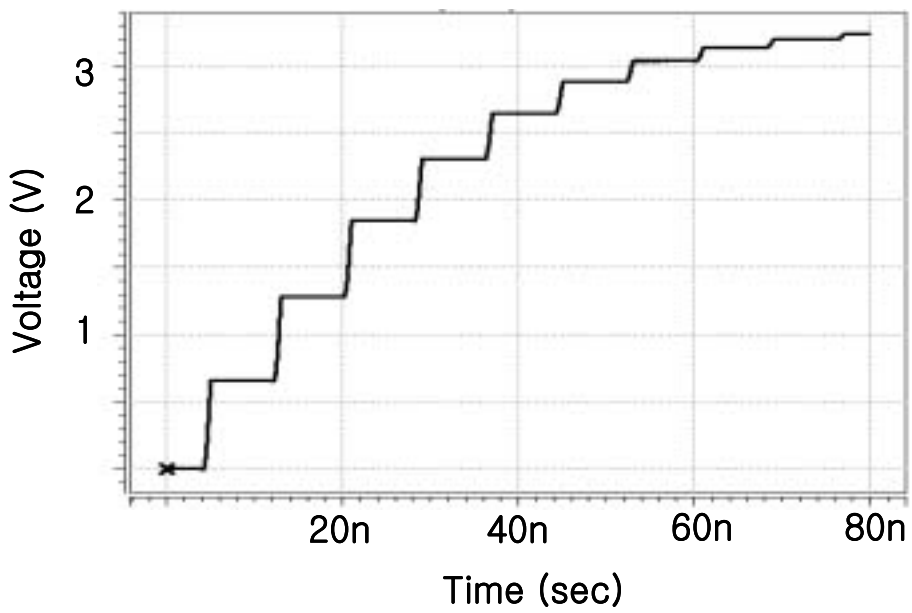


그림 2.2 CMOS inverter에서의 입력 신호.

제 2.2 절. Low swing, Incident-Wave Signaling

위와 같은 일반적인 신호 전송 시스템의 한계점을 개선하기 위해서는 그림 2.3 과 같은 신호 시스템이 필요하다. 이 구조는 전류원이 채널을 구동하는 방식이어서 전원 noise로부터 영향이 작다. 그림 2.3의 예는 250mV의 진폭을 얻기 위해서 $\pm 5\text{mA}$ 의 전류원을 사용하고 있으며, 채널의 양끝단에 채널의 특성 임피던스 (characteristic impedance)인 50Ω 으로 termination 되어 있다. Receiver쪽의 termination은 incident wave를 반사 없이 흡수하고, transmitter쪽의 termination은 crosstalk이나 impedance mismatching에 의한 영향을 최소화시키는 역할을 한다[3].

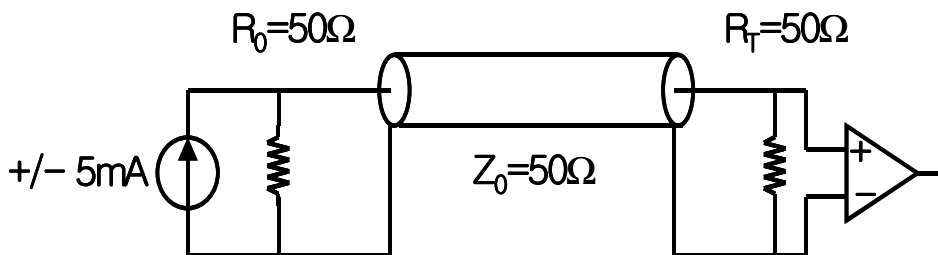


그림 2.3 Low swing, incident wave 신호 시스템.

Receiver의 경우 높은 이득의 clocked regenerative receive amplifier를 사용하여 10mV offset과 10mV의 sensitivity를 갖는 amplifier를 설계가 가능하다[3-4]. 결과적으로 그림 2.3와 같은 incident wave방식을 사용함으로써 line의 길이에 상관없이 데이터 전송속도를 높일 수 있다. 이는 새로운 비트(bit)를 전송할 때 이전 비트(bit)에 상관없이 전송이 가능하기 때문이다. 이런 경우 전송 속도의 제한요소는 채널 길이가 아닌 device 속도이다. 또한 noise의 영향이 적어서 250mV 정도의 작은 신호 진폭(low signal swing)으로도 충분한 신호 전송이 가능하기 때문에 full signal swing을 사용하는 일반적인 신호 전송 시스템에 비해 훨씬 적은 전력 소모 특성을 가진다.

제 2.3 절. 신호 전송 속도의 한계

신호 전송 시스템(signaling system)의 최대 전송 속도(maximum data rate)는 신호를 만들어 보내고 이를 받아 다시 재생하는 transmitter, receiver의 전자적 특성과 전송 채널의 특성에 따라 결정된다.

제 2.3.1절 전자적 특성으로 인한 전송 속도의 한계

그림 2.4에서 보는 바와 같이 전자적 특성으로 인한 전송속도의 한계는 rise-time(t_r), aperture time(t_a), timing uncertainty(t_u) 때문이다[4]. 그러므로 하나의 bit time은 식 1-1과 같이 표현이 되고 이것으로부터 최대 속도는 $1/(2t_u + t_r + t_a)$ bps가 됨을 알 수 있다.

$$t_{bit} = 2t_u + t_a + t_r \quad (2-1)$$

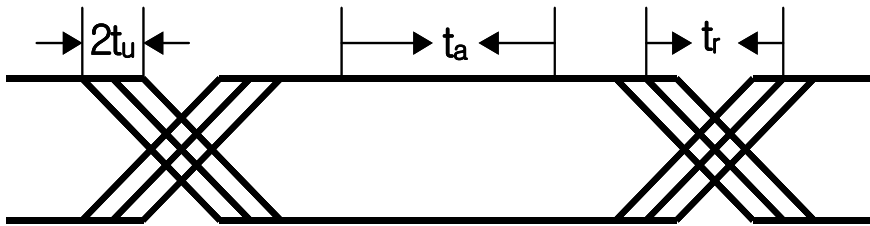


그림 2.4 Eye diagram.

그리고 t_u , t_r , t_a 는 τ_n 이라는 device time constant와 관련이 있다[4]. τ_n 은 해당 공정에서 지원하는 최소 크기의 NMOS가 동일한 크기의 NMOS gate전압을 방전시키는데 걸리는 시간이다. Simulation schematic은 그림 2.5와 같고 0.35um을 사용시 약 10ps 정도의 값을 갖는다[4].

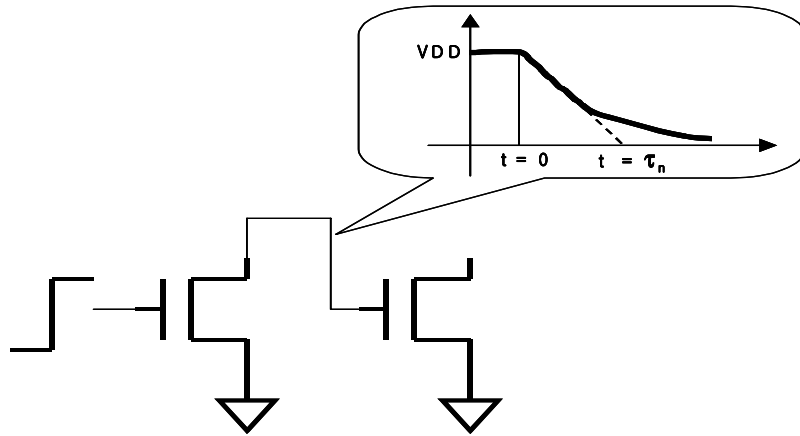


그림 2.5 Device time constant 측정.

$$\tau_n = \frac{V_{dd} C_{gate}}{I_{DSSN}} \quad (2-2)$$

신호의 rise time(t_r)은 다른 레벨로 천이 하는 동안의 시간으로서 일반적인 logic gate를 이용한 current source를 스위칭 시에 약 $10\tau_n$ (0.35um 공정의 경우 100ps)의 시간이 걸린다[3]. 일반적으로 transmitter와 receiver양단 모두 termination 된 경우의 RC 시정수는 ($25\Omega * 1pF$)으로 $10\tau_n$ 에 비하여 작은 값이므로 문제가 되지 않는다.

신호의 aperture time(t_a)는 [4]에 제시된 gate-isolated sense amplifier를 사용할 경우 약 $2\tau_n$ 정도의 시간까지 단축이 가능하며 pass-gate를 이용한 경우 약 $10\tau_n$ 정도의 값을 가진다.

Peak to peak jitter($2t_u$)는 sampling clock에서의 jitter, receiver clock에서의 jitter, 신호 path상의 delay차이에 의한 jitter 등으로부터 주로 발생한다. 이런 jitter들은 주로 전원 noise나 신호간 crosstalk에 의해 발생한 것들이다. 이런 경우 전원 noise에 민감한 부분에 rejection circuits을 사용하여 영향을 최소화하고 적절한 layout technique을 사용한다면 $5\tau_n$ 이내로 줄일 수 있다.

이상에서 살펴본 바와 같이 적절한 incident wave 방식의 신호 시스템을 사용하면 $15-30\tau_n$ (150ps- 300ps)정도의 최소 bit width를 가지는 신호 전송 시스템이

가능하다. Device time constant인 τ_n 은 공정이 발달함에 따라 계속적으로 작아지는 값이며 이것과 비례하여 신호 전송 속도는 계속 증가 할 수 있다.

제 2.3.2 절. 채널의 한계

공정이 발달함에 따라 transmitter와 receiver의 속도가 계속적으로 증가한다 할지라도 채널의 대역폭은 채널이 바뀌지 않는 한 변하지 않는다. 이러한 채널의 특성 때문에 칩 성능에 비례한 전송 속도의 증가는 불가능하다. [5]에서 이러한 특성을 대역폭과 거리의 제곱에 대한 곱(bits×m²/s)으로 나타내고 있으며, 이 값은 channel equalization을 사용하지 않는 한 일정한 값을 가진다. 예를 들어 24AWG cable의 경우 Bd²은 4×10¹⁰(bits×m²/s)의 값을 가지며, 1m 상에서는 40Gb/s의 전송속도를 가지며 10m 상에서는 400Mb/s의 전송속도를 가진다. 이러한 특성은 길이에 따른 신호의 impedance 부정합에 의한 영향보다는 skin effect에 의한 것이다. 또한 채널에 사용되는 유전물질에 의한 frequency-dependent loss도 주요한 원인 중에 하나이다. Skin effect에 의한 감쇄는 아래의 식과 같이 나타낼 수 있다 [3].

$$A(d, f) = A_1 d \sqrt{\frac{f}{f_1}} \text{ (dB)} \quad (2-3)$$

A₁: f₁ 주파수에 대한 1m cable 상에서의 감쇄 (dB)

제 3 장. LVDS I/O 버퍼

LVDS I/O buffer의 개념적 구조는 그림 3.1에서 보는 바와 같이 출력 buffer쪽에서 4개의 switch로 current source(4mA)를 switching 하고 입력 buffer에서는 100Ω 저항 양단에 걸리는 전압차이를 감지하여 증폭하는 형태이다.

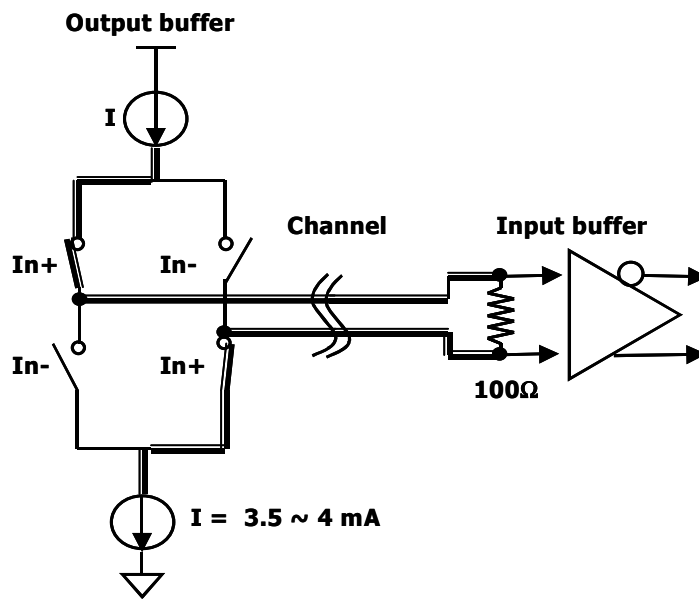


그림 3.1 LVDS I/O buffer.

LVDS 표준은 TIA/EIA(Telecommunications Industry Association/Electronic Industries Association)에 의한 ANSI/TIA/EIA-644(LVDS)(1995)와 IEEE에 의한 IEEE 1596.3(1996)이 있지만 전기적으로는 비슷한 특성을 가진다[6]. 다른 고속 I/O들(PECL, CML)과의 주요한 차이는 output buffer에서 400mV의 swing을 사용함에도 불구하고 4mA라는 적은 channel current를 사용하는 것이다. 이 때문에 비교적 낮은 EMI(electro-magnetic interference)특성을 가진다. Input buffer의 경우 driver와 receiver사이에 1V의 GND 차이까지 동작할 수 있도록 rail-to-rail의

common-mode 전압을 갖는다(2.5V 전원의 경우). 또한 외부 종단 저항이 필요 없어 간단한 link 구성이 가능한 특징이 있다.

제 3.1 절. LVDS 입력 버퍼

LVDS input buffer와 다른 input buffer들과의 가장 큰 차이는 큰 input common-mode 전압(0.1V ~ 2.4V)이다. 이것을 만족하기 위한 기존에 사용된 구조로는 level shifter를 이용한 구조[7], 신호의 attenuation을 이용하여 common-mode를 축소시키는 구조[8], 그리고 구조적으로 rail-to-rail common-mode가 가능한 구조[9] 등이 사용되고 있다.

본 논문에서는 그림 3.2와 같은 새로운 구성을 사용했다. 처음 2단은 input buffer의 bandwidth를 늘리기 위해 Bazes's amplifier[9](그림 3.3)에 high gain amplifier(그림 3.4)를 negative feedback으로 연결한 구조이다. Bazes's amplifier의 경우 input NMOS 쌍과 PMOS 쌍 모두에 물려 있어 낮은 common-mode의 신호의 경우 PMOS에 의해서, 높은 common-mode의 경우 NMOS에 의해서 동작한다. 또한 자체 바이어스를 사용해 간단한 특징이 있다. Negative feedback 이 있는 경우와 없는 경우 simulation상으로 약 66% (1.8Gbps -> 3Gbps)의 성능차이를 확인할 수 있었다. Differential amplifier는 후단의 core에 일정한 진폭을 갖는 신호를 전달하기 위해 사용하였으며, single inverter에 비해 PVT의 변화에 따른 threshold 전압의 변화가 적은 특성을 지닌다. 이 differential amplifier 또한 PMOS를 이용한 negative feedback을 통해 진폭을 약간 줄이고 bandwidth를 증가시켰다[10]. 그림 3.6은 LVDS input buffer에 대해 입력 data rate가 2Gbps, 3Gbps일 때 각각의 eye-diagram을 표시한 것이다. 약 330mV의 입력 신호를 사용하였으며, 실제의 입력 신호와 비슷하도록 신호의 상승시간과 하강시간을 증가시켰다. 또한 이상적인 입력 신호이므로 2Gbps 와 3Gbps 간의 eye-diagram 차이는 미미하다. 그림 3.6의 eye-diagram으로부터 3Gbps까지 입력 데이터가 정확히 출력됨을 확인할 수 있다. 다만 3Gbps eye-diagram에서 jitter 발생이 증가한다.

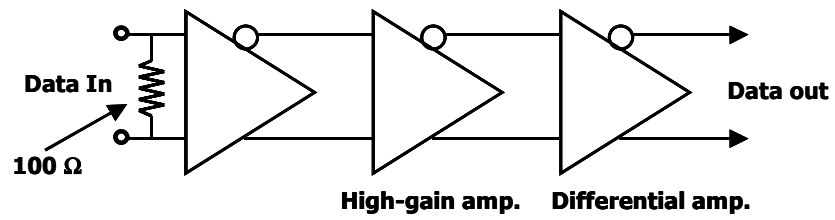


그림 3.2 LVDS input buffer.

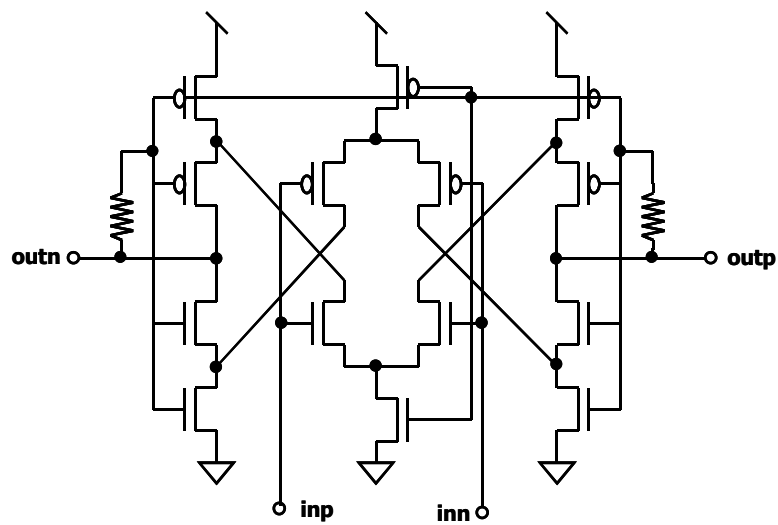


그림 3.3 Bazes's amplifier.

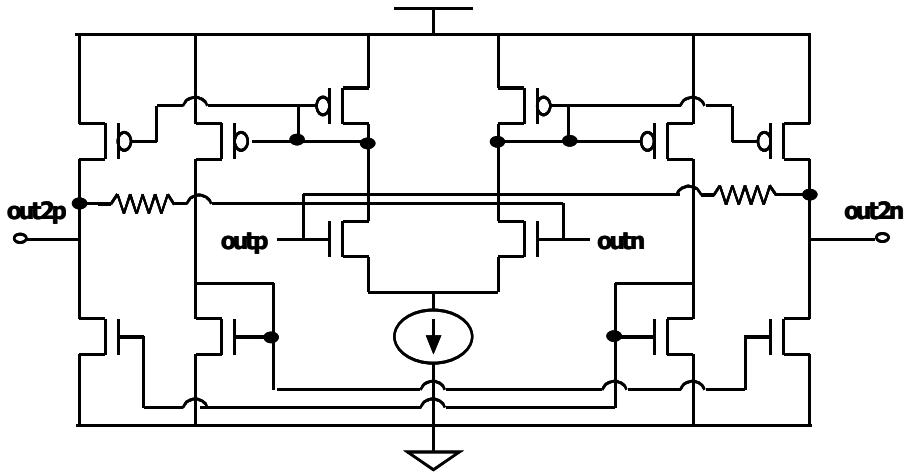


그림 3.4 High-gain amplifier.

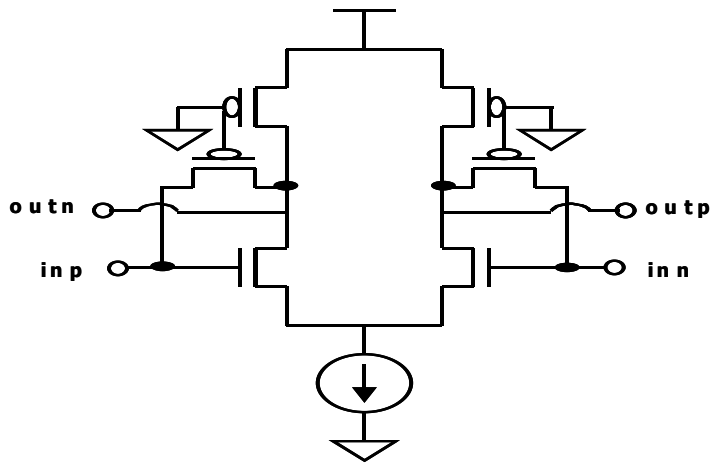


그림 3.5 Differential amplifier with PMOS feedback.

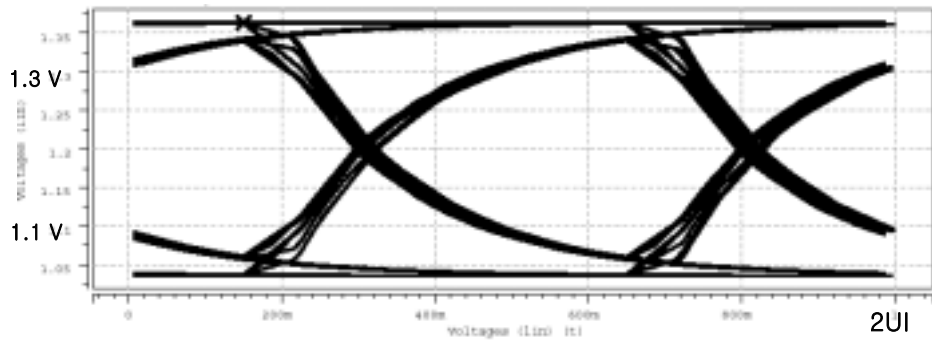


그림 3.6 (a) Input data eye-diagram : LVDS input buffer @ 2Gbps, 3Gbps

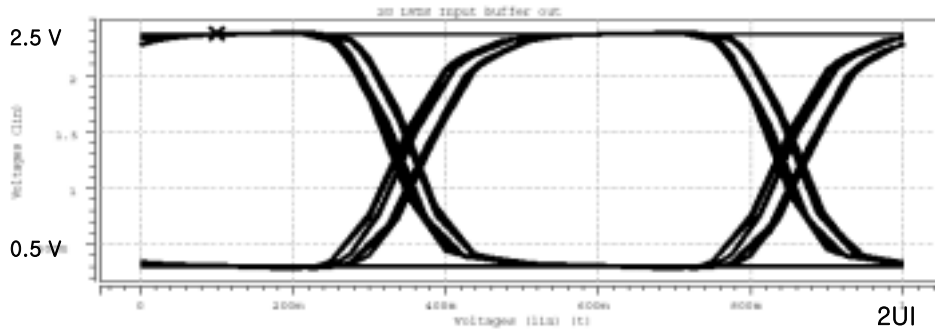


그림 3.6 (b) Output data eye-diagram : LVDS input buffer @ 2Gbps

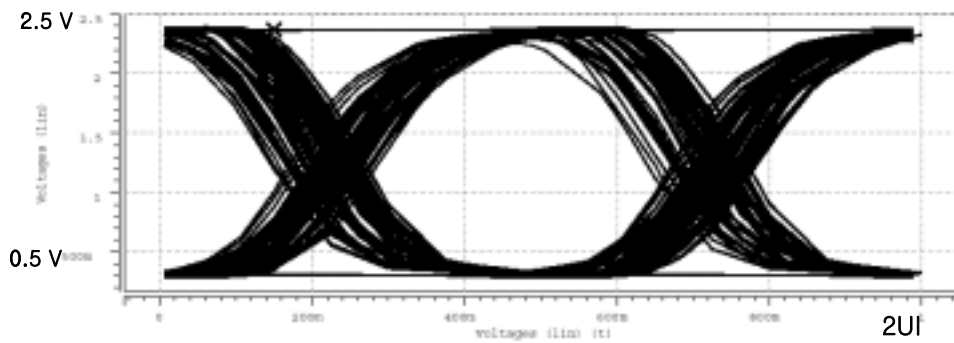


그림 3.6 (c) Output data eye-diagram : LVDS input buffer @ 3Gbps

제 3.2 절. LVDS 출력 버퍼

LVDS output buffer는 일정한 common-mode 전압(1.2V)과 output 전류(4mA)를 유지하는 기능이 필요하다[1]. Output buffer의 구조는 main-driver와 pre-driver로 구성되어 있다(그림 3.8).

본 연구에서 구현된 main-driver는 [2]에 제시된 형태의 output buffer에서 common-mode feedback 회로 부분이 개선된 구조이다(그림 3.9). [2]에서 제안된 구조는 differential amplifier와 reference 전압만을 사용하고 저항을 이용한 common-mode feedback 형태로 구성되어 있다. 기존의 제안된 구조들에 비해 간단한 특징이 있지만 common-mode feedback시에 큰 저항(100K)과 feedback 안정화를 위한 filter등의 사용으로 불필요한 면적이 커지는 단점이 있었다. 본 논문에서는 이의 해결을 위해 [2]에서 사용된 common-mode feedback 저항 대신 두 개의 NMOS pair로 구성하였다[11]. 단 여기에 사용되는 NMOS pair는 선형 영역에서 동작을 가정한다[11]. 또한 [8]에 제안된 구조와는 달리 외부저항이 필요하지 않다. Main-driver의 4mA의 정전류는 common-mode feedback amplifier의 tail current에 기초하여 biasp, biasn 노드를 통해 공급된다.

Pre-driver는 main-driver의 큰 MOS를 효과적으로 구동하기 위해서 사용한다. 불필요한 swing폭을 줄여 pre-driver 자체 크기를 줄이고 속도를 향상시키는 역할을 하며 구조는 그림 3.8과 같다[4]. Pre-driver bias 회로로는 replica bias를 사용하여 pre-driver의 swing 폭($V_{dd} \sim X$)이 원하는 값이 공정에 상관없이 따라가는 역할을 한다. 여기에서 최저 전압 X 는 main-driver의 switch가 완전히 꺼지는 시점이며 이 값은 simulation을 통해 결정하였다. 그림 3.10은 LVDS output buffer의 입출력 eye-diagram을 나타낸 것이다. 그림 3.10(a)는 1Gbps, 2Gbps에 해당하는 이상적인 입력 파형이다. 2Gbps 속도에 대해 eye-diagram이 두꺼운 것을 확인할 수 있으며 개선이 필요하다. 시뮬레이션시 2pF의 load 2개를 사용하였다.

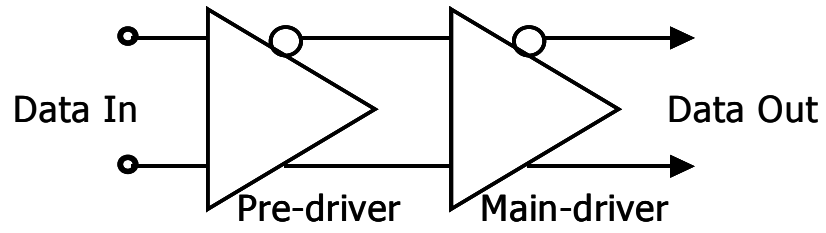


그림 3.7 LVDS output buffer.

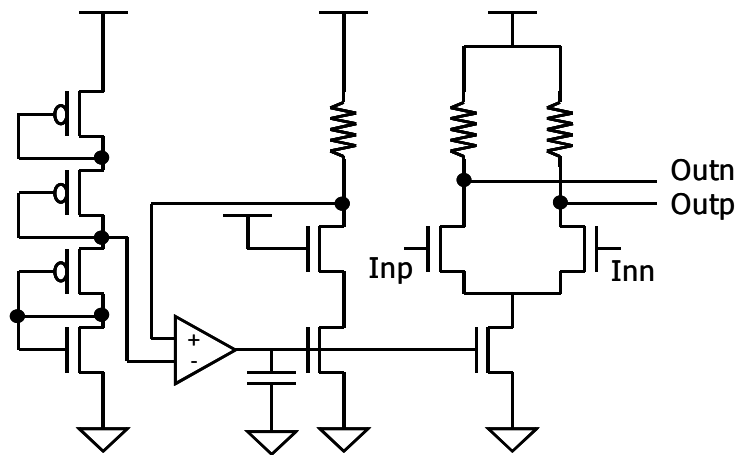


그림 3.8 Pre-driver (LVDS output buffer).

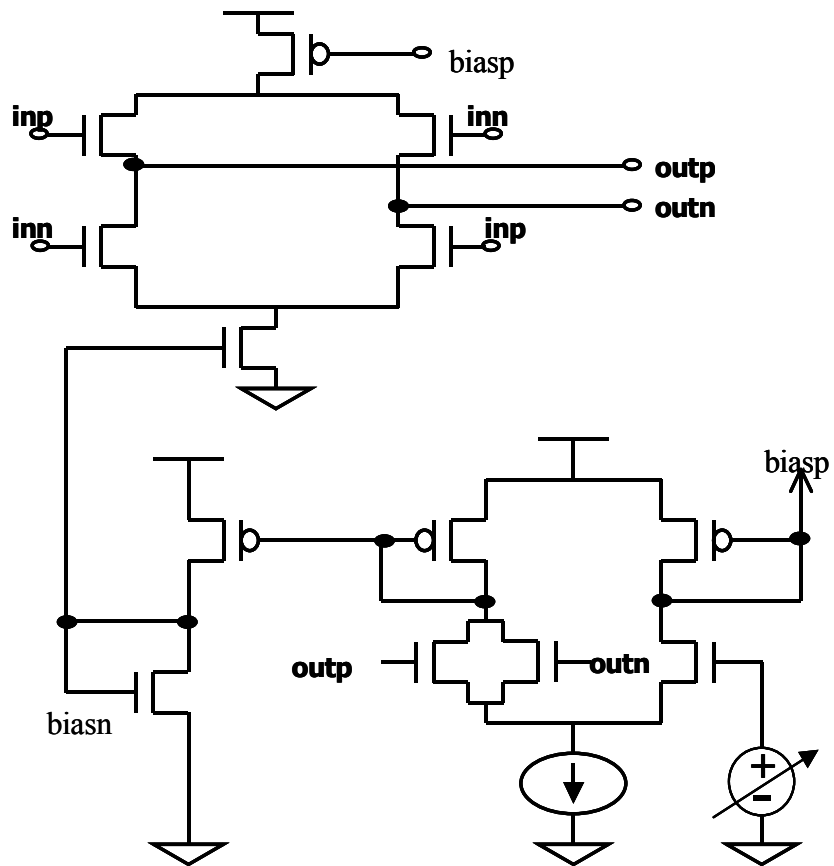


그림 3.9 Main-driver (LVDS output buffer).

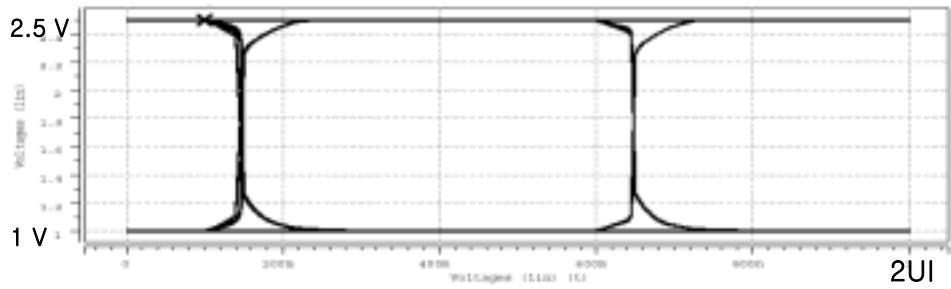


그림 3.10 (a) Input data eye-diagram : LVDS output buffer @ 1Gbps, 2Gbps

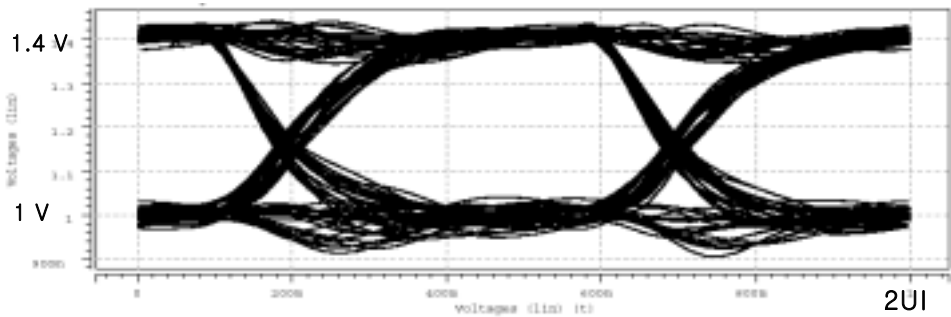


그림 3.10 (b) Output data eye-diagram : LVDS output buffer @ 1Gbps

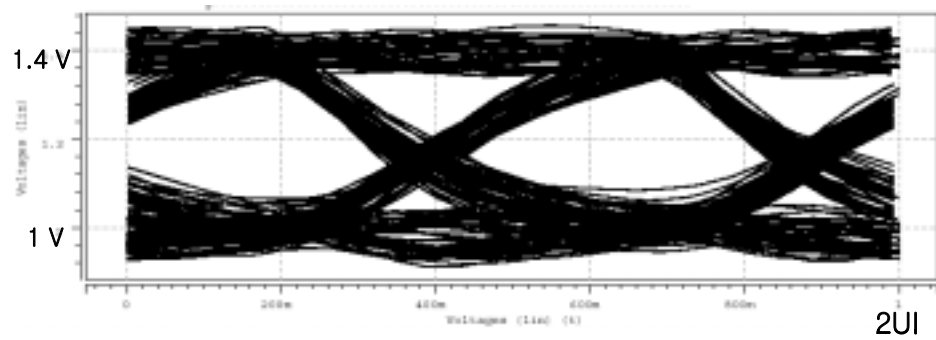


그림 3.10 (c) Output data eye-diagram : LVDS output buffer @ 2Gbps

제 3.3 절. Open drain 출력 버퍼

Open drain output buffer는 그림 3.12과 같이 LVDS input buffer의 성능을 검증하기 위해 설계하였다. 설계된 open drain buffer의 진폭은 외부 bias 저항에 따라 조절이 가능하도록 설계하였다. 저항값에 따라 6 - 10mA의 current가 흐르며, 50Ω termination 저항으로부터 300mV ~ 500mV의 출력 폭을 얻을 수 있다. 또한 driver쪽에서의 series termination을 추가하여 impedance mismatching에 의한 영향을 최소화하도록 설계되었다. Negative 전압을 사용할 경우 termination 없이 직접 연결하여 측정이 가능한 구조적 특징이 있다. Open drain buffer의 pre-driver는 LVDS output buffer에 사용된 동일한 pre-driver를 사용하였다.

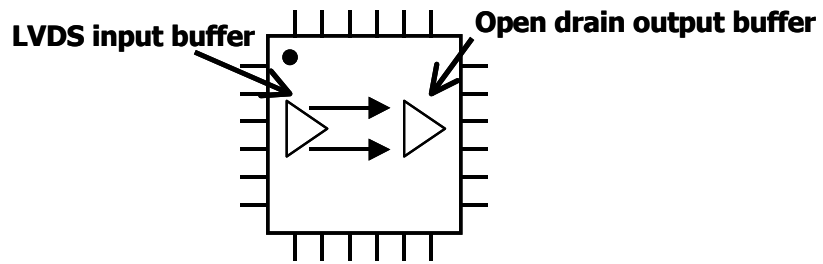


그림 3.11 Open drain buffer interface.

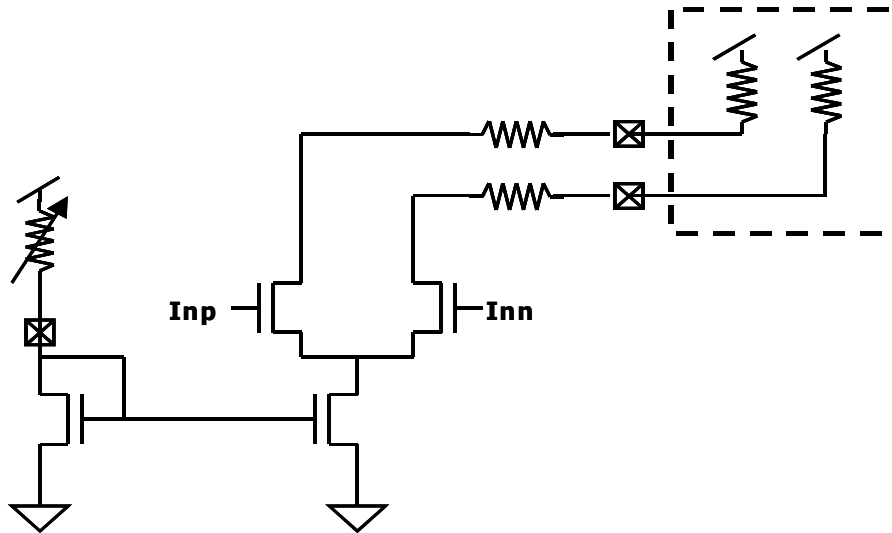


그림 3.12 Open drain output buffer.

제 3.4 절. Chip Layout

설계된 칩은 TSMC 0.25um 공정을 통해 제작되었으며, 그림 3.13과 같다. 설계된 LVDS I/O 각각의 면적은 $220 \times 280 \mu\text{m}^2$, $246 \times 200 \mu\text{m}^2$ 이다.

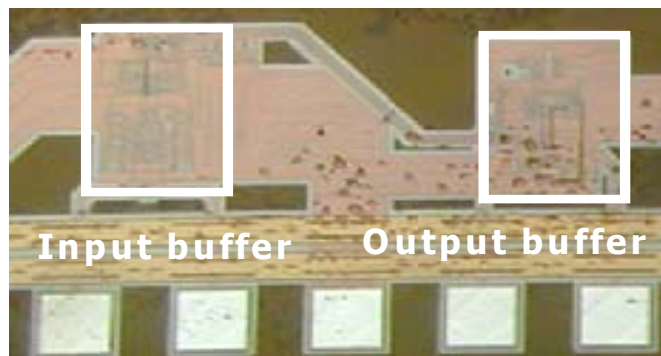


그림 3.13 (a) LVDS(input) - LVDS(output) layout.



그림 3.13 (b) LVDS(input) - Open drain(output) layout.

제 4 장. 측정 결과

Input buffer의 경우 그림 4.1과 같은 구성을 통해 성능을 검증하였다. LVDS output을 지원하는 Agilent 81250 PPG/BERT 장비를 이용하여 임의의 pattern을 생성해 낸 후 LVDS input buffer에서 신호를 받아 open drain output buffer로 신호 출력이 이뤄지는 구성이다. 출력신호는 Tektronix 11801C digital sampling oscilloscope를 이용하였다. Open drain output buffer를 사용한 이유는 외부에 특별한 termination 없이 사용할 수 있으며 Gbps 급 성능으로 LVDS input buffer 성능 검증이 가능하기 때문이다.

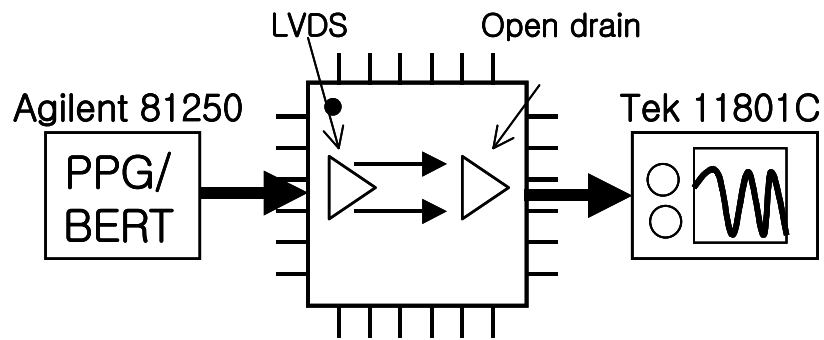


그림 4.1 Input buffer experiment setup.

LVDS output buffer의 경우 실험 구성은 그림 4.2와 같다. 입력과 출력 모두 Agilent 81250 PPG/BERT 장비에 연결하여 LVDS link를 구성하였다. Input buffer의 대역폭이 output buffer에 비해 충분히 크기 때문에 output buffer의 성능 측정에 유효한 구성이다. 또한 common-mode voltage 및 시간 축 상의 파형 측정을 위해서 real-time oscilloscope인 Tektronix TDS 694C(BW=3Ghz)와 high impedance probe를 사용하여 링크를 구성하였다. High impedance probe(1K Ω)를 사용하여 전체적인 LVDS link에 대한 impedance mismatch 영향은 적다.

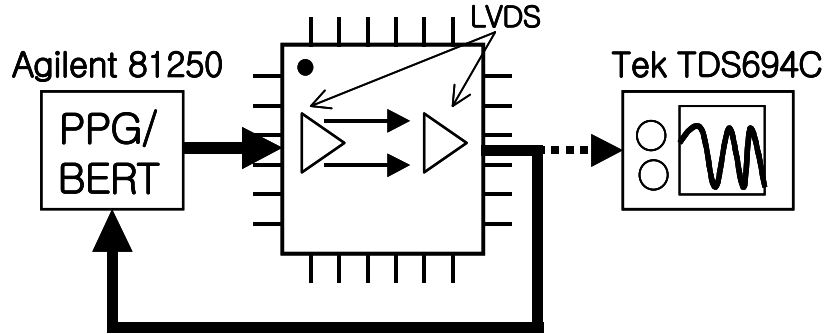


그림 4.2 Output buffer experiment setup

제 4.1 절 Input buffer 측정 결과

Input buffer의 경우 그림 4.1과 같은 구성을 통해 검증되었다. 100mV의 PPG(Pseudo-Random Pattern Generator)출력으로도 0.1~2.4V의 common-mode에 대해서 3Gbps까지 동작을 확인하였다. 그림 4.3은 1Gbps, 1.5Gbps, 2Gbps, 3Gbps 각각의 신호가 input buffer와 open drain buffer를 통과한 후의 파형이다. “11001010”의 input sequence가 정확하게 출력되며 이로부터 input buffer가 동작함을 확인할 수 있다. 1.5Gbps이상의 출력 파형 swing 폭이 충분하지 않은 것은 신호속도가 open drain buffer 대역폭을 넘기 때문이다. 이는 open drain buffer의 문제일 뿐 LVDS input buffer의 문제는 아니다.

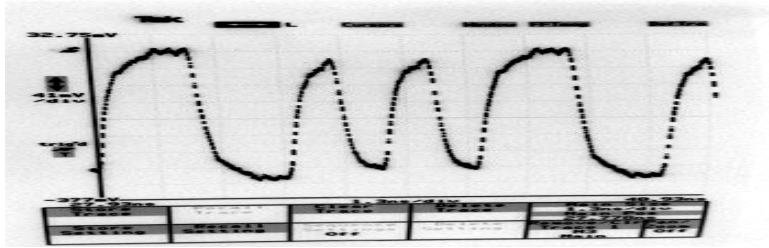


그림 4.3 (a) 1Gbps signal(11001010).

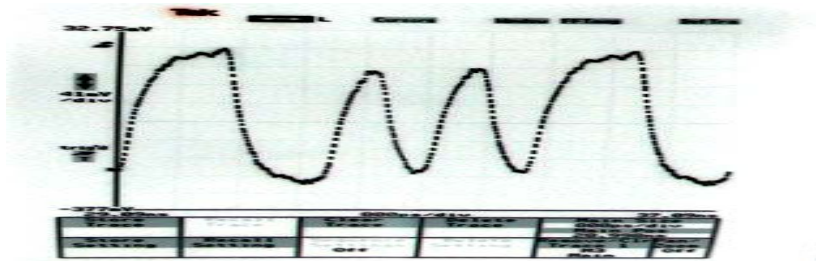


그림 4.3 (b) 1.5Gbps signal(11001010).

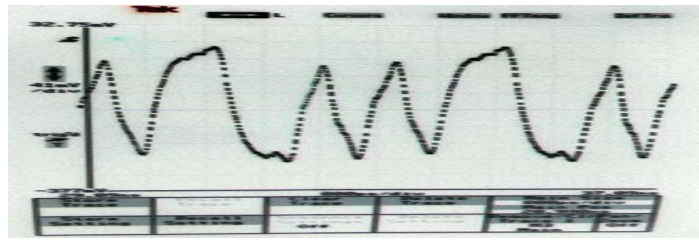


그림 4.3 (c) 2Gbps signal(11001010).

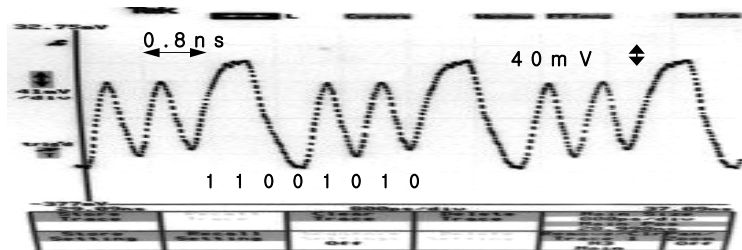


그림 4.3 (d) 3Gbps signal(11001010).

제 4.2절 Output buffer 측정 결과

그림 4.2는 output buffer 특성을 측정하기 위한 실험 구성이다. 측정 항목으로는 크게 common-mode control 방법의 유효성 검증 및 최대 동작 속도 측정으로 나뉘 볼 수 있다. 그림 4.4는 output buffer의 common-mode control 전압에 따른 output common-mode 전압과의 관계 그래프이다.

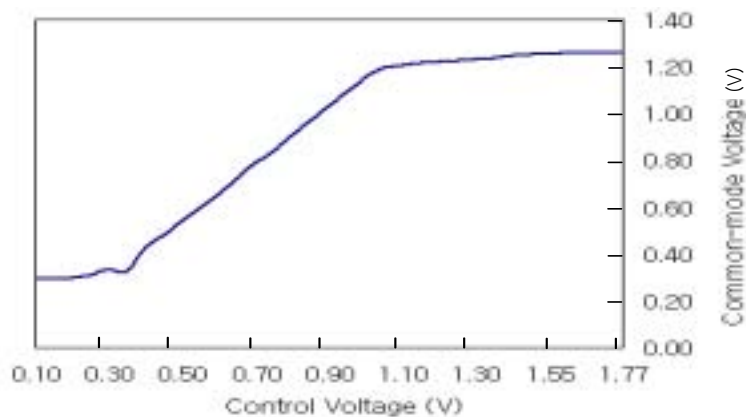


그림 4.4 Control 전압에 따른 common-mode 전압의 변화

Output buffer가 올바르게 동작하는 구간은 0.8V이상의 control 전압이며 선형적인 부분에서는 0.1V정도의 offset을 가지고 있다. 또한 1.1V이상의 구간에서는 선형성이 깨지는데 이는 output buffer 구조 자체의 문제로 2.5V를 전원으로 사용하는 구조에서는 피할 수 없는 문제이다.

그림 4.5는 그림 4.2와 같은 실험 구성에서 "11001010" pattern의 반복적인 data를 사용하여 측정한 파형이다. Output buffer 출력을 3GHz의 bandwidth를 갖는 real-time oscilloscope(TDS694C)를 이용하여 측정하였으며, 각각 1Gbps, 1.5Gbps, 2Gbps, 2.5Gbps에 해당된다. 신호의 진폭이 작은 것은 common-mode control 전압에 따라 main-driver current source가 변하기 때문이며, 이때 common-mode control 전압은 1.6V로서 가장 좋은 duty-cycle을 갖는 값을 사용하였다. 이는

1.2V에서 가장 좋은 duty-cycle을 가졌던 simulation과 차이가 있으며 main-driver에서 switch 역할을 하는 4개의 NMOS size가 적절히 못했으며 pre-driver가 충분한 main-driver 구동 능력을 갖지 못했던 것으로 추측된다. 이 부분은 5장에서 추가적인 시뮬레이션을 통해 검증하였다.

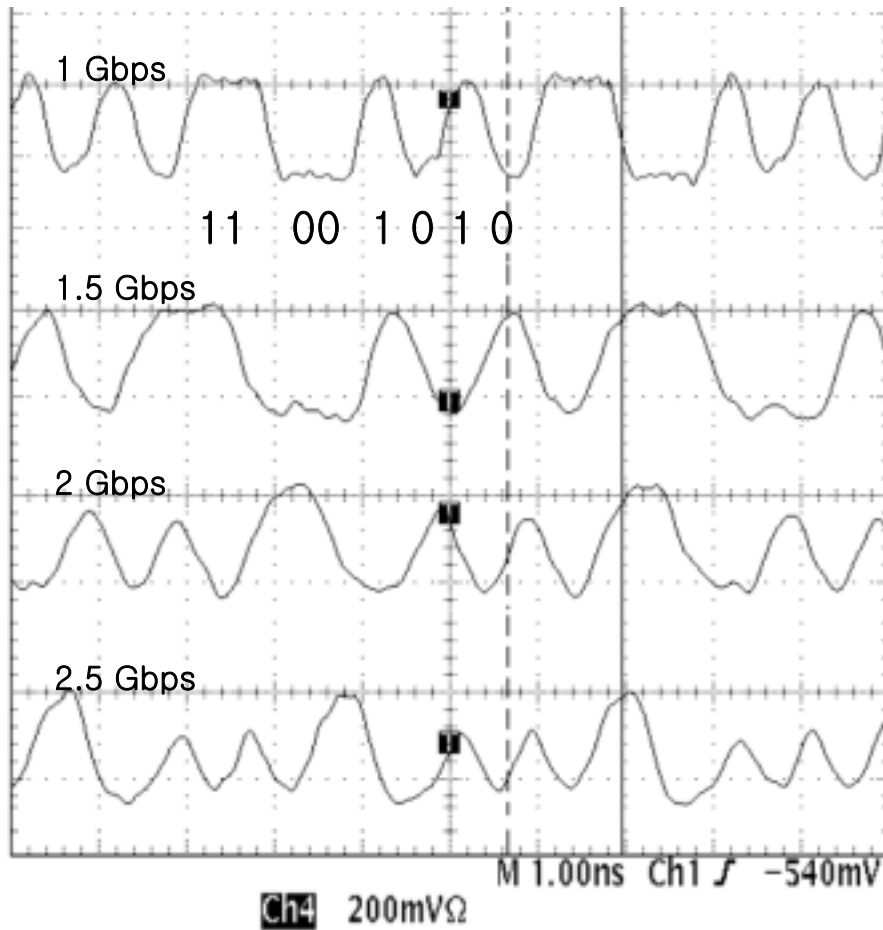


그림 4.5 Output waveform (real time oscilloscope).

1Gbps, 1.5Gbps, 2Gbps, 2.5Gbps

Bit pattern: 11001010

제 4.3절 LVDS I/O BER 측정 결과

제작된 칩의 BER 측정은 그림 4.2와 같은 구성을 통해 LVDS I/O의 성능을 검증하였으며, 이를 통해 2.5Gbps까지 에러가 발생하지 않음을 확인하였다. 그림 4.6은 장비에서 제공하는 eye-opening이다. 일반적인 eye-diagram이 아니라 UI(Unit Interval)에 따른 BER을 표시한 그림이다. 또한 장비의 resolution이 일반적인 sampling oscilloscope에 비해 떨어지기 때문에 eye-opening이 불연속적인 특성이 있다. 각기 다른 속도를 대해 측정 결과를 정리하면 표 4.1과 같다. 최대 2.5Gbps에서 eye-opening이 거의 닫혀 있으며 이는 전송거리가 짧을 경우 최대 속도이다.

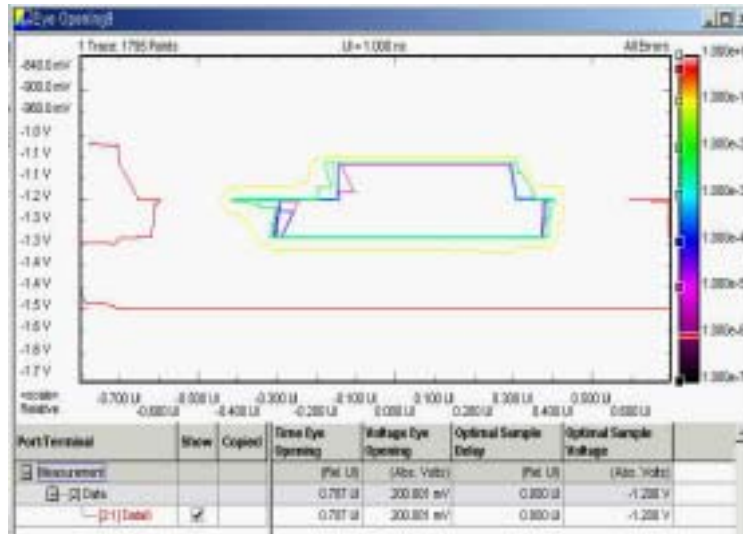


그림 4.6 1Gbps eye-diagram.

표 4.1 BERT 측정 결과

Data Rate	Time eye-opening	Voltage eye-opening	Optimal Sample Voltage
1 Gbps	0.787 UI	200 mV	-1.2 V
1.5 Gbps	0.629 UI	200 mV	-1.2 V
2 Gbps	0.509 UI	100 mV	-1.25 V
2.5 Gbps	0.288 UI	3.002 uV	-1.2 V

이상의 LVDS I/O 성능 측정을 정리하면 표 4.2와 같다.

표 4.2 LVDS I/O 성능

	Tx	Rx
Power	45mW	55mW
Max. Speed	2Gbps	3Gbps
C.M. range	1.2V	0.1V - 2.4V
Sensitivity	-	50mV (측정장비의 한계)

제 5 장. Full-link 시뮬레이션

측정 결과와 simulation과의 비교를 위해 채널의 가능한 모든 구성 요소를 고려한 full-link simulation을 수행하였다.

제 5.1 절. 채널 모델링

설계된 I/O의 simulation상 성능 검증을 위해서는 channel에 대한 modeling이 필수적이다. Channel에 대한 구성은 HSPICE W-model을 이용하여 100Ω differential strip-line 형태이다. W-model은 skin effect에 의한 loss 및 dielectric loss를 모두 포함하고 있다[12]. 또한 제작된 칩의 package parameter는 TDR(Time Domain Reflectometry)을 사용하여 추출하였다.

제 5.1.1 절. 전송 선로 파라미터

전송선로는 표5.1에 나와있는 그림과 같이 backplane에서 많이 사용되는 strip-line 형태로 구성하였다. Line impedance는 [13]에 있는 impedance calculator를 사용하여 계산하였다. Dielectric 물질은 FR-4를 사용하였으며 loss tangent값은 0.02를 사용하여 dielectric loss를 충분히 반영하였다. 또한 line width는 실제 시스템에서 많이 사용되는 5mil을 사용했다. Line width가 작아질수록 skin-effect에 의한 신호의 감쇄는 커진다.

Parameter	Value	Units
Dielectric constant (FR-4)	4.5	
Loss tangent (FR-4)	0.02	
Line Thickness (Cu)	1 (1.4)	oz(mil)
Line width	5	mil
Line spacing	16	mil
Strip-line Height	8	mil
Differential impedance	100	Ω

Transmission Line Structure

$E_r = 4.5$ (FR4) 단위: mil

표 5.1 전송 선로 parameters.

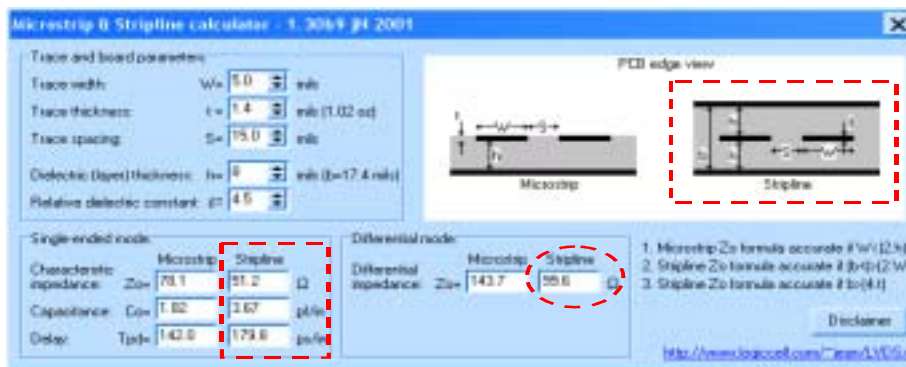


그림 5.1 Strip-line impedance calculator[13].

제 5.1.2 절. PCB 길이에 따른 Peak-to-Peak Loss

그림 5.2는 전송라인 길이에 따른 peak-to-peak loss를 나타낸 것이며, 실제 측정된 자료를 참고 한 것이다[14]. 또한 그림 5.3은 5.1.1 절에서 언급된 W-model을 사용하여 시뮬레이션 한 결과이다. 그림 5.3은 5Gbps의 신호가 30inch 전송라인을 지나기 전과 후의 eye-diagram이다. 전송라인이 지나기 전 약 400mV의 swing 폭을 지닌 신호가 지난후에는 180mV의 eye-opening을 갖는다. 이는 약 55%의 peak-to-peak loss이며 그림 5.2의 52% loss와도 유사한 값이다. 또한 수신된 신호의 eye가 좁아지는 것은 channel 특성에 의한 ISI(Inter-Symbol Interference) 때문이다. 이를 통해 simulation 상으로도 신호에 대한 channel의 영향을 충분히 성능 예측 가능함을 알 수 있다.

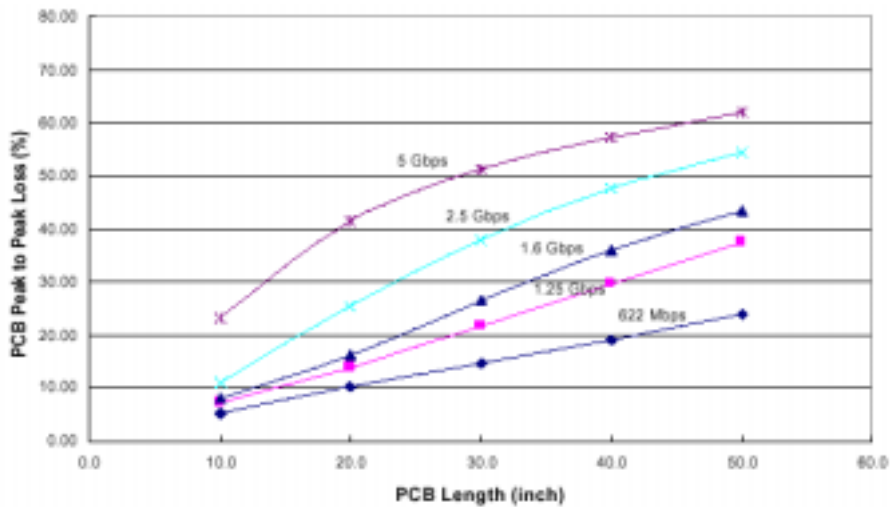


그림 5.2 Peak-to-Peak loss [14].

환경 : 6mil 100Ω differential impedance, FR-4

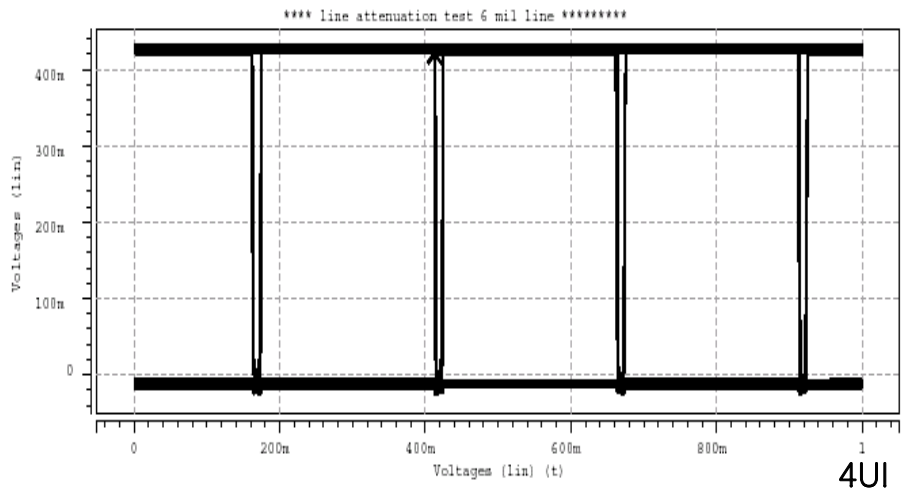


그림 5.3 (a) 전송라인을 지나기 전의 신호(5Gbps, 30inch).

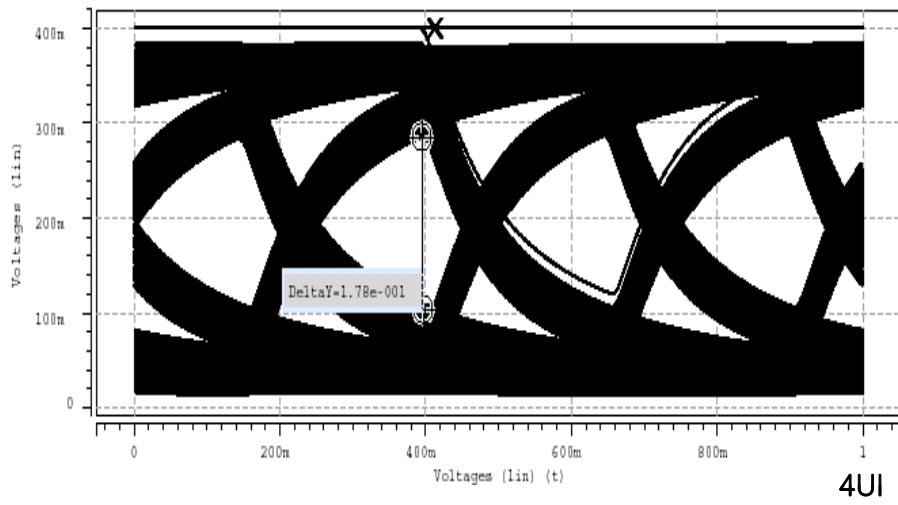


그림 5.3 (b) 전송라인을 지난후 신호 파형(5Gpbs, 30inch).

제 5.1.3 절. 패키지 모델링

Chip-to-chip interconnection 전송 속도가 Gbps 이상으로 증가함에 따라 package modeling은 전송채널에 있어서 매우 중요한 부분이 되고 있다. 일반적으로 package model은 package 종류에 따라 다양한 값을 가지며 고속 칩의 경우 package 영향이 적은 편에 속하는 BGA(Ball Grid Array) type을 많이 사용하는 추세이다. 그림 5.4는 실제 BGA package model의 예이다.

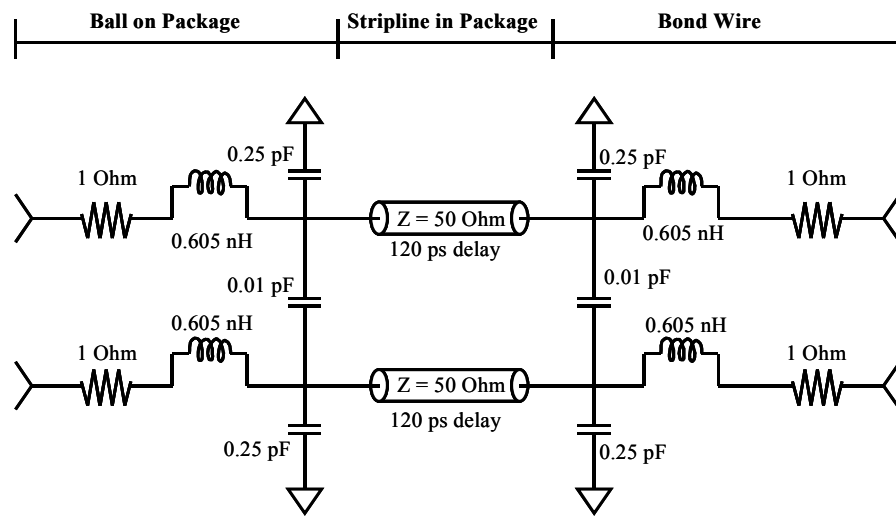


그림 5.4 Package model[15].

Tektronix 11801C의 SD-24 TDR header를 이용하여 제작된 칩의 package parameter extraction을 수행하였다. 칩은 48pin TQFP plastic package로 제작되었으며, 사용된 board는 그림 5.5와 같은 형태의 4층 기판형태로 제작되었다. Board trace는 약 3cm이며, SMA connector는 impedance mismatching을 최소화할 수 있도록[16] 보드 뒷면을 통해 삽입하였다.

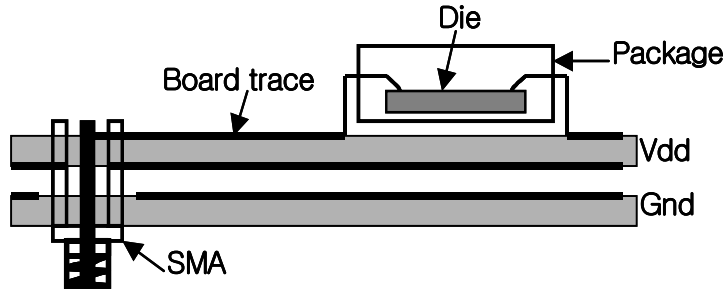


그림 5.5 TDR measurement setup.
(밑에서 삽입한 경우)

그림 5.6에서 알 수 있듯이 SMA connector의 삽입 위치에 따른 impedance mismatching 영향은 밑에서 삽입하는 경우가 보다 나은 특성을 나타냄을 알 수 있다.

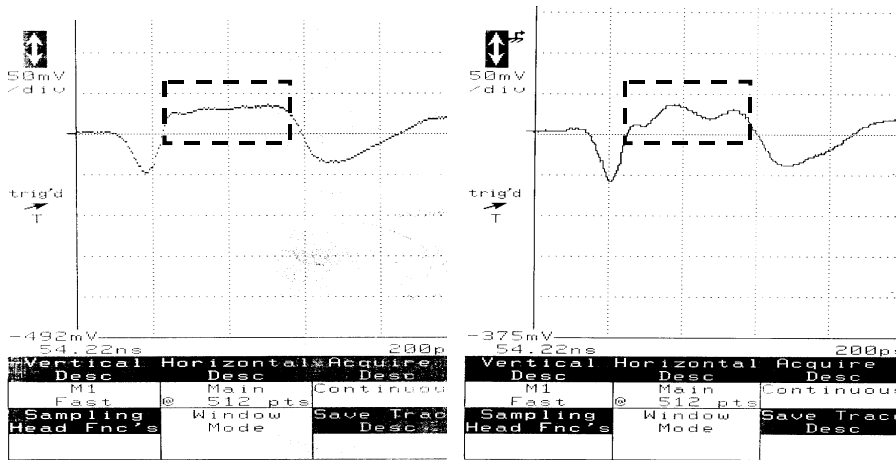


그림 5.6 TDR 파형.

왼쪽: SMA connector 밑에서 삽입. 오른쪽: SMA connector 위에서 삽입.

실제 측정 파형은 그림 5.7 (a)와 같다. Channel의 주요한 impedance mismatching이 발생하는 곳으로는 크게 SMA connector, PCB trace, bonding wire, pad & ESD capacitance등으로 나뉘 볼 수 있다. 측정된 특징으로부터 그림 5.8과 같은 등가 모델을 구성할 수 있다. 그림 5.7 (a)에서 A는 SMA connector에서 발생하며 capacitor로서 모델링이 가능하고, B는 board trace로서 63 Ω 의 임피던스 값을 갖는다. C, D는 각각 칩 내부의 bonding wire와 pad & ESD 때문에 발생하는 inductance와 capacitance성분이다. 이들 모델의 보다 정확한 값은 HSPICE simulation을 통해 찾을 수 있다. 그림 5.7 (b)는 적절한 값을 갖는 등가 모델을 이용한 simulation 파형이다. 전반적으로 일치하고 있지만 pad & ESD capacitance이후의 rising time 차이가 발생하고 있다. 이는 그림 5.8과 같은 model로는 고려하지 못한 model이 존재하는 것을 말하는 것이며 이로 인해 TDR 신호의 rising edge가 느려지는 것으로 예상된다. 그림 5.8은 사용된 channel의 등가모델이며 transmission line model로는 유전물질(FR-4, $\epsilon_r=4.5$)의 loss특성(loss tangent=0.02)을 고려한 W-model을 사용하였다.

사용된 W-model parameter는 TDR을 통한 실제 임피던스 값과 제작된 PCB의 line 폭을 참고로 하여 결정하였다. 측정된 PCB line의 임피던스 값이 63 Ω 을 갖는 이유는 실제 board 제작 과정에서 발생한 선폭과 유전체 두께의 오차 때문이다. Simulation에 사용된 TDR은 간단하게 그림 5.9와 같이 modeling 된다.

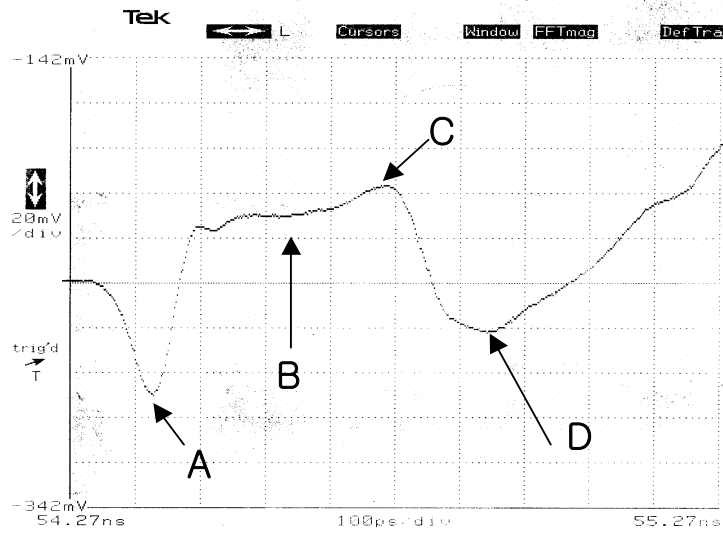


그림 5.7 (a) TDR waveform.

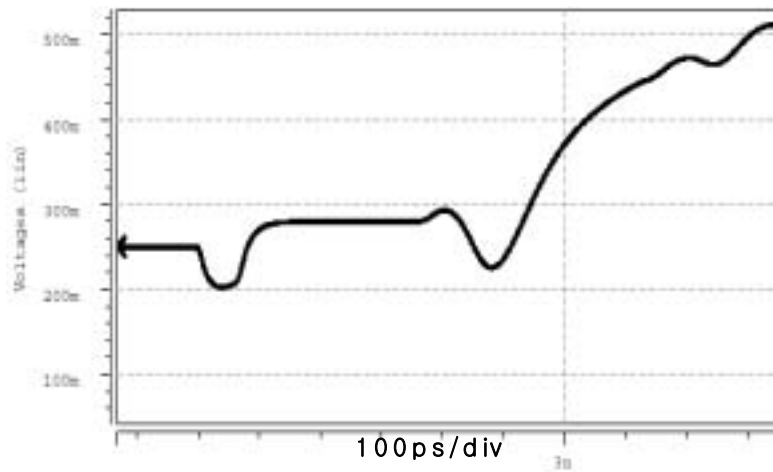


그림 5.7 (b) Simulated TDR waveform

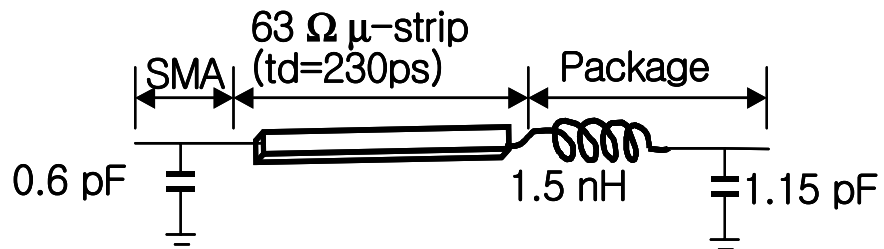


그림 5.8 Channel modeling.

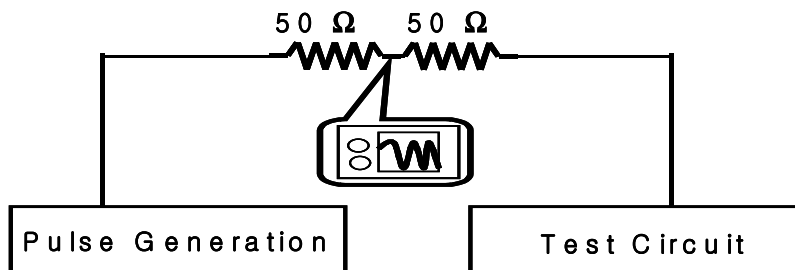


그림 5.9 TDR simulation model.

제 5.2 절. Full-link 시뮬레이션

측정 결과와 simulation과의 비교를 위해서, 제 5.1장의 TDR을 이용한 측정으로부터 얻은 channel parameter를 바탕으로 그림 5.10과 같은 link를 구성하여 simulation을 수행하였다. 시뮬레이션 파형은 2Gbps의 LVDS data link에서 output buffer, input buffer 입력, output buffer의 출력단에서 본 eye diagram이다. Output buffer 출력 eye diagram의 경우 특별한 impedance matching 회로가 없기 때문에 다른 eye diagram에 비해 일그러짐이 조금 더 심하다(그림 5.11 (a)). 그림 5.11 (b)에서 simulation상 수신단 입력 파형의 eye-opening은 130mV, 0.5UI이다. 이는 실험치 100mV, 0.5UI(표 4.1)에 근접하는 값이며, 만일 channel이 정확히 modeling이 된다면 simulation상으로도 충분한 성능검증이 가능하다는 것을 알 수 있다. 물론 동일한 실험 조건이 되기 위해서는 장비까지 modeling이 정확히 되어야 하지만 거의 불가능한 일이고, 장비에도 신호를 sampling 하기 위해 chip을 사용하였다고 가정한다면 어느 정도 일치하는 simulation 구성이다.

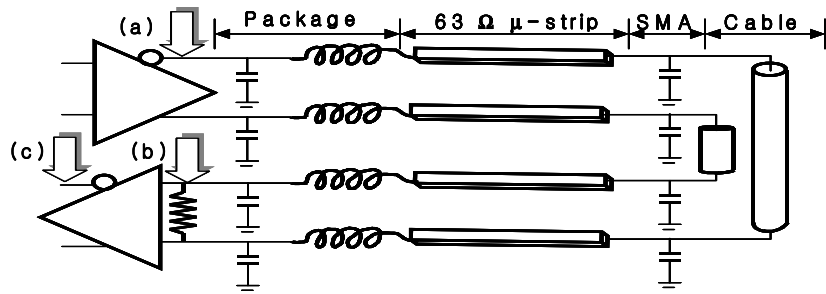


그림 5.10 Full-link configuration(simulation).

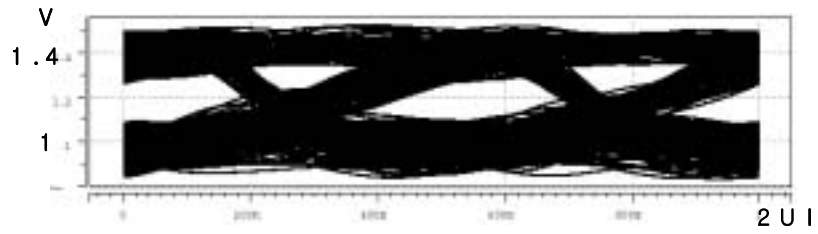


그림 5.11 (a) Output data eye-diagram @output buffer, 2Gbps

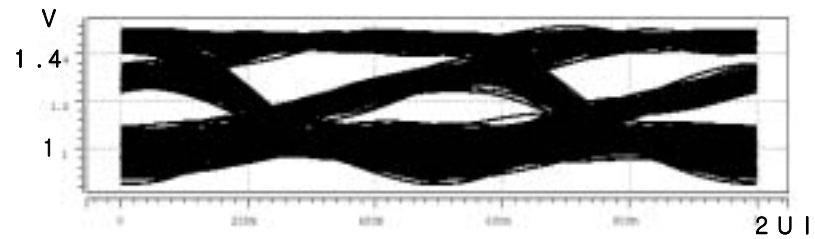


그림 5.11 (b) Input data eye-diagram @input buffer, 2Gbps

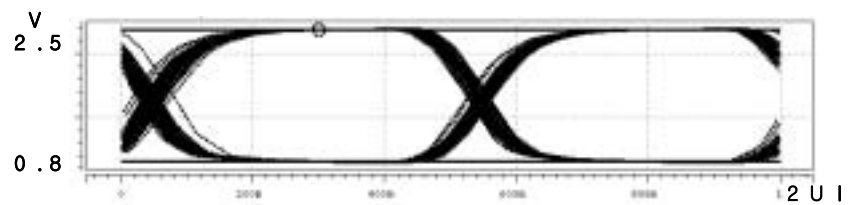


그림 5.11 (c) Output data eye-diagram @input buffer, 2Gbps

제 5.3 절. 개선된 LVDS output buffer 시뮬레이션

LVDS output buffer의 성능 개선을 위해 새로운 구조를 제안하였다. 제안된 LVDS output buffer는 그림 5.12와 같다. 제안된 구조는 common-mode control 회로를 포함하지 않아 간단한 특징이 있으며 pre-driver의 구동 능력을 키워 시뮬레이션상으로 약 3Gbps 이상의 속도를 갖는다. Common-mode control 회로는 2.5V 전원 전압과 0.25 μ m 공정 사용시 process coner에 따른 common-mode 전압은 $1.2\pm 0.1V$ 에 불과하기 때문에 필요하지 않다. 그림 5.12(a) pre-driver의 경우 저항 R값을 기존의 경우 500 Ω 에서 200 Ω 으로 줄여 pre-driver의 tail current를 늘리는 대신(2mA \rightarrow 5mA) main-driver 구동시 RC time constant를 줄여 구동 속도를 키웠다. 또한 그림 5.12 (b)의 main-driver의 경우 replica-bias를 통해 전류가 4mA를 유지하도록 설계되었으며 N1, N2를 replica-bias 회로에 직접 연결함으로써 main-driver switching 시에 흔들리는 전압을 최소화시키는 역할을 한다. 즉 그림 5.12 (b)의 N1과 N2 node에 흐르는 전류 I_{N1} , I_{N2} 는 data의 transition edge에서 발생하여 스위칭시 edge에서 순간적으로 전류를 공급해줌으로써 N1, N2 node의 떨림을 방지해 준다. 그림 5.13는 N1, N2가 어느 것에도 연결되어 있지 않을 경우 (a), 이상적인 전원에 연결되어 있을 경우(b), 제안된 회로와 같이 replica-bias 회로에 연결되어 있을 경우(c)들의 N1, N2 전압과 그때의 eye-diagram을 나타낸 것이다. 가장 좋은 eye-diagram은 (b)의 경우이며 이유는 위에 언급한 바와 같이 main-driver 구동시 순간적으로 필요한 전류를 이상적인 전원이 공급해 주기 때문이다. 제한된 구조인 (c)의 경우 (a)의 경우에 비해 어느 정도 eye-diagram에 향상이 있음을 확인할 수 있다. 위에서 사용된 3가지 구조들은 동일한 부하와 pre-driver를 사용하여 시뮬레이션을 수행하였다. 제안된 구조와 실제 구현된 구조의 성능차이를 비교하면 그림 5.14, 표5.2와 같다. 그림 5.14는 2Gbps 신호에 대한 구현된 구조(a)와 제한된 구조(b)의 LVDS output buffer eye-diagram이다. 제안된 구조가 보다 더 좋은 eye-diagram을 나타냄을 확인할 수 있다. 하지만 보다 큰 전류를 사용하는 pre-driver의 사용으로 output buffer 소비 전력은 40mW에서

60mW로 증가하였다. 그림 5.16은 개선된 형태의 LVDS output buffer를 사용하여 full-link 시뮬레이션을 수행한 것이다. 구현된 output buffer를 이용한 시뮬레이션인 그림 5.11과 비교해 볼 때 data rate는 3Gbps로 더 빠르지만 훨씬 우수한 eye-opening을 확인할 수 있다.

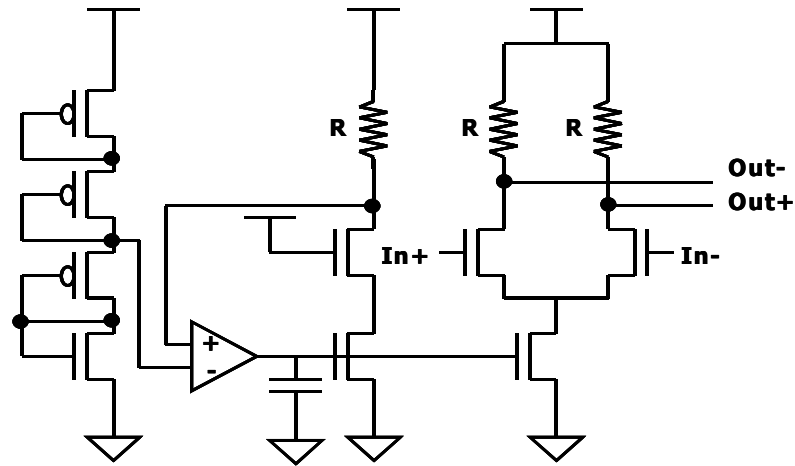


그림 5.12 (a) Pre-driver (제안된 LVDS output buffer)

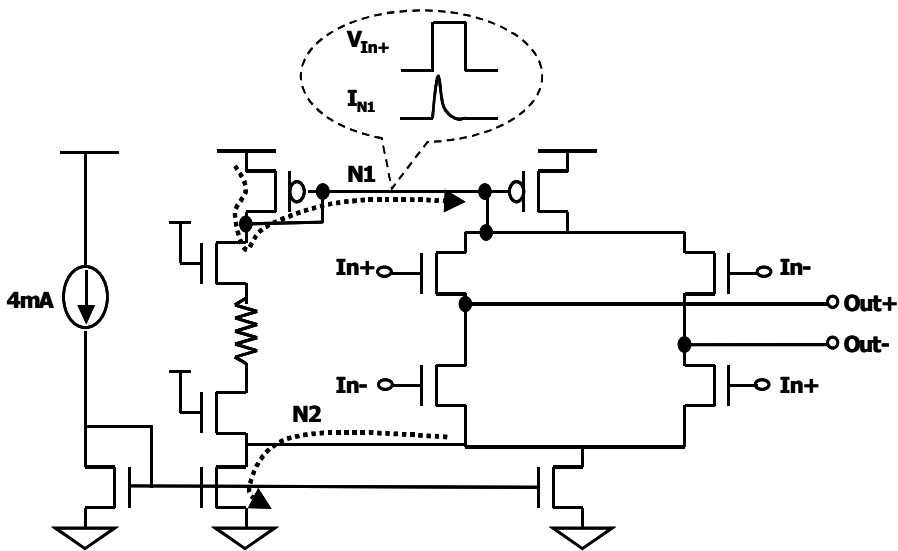


그림 5.12 (b) Main-driver (제안된 LVDS output buffer)

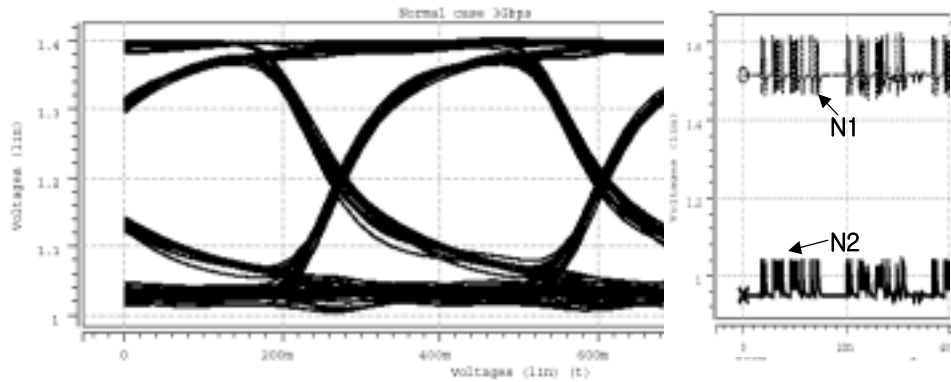


그림 5.13 (a) Eye-diagram, 기본 구조 사용시 @3Gbps

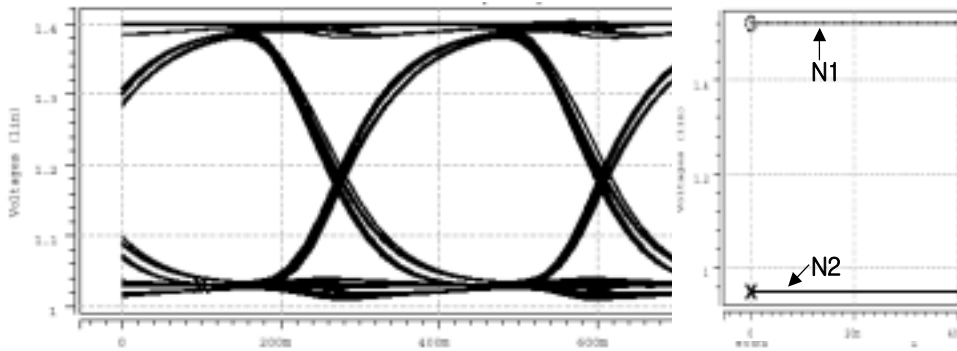


그림 5.13 (b) Eye-diagram, 이상적인 전원 사용시 @3Gbps

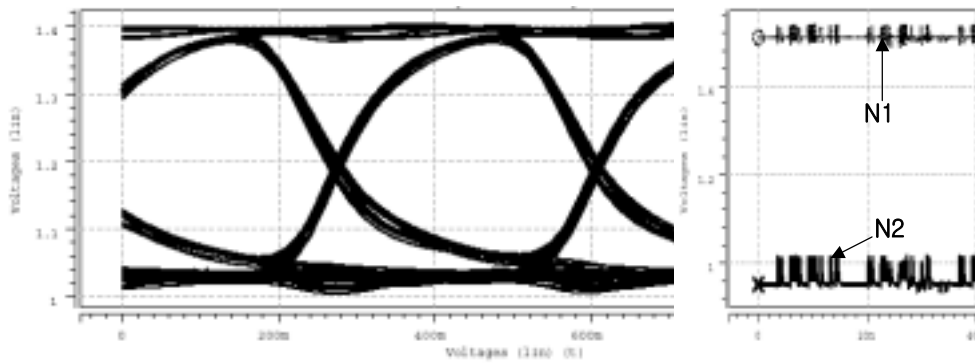


그림 5.13 (c) Eye-diagram, 제안된 구조 사용시 @3Gbps

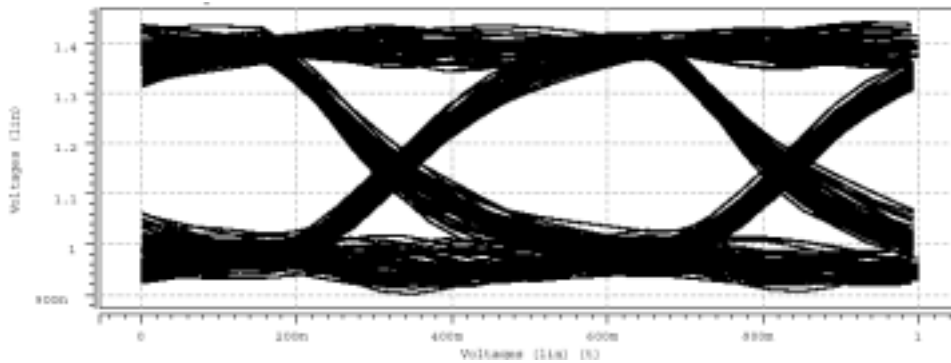


그림 5.14 (a) 구현된 LVDS output buffer eye-diagram @2Gbps

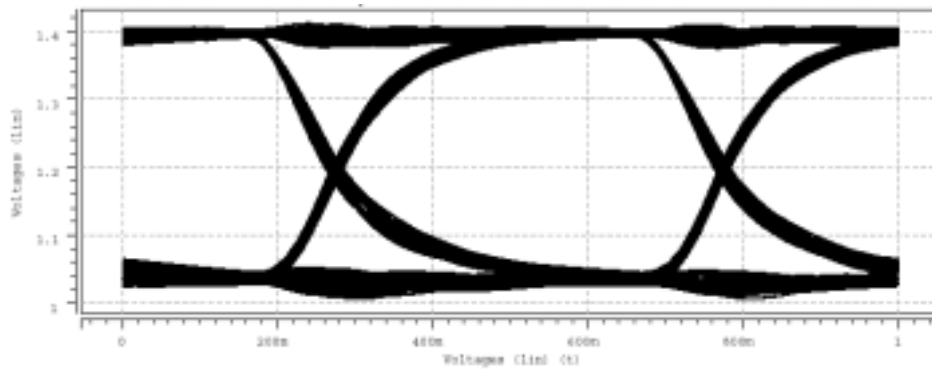


그림 5.14 (b) 제안된 LVDS output buffer eye-diagram @2Gbps

표 5.2 Eye-opening 비교

	Data Rate	Timing Jitter	Maximum Opening Voltage	Half Opening Time
5.14 (a)	2Gbps	0.18 UI	330 mV	0.56 UI
5.14 (b)	2Gbps	0.06 UI	350 mV	0.74 UI

Maximum Opening Voltage : eye-opening이 최대일때의 전압 값

Half Opening Time : 최대 전압 값의 절반 이상이 열리기 시작할 때 ~ 다시 절반이하로 떨어질 때

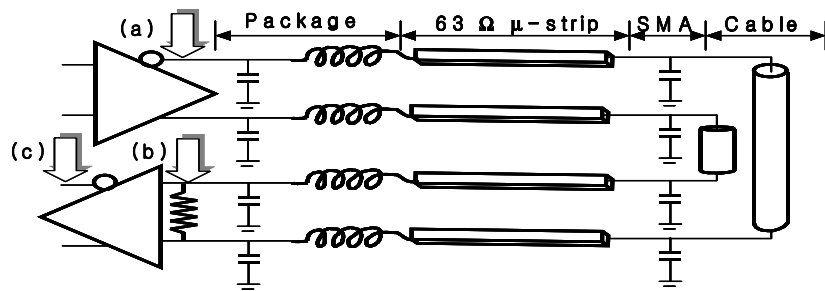


그림 5.15 Full-link configuration(with enhanced output buffer).

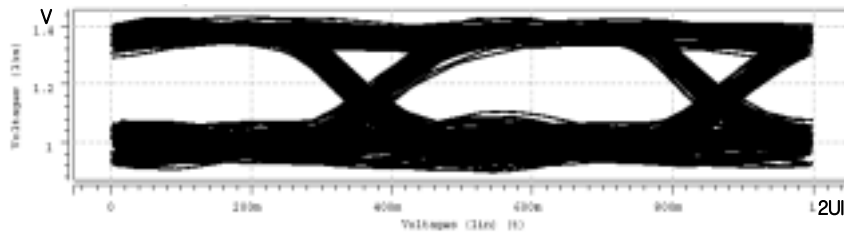


그림 5.16 (a) Output data eye-diagram @output buffer, 3Gbps

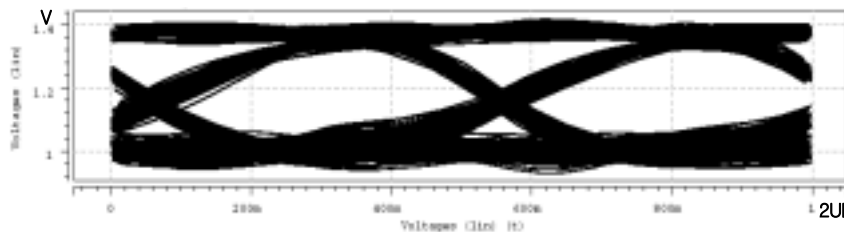


그림 5.16 (b) Input data eye-diagram @input buffer, 3Gbps

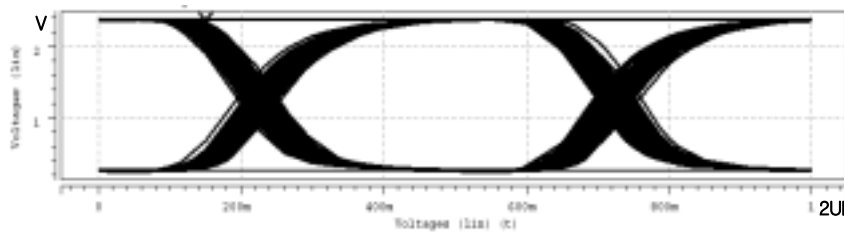


그림 5.16 (c) Output data eye-diagram @input buffer, 3Gbps

제 6 장. 결 론

본 논문에서는 ASIC이나 SoC의 I/O buffer로 사용되는 Gbps급 LVDS I/O를 구현하였다. Input buffer의 경우 서로 다른 특성을 지닌 amplifier의 조합과 negative feedback을 통해 3Gbps의 대역폭을 갖는 buffer를 설계하였으며, output buffer의 경우 큰 저항을 이용한 common-mode feedback을 NMOS로 대체하여 면적을 최소화하였고 2Gbps의 대역폭을 갖는다. 또한 내부 자체 bias를 사용하여 IP화가 용이하도록 설계하였다. 제작된 칩의 전체면적은 I/O 각각 0.029mm^2 , 0.04mm^2 이다. TDR을 이용하여 channel parameter 추출하였으며, 이를 이용하여 full-link simulation을 수행하였다. 측정 결과와의 비교를 통해 설계 단계에서 충분히 I/O 성능 검증이 가능함을 확인할 수 있었다. 설계된 회로는 ANSI/TIA/EIA-644 standard에 제시된 655Mbps 대역폭을 충분히 만족시킬 수 있는 성능이며 SoC나 ASIC의 IP로 충분히 활용될 수 있다.

향후 보완이 이뤄져야 할 부분은 LVDS driver이다. 만일 2.5V 전원을 갖는 I/O로 사용이 된다면, common-mode control이 필요치 않다. Common-mode control 없이 모든 process corner에 대한 simulation 결과 $1.2\pm 0.1\text{V}$ 의 common-mode 전압 값을 가지며, 이는 LVDS standard에도 만족하는 범위 안에 있기 때문이다. 또한 추가적인 common-mode control 회로가 필요 없기 때문에 전력 소모, layout 면적 등에서 유리한 특성이 있다. 이러한 형태의 새로운 LVDS output buffer를 제안하였으며, 구현된 구조보다 성능이 우수함을 시뮬레이션을 통해 확인할 수 있었다.

참고 문헌

- [1] IEEE Standard for Low-Voltage Differential Signaling (LVDS) for Scalable Coherent Interface (SCI) , 1596.3 SCI-LVDS Standard , IEEE Std. 1596.3-1996, 1994
- [2] Andrea Boni, *et al.* "LVDS I/O interface for Gb/s-per-Pin Operation in 0.35um CMOS" IEEE J. Solid-State Circuits, Vol 36, pp706-711, April 2001.
- [3] William J. Dally, *et al.*, "High-Performance Electrical Signaling", Massively Parallel Processing, 1988 proceedings Fifth International Conference, 1998
- [4] William J. Dally, John W. Poulton, "Digital Systems Engineering" , Cambridge, 1998.
- [5] D. A. B. Miller and H. M. Ozaktas, "Limit to the Bit-Rate Capacity of Electrical Interconnects from the Aspect Ratio of the System Architecture", Special Issue on Parallel Computing with Optical Interconnects, J. Parallel and Distributed Computing 41, pp. 42-52, 1997
- [6] National Semiconductor, "LVDS Owner's Manual", 2000
- [7] B. Young, "An SOI CMOS LVDS Driver and Receiver Pair", Symposium on VLSI Circuits, 2001. Digest of Technical Papers, 2001.
- [8] T. Gabara, *et al.* "LVDS I/O Buffers with a Controlled Reference Circuit" in Proc. ASIC Conf., Sept 1997, pp. 311-315.
- [9] M. Bazes, *et al.* "Two Novel Fully Complementary Self-biased CMOS Differential Amplifiers", IEEE J. Solid-State Circuits, vol. 26, pp165-168. Feb, 1991.
- [10] Akia Tanabe, *et al.* "0.18-um CMOS 10-Gb/s Multiplexer / Demultiplexer ICs Using Current Mode Logic with Tolerance to Threshold Voltage Fluctuation." , IEEE J. Solid-State Circuits, vol.36, pp988-996, June 2001
- [11] Zdislaw Czarnul, Shigetaka Takagi, Nobuo Fujii, "Common-mode Feedback Circuit with Differential-Difference Amplifier", IEEE Transaction on Circuits

- and Systems, Fundamental Theory and Applications, VLO 14, No. 3, 1994
- [12] Avanti!, "Star-HSPICE Manual, Release 1999.4", 1999
- [13] <http://www.logiccell.com/~jean/LVDS/>
- [14] <http://www.nesa.com> , "Limits of FR-4 in High-Speed Designs"
- [15] <http://www.vitesse.com>
- [16] Ramin Farjad-Rad, "A CMOS 4-PAM Multi-Gbps Serial Link Transceiver",
Ph.D Dissertation, Stanford Univ., 2000
- [17] Per Torstein Roine, "Performance of Synchronous and Asynchronous
High-Speed Links : A Practical Experiment" , Ph. D. Dissertation , 2000
- [18] MAXIM, "Introduction to LVDS, PECL, and CML", Application note
HFAN-1.0, 2000
- [19] InfiniBandSM Trade Association "InfiniBandTM Architecture Specification
Volume 1 Release 1.0.a ", 2001
- [20] <http://www.10gea.org/>
- [21] HP Application Note 1304-2, "Time Domain Reflectometry Theory"
- [22] Tektronix Application Note, "TDR Impedance Measurements: A Foundation
for Signal Integrity"
- [23] TDA Systems Application Note, "Signal Integrity Modeling of Gigabit
Backplanes, Cables and Connectors Using TDR"
- [24] HP Application Note, "Measure Parasitic Capacitance and Inductance Using
TDR"

ABSTRACT

Research of Gbps LVDS I/O Interface

Cheon-O Lee

Dept. of Electrical and

Electronic Engineering

Graduate School

Yonsei University

In this thesis, Low Voltage Differential Signaling(LVDS) I/O(input/output) interface circuits are implemented for the SoC(System on Chip) or ASIC(Application Specific Integrated Circuit) I/O requiring Gbps/pin operation. It supports up to 2Gbps for the NRZ signals and includes self-bias circuits for easy IP(Intellectual Property) integration.

LVDS input buffer circuits which they have 3Gbps bandwidth are composed of amplifier combinations with resistor negative feed-back. In the proposed LVDS output buffer circuits, NMOS pairs replace large resistor pairs as the common-mode feedback circuits. Thus, they have a more simple main-driver structure. Besides, pre-driver output has minimum level to drive a large main-driver capacitive loading , so it has small power consumption.

The proposed LVDS I/O circuits are designed based on 0.25 μ m CMOS 1P5M process technology from TSMC and fabricated by MOSIS. The performance of circuits is verified by measuring equipments.

For the circuits performance prediction at the design step, printed circuit board(PCB) channel and chip package parameters are extracted by using the TDR(Time Domain Reflectometry), and based on these parameters, full LVDS links are simulated with HSPICE. From this simulation results, we know that they agree with measuring results.

Implemented LVDS I/O circuits are compatible with ANSI/TIA/EIA-644 standard of 655Mbps bandwidth, so it can be used the SoC I/O or ASIC I/O applications.

Keywords : high-speed I/O, LVDS I/O, CMOS 0.25 μ m, serial link