Gbps 급 clock and data recovery circuit에 관한 연구

연세대학교 대학원

전기·전자공학과

이 재 욱

Gbps 급 clock and data recovery circuit에 관한 연구

지도 최 우 영 교수

이 논문을 석사 학위논문으로 제출함

2001년 6월 일

연세대학교 대학원
전기·전자공학과
이 재 욱

이재욱의 석사 학위논문을 인준함

심사위원 _____ 인

심사위원 _____ 인

심사위원 _____ 인

연세대학교 대학원

2001년 6월 일

차 례

그 림 차 례

표 차 례

국 문 요 약

Gbps 급 clock and data recovery circuit에 관한 연구

본 논문에서는 GHz 대역의 고속 클럭 신호를 필요로 하는 데이터 통신 시스템 분야에 응용될 수 있는 새로운 구조의 클럭 및 데이터 복원회로를 제안하였다. 제안된 회로는 고속의 데이터 전송시 주로 사용되는 NRZ 형태의 데이터 복원에 더욱 적합한 구조로서 NRZ 데이터가 주입될 경우에 위상동기 회로에 발생하는 주요 잡음원인인 high frequency jitter를 방지하기 위한 새로운 위상 검출구조를 갖추고 있어서 보다 안정적인 클럭을 제공할 수 있다. 또, 가변적인 지연시간을 갖는 delay cell을 이용한 PD를 제안하여 위상 검출기가 갖는 dead zone 문제를 없애고, 항상 최적의 동작을 수행할 수 있게 되어 빠른 locking time을 갖도록 하였다.

본 연구에서는 Gbps급 대용량의 데이터를 복원하기 위한 클럭 생성을 목표로 하여 CMOS 0.25㎛ 공정을 사용하여 설계한 후 그 동작을 data와 clock의 phase error에 따른 post-layout simulation을 통해 검증하였다.

이 회로는 두 개의 루프를 갖는 hybrid 형태로 외부의 제어신호에 의해 각 루프를 선택적으로 동작하게 하여 데이터 전송이 중단되었을 경우에도 안정적인 시스템 클럭을 발생할 수 있도록 하였다.

GHz 대역의 높은 주파수에서의 동작을 보장하기 위해 PD 및 MUX, 전

하펌프 등 각 기능동작 블록을 fully differential logic으로 설계하여 1.4 Gbps에서 1.7 Gbps까지의 데이터를 수신하여 복원할 수 있게 하였다. 또, 이 시스템은 Gigabit Ethernet Protocol에 맞추어 설계되어 high speed switch 및 data transceiver 등 주요 데이터 통신 시스템에 널리 이용될 수 있을 것이다.

핵심되는 말 : 위상 동기 회로, 클럭 및 데이터 복원 회로, CMOS 0.25㎛, 위상 검출기,

제 1 장. 서 론

통신시스템이 점차 고속화, 대용량화 됨에 따라, 시스템들의 집적화 및 고속화가 요구되고 있다. 데이터 전송을 위하여 송신단과 수신단은 변조 혹은 비변조된 형태의 디지털 신호를 주고받게 되고, 하드웨어의 복잡성과 전력, 가격 등의 이유로 인하여 송신단에서는 동기를 맞추는 클럭을 제외한 데이터 정보만을 수신단으로 보내는 방식이 사용되어진다. 이때 수신단은 제한된 채널로 인해 왜곡된 신호를 정확히 복원하기 위해서 수신된 신호에 동기된 안정적인 클럭이 필요로 하게 된다. 대용량의 정보 전송시 이러한 필요성은 더욱 커지게 되고 안정적인 클럭 발생기의 구성은 전체 시스템의 성능을 좌우하게 되는 중요한 부분이 된다. 이에 따라, GHz 대역의 높은 시스템 클럭을 제공하기 위한 위상 동기 회로(phase-locked loop; PLL) 및 Gbps 급의 높은 전송률로 전송되는 데이터로부터 클럭 신호를 추출하는 클럭 / 데이터 복원 회로(clock and data recovery circuits)에 관한 연구가 활발히 이루어지고 있다[1-11].

PLL은 주파수 합성 회로(frequency synthesizer) 및 클럭 / 데이터 복원 회로에 필수적으로 포함되는 핵심 구성 회로이다. 일반적으로 PLL은 위상/ 주파수 검출기(phase/ frequency detector; PFD), 전하펌프(charge-pump), 루프 필터(loop filter), 전압제어발진기(voltage-controlled oscillator; VCO) 그리고 주파수 분주기(frequency divider)로 구성되어 기준 입력 신호에 대해 VCO 출력의 분주된 신호의 위상을 동기 시키는 기능을 한다[9].

Gbps급 데이터 전송을 위한 규격인 Gigabit Ethernet Protocol(802.3z)의 경우 1.25Gbps의 데이터를 복원하기 위해 Physical Layer의 규격을 8B/ 10B coding을 사용한 NRZ data로 삼고 있으며, 여기에 사용될 PMA(Physical

Medium Attachment)Layer에 포함된 TBI(Ten Bit Interface) block은 125MHz의 시스템 클럭으로 부터 1.25GHz의 클럭을 발생시켜 데이터에 동기 시켜야 한다[11].

따라서 본 논문에서는 PLL의 기능을 이용하여 대용량의 데이터 전송시스템에 적합하도록 새로운 위상 검출방식을 제안하고 이 동작을 최적화 시키고자 한다. 시스템 클럭을 제공받아 GHz급의 데이터 복원에 사용될 클럭을 발생시키고 NRZ 데이터의 천이에만 반응하는 새로운 구조의 위상 검출기를 사용하여 연속된 0과 1이 수신될 경우에도 보다 안정적인 클럭을 발생시킬 수 있는 방식을 제안하고자 한다. 제안된 구조들에 대한 이론적인 해석과 검증을 위해 0.25um CMOS 공정 파라미터를 기반으로 CADENCE를 이용한 레이아웃을 하고 HSPICE를 통해 post-layout 시뮬레이션을 수행하여 클럭 / 데이터 복원 회로의 동작을 확인하였다.

2장에서는 클럭 / 데이터 복원회로의 동작 원리를 설명하고 3장에서 제안된 새로운 구조의 위상 검출기에 대한 동작원리를 설명하고 4장에서는 클럭 / 데이터 복원회로의 블록별 설계과정 및 시뮬레이션을 보이고 5장에서 전체 회로 시뮬레이션을 통한 성능을 분석하며 마지막으로 6장에서 결론을 맺는다

제 2 장. 클럭 / 데이터 복원회로의 동작 원리

클럭 / 데이터 복원회로는 크게 그림 2-1과 같이 데이터를 받아들여 동기된 클럭을 발생시키는 PLL 블록과 발생된 클럭에 의해 수신된 데이터를 결정하는 decision 블록으로 나누어 볼 수 있다.

제한된 채널 용량으로 인한 ISI(Inter Symbol Interference)와 잡음으로 수신된 신호는 왜곡되어서 데이터 복원에 많은 에러를 낳게 된다. 왜곡된 데이터를 정확히 복원하기 위해서 수신된 신호는 반드시 retiming / reshaping의 과정을 거쳐야 하며 수신된 신호와 동기된 클럭이 있을 때 이러한 과정은 가능하게 된다.

제 2-1 절. 위상 동기 회로의 동작원리

클럭을 발생시키는 방식으로는 크게 open loop 방식과 closed loop 방식이 있다. 또 각각은 narrow band systems과 broad band systems이 있다. Open loop 방식은 구조가 간단하고 빨리 동기시킬 수 있는 장점을 가지고 있으나 jitter에 민감한 구조를 갖게 되고, closed loop 방식은 보다 복잡해지고 동기시간이 길어진다는 단점을 가지고 있으나 jitter를 제거할 수 있는 장점을 가진다. 클럭 발생회로는 이런 방식 중 각각의 응용에 따라 그 방식을 선택하여 시스템을 구성하게 되고, 시스템의 복잡성을 감안하여 두 가지 방식을 혼합한 hybrid 방식을 취하기도 한다[12].

클럭을 발생시키는 방식 중 PLL에 의한 방식은 closed loop 방식으로 one-chip화가 가능하며 동기까지의 시간도 길지 않고 jitter 특성도 좋아서 가

장 많이 쓰이는 방식이다.

일반적으로 PLL은 그림 2-2와 같이 전압제어 발진기(voltage controlled oscillator; VCO), 위상 주파수 검출기(phase frequency detector; PFD), 주파수 분주기(frequency divider), 전하펌프(charge pump) 그리고 루프 필터(loop filter)로 구성되어 기준 입력 신호에 VCO 출력의 분주된 신호의 위상을 동기시키는 기능을 한다[9]. 모든 구성 요소들이 전체 회로의 성능에 영향을 미치지만 그 중에서도 VCO는 입력신호의 주파수 및 위상에 동기시키는 신호를 발생시키는 수단으로서 PLL의 성능에 가장 큰 영향을 미치는 요인이 된다.

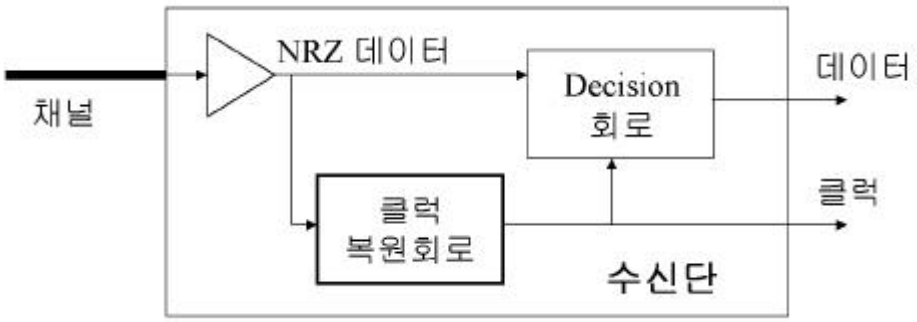


그림 2-1 클럭 / 데이터 복원회로의 블록도

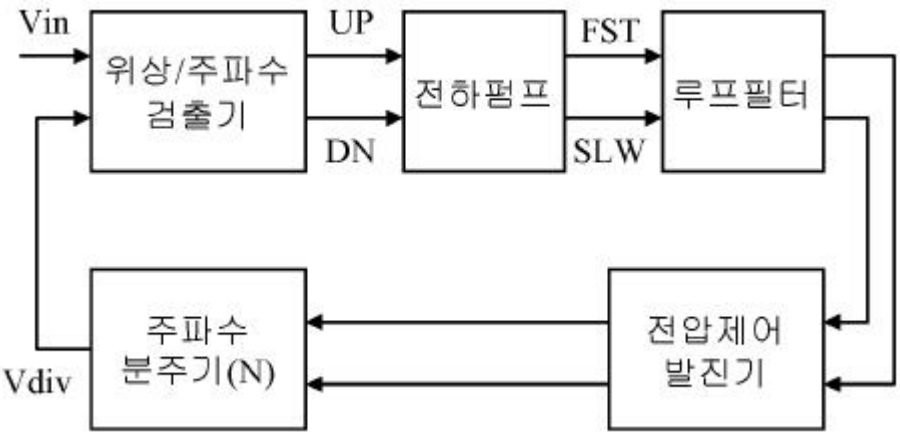


그림 2-2 위상 동기 회로의 블럭도

제 2-2 절. 전압 제어 발진기의 동작원리

전압제어 발진기를 만드는 방법은 여러 가지가 있으나 그 중 링(ring) 발진기는 집적화가 용이하고 매우 높은 발진 주파수를 얻을 수 있는 장점을 가지고 있어 집적 회로 형태의 VCO를 구현하는데 일반적으로 사용된다[13].

기본적인 링 발진기의 구조는 그림 2-3에 나타낸 바와 같이 몇 개의 인버터들이 직렬 체인(chain) 구조를 이루고 있다. 그림 2-3(a)는 홀수 단의 인버터를 사용하여 구성된 링 발진기의 구조이고, 그림 2-3(b)는 차동 인버터를 사용하여 짝수단으로 구성된 형태이다. 홀수 단으로 링 발진기를 구현하는 경우에는 간단한 구조의 인버터를 지연 소자로 사용하게 되므로 소비 전력이 적으면서 동시에 높은 발진 주파수를 얻을 수 있는 장점이 있다. 그러나, 링 발진기의 발진 주파수가 증가할수록 온도, 전원 전압의 변화, 공정 파라미터의 변화 등에 의한 영향이 더욱 커지게 되는데, 그림 2-3(a)의 구조로는 이러한 문제를 해결하기가 어렵다. 이에 반해 차동 인버터를 사용하여 구현된 차동 링 발진기는 인버터의 구조가 복잡하여 소비 전력이 비교적 큰 단점은 있으나, 여러 가지 외부 잡음에 대한 저항성이 강하고 짝수 단으로도 링 발진기를 구현할 수 있기 때문에 매우 높은 발진 주파수를 출력할 수 있는 장점이 있다.

두 경우의 동작 원리는 링 발진기를 구성하는 인버터들의 특성을 반전(inverting) 기능 및 지연(delay) 기능으로 구분하여 분석할 수 있다[14-15]. 인버터의 동작을 입력 신호에 대해 반전된 신호를 일정한 지연 시간만큼 경과된 후에 출력시키는 것으로 단순화하는 것이 해석에 용이하다. 홀수 단의 인버터로 구성된 경우, 첫 번째 단으로 논리 1의 입력이 인가되면 일정한 지연 시간이 경과된 후에 첫 번째 단의 출력은 논리 0이 되고, 두 번째 단의 출력은 다시 일정한 지연 시간이 경과된 후에 논리 1이 된다. 따라서 인버터의 지연 시

간을 T_d라하고 링 발진기가 N(N 은 홀수)개의 인버터를 포함하고 있다면, 첫 번째 입력에 대해 반전된 신호가 다시 첫 번째 입력으로 인가되는데 걸리는 시간은 NT_d가 되고, 이와 같은 과정을 한번 더 반복함으로써 링 발진기 상에서 나타나는 신호들은 주기적인 신호가 되므로 결국 지연 시간이 T_d인 인버터를 N개 포함하고 있는 링 발진기의 발진주기는 $2NT_d$가 된다.

짝수 단으로 구성된 차동 링 발진기를 구현하기 위해서는 첫 번째 단의 입력과 마지막 단의 출력을 교차하여 연결한다. 첫 번째 인버터의 입력 단에 각각 논리 1과 논리 0이 인가되면 마지막 단의 출력은 각각 논리 0과 논리 1이 된다. 이 때, 그림에서 보는 바와 같이 다시 첫 단의 입력으로 연결되므로, 결국 N(N은 짝수) 개의 차동 인버터로 구성된 차동 링 발진기의 경우에도 NT_d가 경과된 후에 첫 번째 인버터의 입력이 반전된다. 따라서, N개의 짝수 단으로 구성된 차동 링 발진기의 발진 주기는 홀수 단의 링 발진기의 경우와 마찬가지로 $2NT_d$가 된다.

N개의 인버터로 구성된 링 발진기의 발진 조건은 인버터의 주파수에 대한 전압 이득 특성과 위상 특성의 두 가지로 나누어서 생각할 수 있다. 링 발진기의 동작 원리를 위상 관계로 재분석해 보면, 링 발진기가 발진하기 위해서는 첫 번째 인버터의 입력 신호와 N 번째 인버터의 출력 신호의 위상차가 $180_{\circ}$ 가 되어야 주기적인 반전이 이루어지면서 발진하게 된다. 또한, N개의 인버터를 거친 후의 출력 신호의 진폭이 첫 번째 입력 신호의 진폭보다 작으면, 진폭이 결국 0으로 수렴하게 되어 발진이 멈추게 된다.

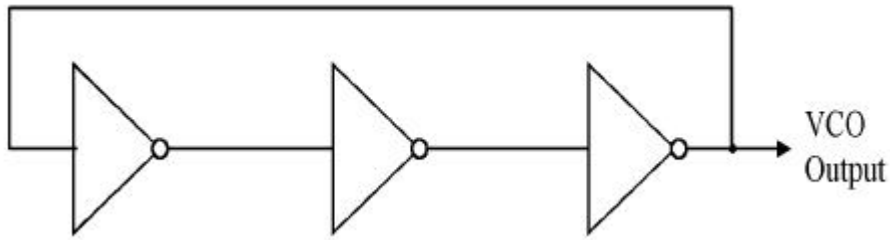
전압제어 발진기는 아날로그 전압을 입력으로 받아들여서 이와 선형적으로 비례하는 주파수를 가지는 출력 신호를 내보내게 된다. 아날로그의 제어전압을 V_c라고 할 때 출력되는 신호의 각 주파수는 다음과 같이 표현된다[9].

$$W_{vco} = W_o + K_{vco} V_c \qquad (3\text{-}1)$$

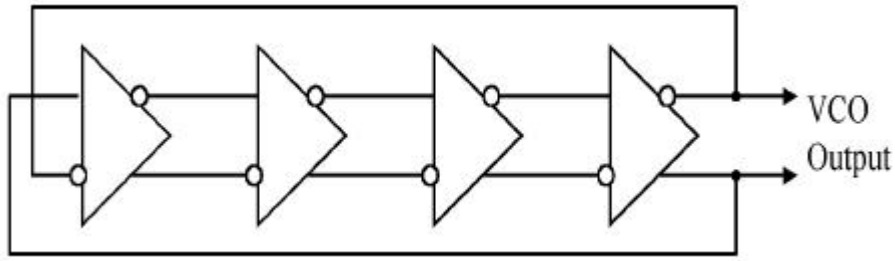
식 (3-1)에서 W_o는 전압제어 발진기가 자유 동작하는 주파수를 말하고, K_{vco}(rad/ s/ V)는 전압 제어 발진기의 제어전압이 1V 증가할 때의 주파수 이득을 의미한다. 위상을 시간에 대해서 적분하면 sinusoidal 전압제어 발진기의 출력은 식 (3-2)와 같이 표현된다.

$$y(t) = A\cos(Wo + K vco \int_{-\infty}^{t} Vcdt) \qquad (3\text{-}2)$$

전압제어 발진기는 위상 동기 회로에서 동작 주파수를 결정하는 중요한 역할을 하는 블록이다. 즉, 전압제어 발진기의 최대 주파수와 최소 주파수가 위상 동기 회로에서 튜닝할 수 있는 범위를 제한하며 이 범위 내에서 전압제어 발진기의 출력 크기의 변화는 최소가 되어야 하며 지터 잡음 역시 최소가 되어야만 한다. 위상 동기 회로 전체의 jitter와 위상 잡음을 결정하는 중요한 요소이다.



(a)



(b)

그림 2-3 링 발진기의 구조

(a) 홀수단으로 구성된 링 발진기

(b) 짝수단으로 구성된 링 발진기

제 2-3 절. 위상 주파수 검출기의 동작원리

위상 검출기의 역할은 주기적인 입력 신호의 위상을 VCO의 위상과 비교하여 이 두 가지 입력의 위상에 비례한 값을 출력하는 것이다. 이 출력 값은 루프 필터를 거쳐 VCO에 적용되게 된다.

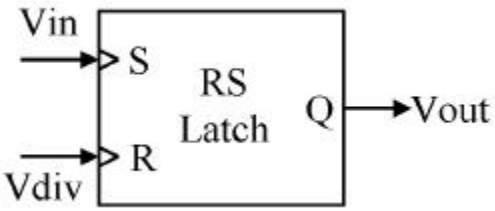
위상 검출기에는 크게 곱셈기(multiplier circuit) 방식과 순서회로(sequential circuit)에 의한 방식이 있다. 곱셈기에 의한 방식은 VCO의 출력과 입력신호를 곱하여 평균을 출력하도록 하는 것이고, 순서회로에 의한 방식은 VCO의 출력과 입력신호의 위상을 찾아서 그 위상사이의 시간간격에 의한 출력전압을 출력하는 기억소자를 가지고 있게 된다. 순서회로에 의한 방식은 신호의 에지를 검출하여 동작하기 때문에 곱셈기 방식에 비해 잡음에 약한 특성을 가지게 된다[9]. 순서회로에 의한 방식은 주로 디지털 회로(플립-플럽, 래치)에 의해 구성되고, 사각파나 클럭에 의해 동작하게 된다. Sinusoidal 신호에 의한 동작이 아닌 사각파, 클럭에 의한 동작이 위주인 클럭, 데이터 복원 회로의 경우, 곱셈기에 의한 방식보다는 순서회로에 의한 방식이 더 선호된다.

위상을 검출해내기 위한 위상 검출기로써 에지 트리거 R-S 래치가 있다. 그림 2-4에 나타낸 위상 검출기는 입력되는 Vin 신호의 상승 천이시에 출력 Q에 논리 "1"의 값을 전달하고 Vdiv 신호의 상승 천이 시에는 논리 "0"의 값을 출력 Vout에 나타낸다. 이와 같은 구조의 위상 검출기는 출력이 입력 신호들의 duty cycle에 영향을 받지 않는다는 장점이 있다. 또한, 그림 2-5의 XOR 게이트를 사용한 위상 검출기는 검출해낼 수 있는 위상차가 $-\pi/2$에서 $\pi/2$인 반면에 $-\pi$에서 π로 위상 검출 범위가 확장되는 장점이 있다. 이와 같은 구조의 위상 검출기의 입출력 특성과 위상차에 대한 Vout 출력 특성을 그림 2-4와 그림 2-5에 나타내었다.

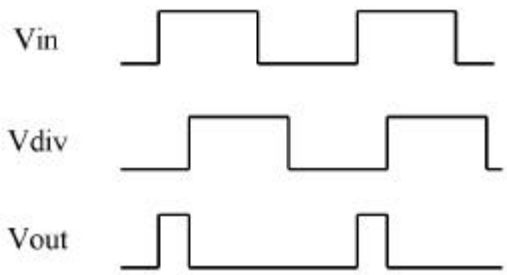
그러나, 두 가지 위상 검출기는 입력 신호의 주파수의 변화에 대해서 인식을 하지 못하며 위상 검출 범위 역시 어느 정도 제한되기 때문에 위상과 주파수 모두를 검출할 수 있는 검출기가 필요하게 된다. 그림 2-6은 전형적인 위상 / 주파수 검출기의 입출력에 관해 나타내고 있는데 만일 입력 Vin의 각 주파수가 입력 Vdiv의 각 주파수 보다 작다면 위상 / 주파수 검출기는 논리 "0"의 값을 출력 UP에 전달하고 DN에는 논리 "1"의 값을 전달한다. 반대로 Vdiv의 각 주파수 가 더 작다면 출력 DN 에 논리 "0"의 값이 전달되고 UP에 논리 "1"의 값이 전달된다. 만일, 두 입력 신호의 주파수가 같다면 위상 / 주파수 검출기는 그림 2-6에 나타낸 바와 같이 Vin 신호와 Vdiv 신호의 위상차가 음이라면 DN에 위상차와 동일한 펄스 폭을 갖는 신호를 출력한다. 반대로 위상차가 양이라면 UP에 동일한 펄스 폭을 갖는 논리 "1"의 값을 출력하는 구조를 가지고 있으며 각 주파수와 위상이 모두 동일한 경우에는 UP과 DN에 논리 "0"의 값을 출력한다. 이와 같은 위상 / 주파수 검출기에서는 UP과 DN에 동시에 논리"1"의 값을 갖는 펄스가 발생하지 말아야만 한다.

위와 같은 구조를 갖는 위상 / 주파수 검출기를 설계하기 위해서는 두 개의 출력 값이 세 가지의 논리 상태를 가져야 하며 입력되는 신호들의 주파수와 위상의 변화에 따른 duty cycle에 영향을 받지 않도록 에지 트리거 구조를 가져야만 한다. 이를 위해 그림 2-7에 위상 / 주파수 검출기의 동작을 요약한 상태 그림을 나타내었다. 여기서, (UP, DN) = (0, 0); (UP, DN) = (0, 1); (UP,DN) = (1, 0)의 세 가지 상태를 가지며 각 상태의 전환은 입력되는 두 신호의 상승 천이 때 일어난다. 따라서, 만일 Vin의 각 주파수 가 Vdiv의 각 주파수보다 크다면, Vdiv 신호가 두 번 전환된 사이에 Vin 신호가 두 번 전환되는 상태로 돌아가기 위해 나머지의 상태 사이에 전환되는 순차적인 변환을 나타내고 있다. 0 ~ 2π까지의 위상차를 검출하고 전하펌프와 함께 사용하여 정

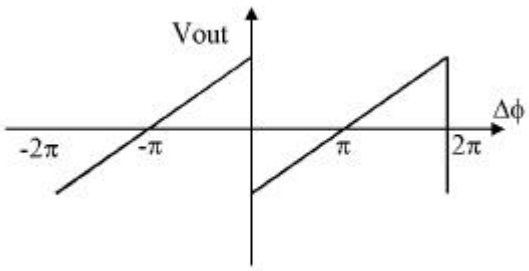
적인 위상 잡음을 제거할 수 있다. 위상 / 주파수 검출기 구조가 그림 2-8(a)에 나타나 있다[9-10,16]. 하강 시점에서 동작하는 두 개의 D-F/ F(Flip-Flop)의 클럭 입력단에는 Vin과 Vdiv 신호가 각각 입력되고 D 입력에는 논리 "1"의 값을 가하여서 Vin이나 Vdiv가 논리 "1"에서 "0"으로 하강하는 시점에서 입력 값을 외부에 출력한다. 즉, 입력 Vin이 하강하는 시점에서 논리 "1"의 신호가 D-F/ F 의 출력 UP 에 나타나고 Vdiv 가 하강하는 시점에서는 출력 DN 에 논리 "1"의 값이 나타난다. 이 때, UP 고 DN 신호가 동시에 논리 "1"이 되면 AND 게이트의 출력이 논리 "1"의 값을 갖고 리셋 단자를 동작시켜서 UP과 DN 신호를 논리 "0"으로 하강시킨다. 두 입력 신호의 위상차는 전하펌프에 위상차 만큼의 UP 신호가 전달되어 전압제어 발진기의 주파수를 증가시킴으로써 감소된다. 천이 순간에서만 동작하기 때문에 위상차에 관계없이 0에서 2π까지 검출이 가능하고 위상차가 미세하여 검출해 낼 수 없는 영역을 피할 수 있다.



(a)



(b)



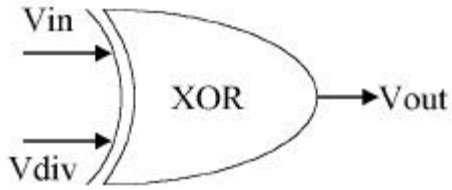
(c)

그림 2-4 에지 트리거 R-S 래치의 입출력과 동작특성

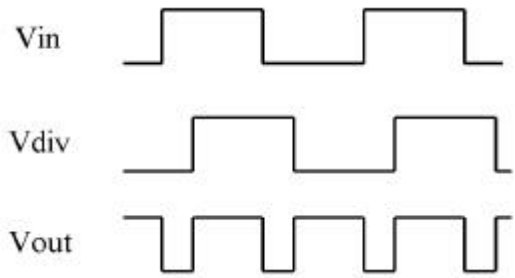
(a) **에지 트리거 R-S 래치의 블럭도**

(b) **에지 트리거 R-S 래치의 입출력**

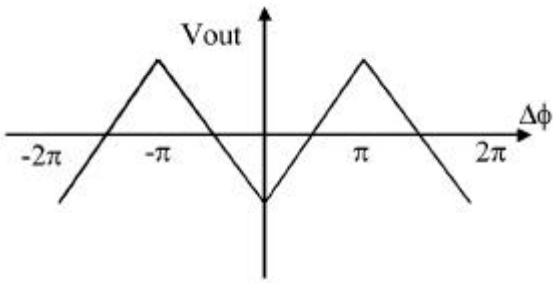
(c) **에지 트리거 R-S 래치의 동작특성**



(a)



(b)



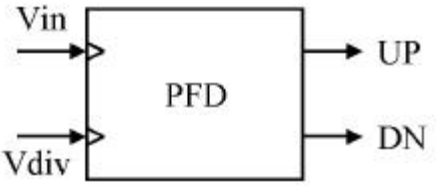
(c)

그림 2-5 XOR **게이트의 입출력과 동작 특성**

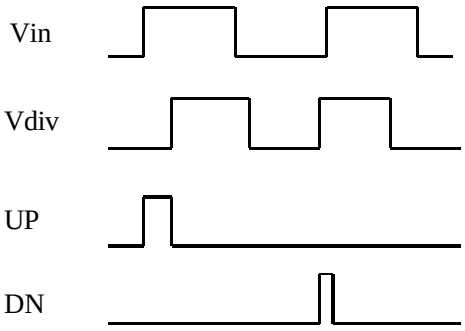
(a) XOR **게이트의 블럭도**

(b)XOR **게이트의 입출력**

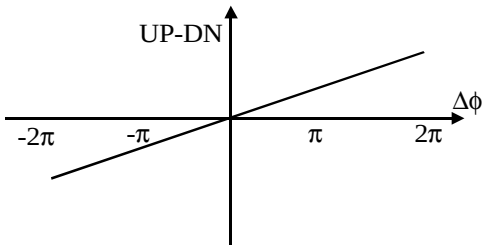
(c)XOR **게이트의 동작특성**



(a)



(b)



(c)

그림 2-6 위상 / 주파수 검출기의 입출력과 동작 특성

(a)위상 / 주파수 검출기의 블럭도

(b)위상 / 주파수 검출기의 입출력

(c)위상 / 주파수 검출기의 동작 특성

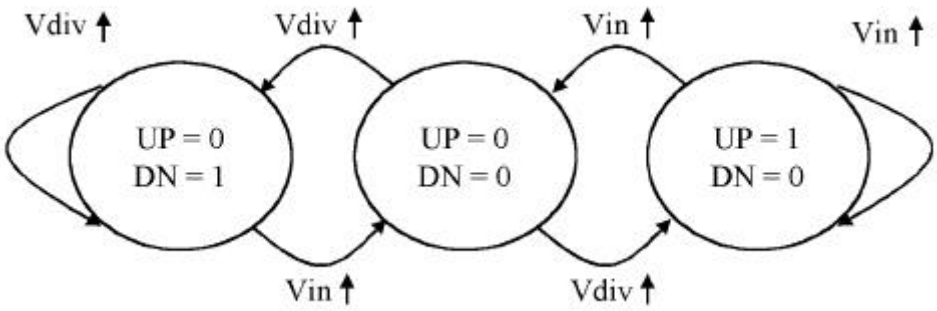
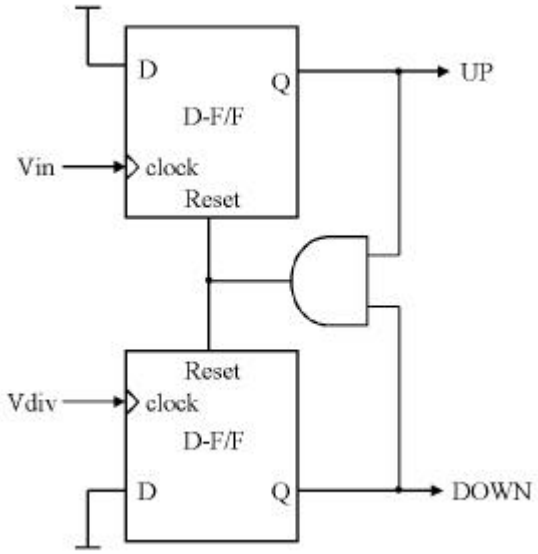
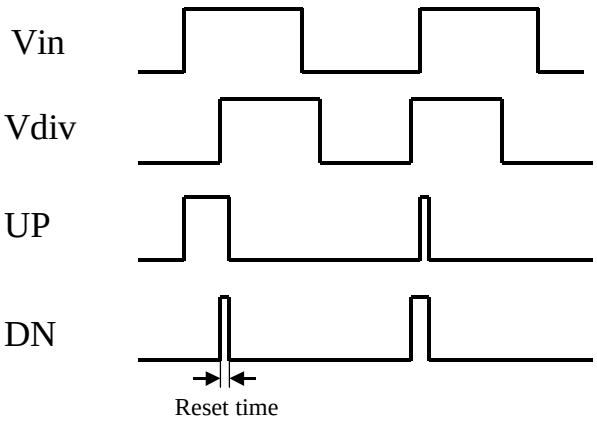


그림 2-7 위상 / 주파수 검출기의 논리상태도



(a)



(b)

그림 2-8 일반적인 위상 / 주파수 검출기

(a) 위상 / 주파수 검출기의 구조

(b) 위상 / 주파수 검출기의 입출력 특성

제 2-4 절. 전하펌프 루프 필터의 동작원리

전형적인 선형 위상 동기 회로에는 위상 검출기와 연동하여 간단한 구조의 저역 통과 필터가 사용된다. 이 구조에서는 위상 검출기 출력의 평균값이 위상차가 존재하는 구간 내에 저역 통과 필터의 커패시터에 충전되고 이 값은 시간이 지날수록 누설 전류로 인하여 방전되기 때문에 정상 상태에서의 잡음이 계속해서 발생하는 단점이 있다[9,17-18]. 연산 증폭기 등을 이용한 능동 저역 통과 필터가 존재하지만 연산 증폭기 자체가 가지는 대역폭과 동작 주파수의 한계로 인해 잡음의 제거에 있어서 한계가 존재할 수밖에 없다. 이와 같은 문제점은 위상 / 주파수 검출기와 전하펌프 루프필터를 사용하여 해결할 수 있다.

동작 원리를 알아보기 위해서 그림 2-9에 두 개의 독립 전류원과 전기적인 스위치로 구성된 전하펌프와 위상 / 주파수 검출기, 저역 통과 필터를 함께 나타내었다. 만일, 입력 Vin 신호가 Vdiv 신호보다 앞선다면 위상 / 주파수 검출기는 UP 에 논리 "1"의 값을 출력하게 된다. 이 값이 전하펌프의 스위치 S1을 도통시키면서 루프필터의 커패시터에는 전류 I1이 전달되어 전하가 충전된다. 이 때, DN 에는 논리 "0"의 값이 나타나게 되고 스위치 S2는 도통되지 않고 전류원 I2는 동작하지 않는다. 그림 2-10에 나타난 바와 같이 UP 신호의 펄스폭 만큼의 시간동안 커패시터에 충전된 값으로 인해 출력 전압이 상승하고, 그 외의 시간동안은 전하펌프의 DC 이득이 무한대이기 때문에 루프필터 단독으로 사용된 경우와는 달리 방전될 경로가 생기지 않아서 출력 전압이 일정하게 유지된다. 따라서, 이상적으로 전하펌프가 포함된 위상 동기 회로의 정적 위상 오차(static phase error)는 0이 되고, 주파수 획득 범위가 단지 전압제어 발진기의 출력 주파수 범위에 의해서만 제한되는 장점이 있다[19].

그러나, 이와 같이 위상 / 주파수 검출기와 전하펌프 루프필터가 포함된 경우에는 Dead Zone이라는 현상을 겪게 된다[9-10]. 만일, 두 입력 신호의 위상차가 충분히 크다면 문제가 발생하지 않지만 그림 2-11에 나타난 바와 같이 두 입력 신호간의 지연 시간이 0에 가까워지면 FET 소자로 구성되는 스위치의 커패시터 부하를 충전시키는 데 걸리는 시간으로 인하여 출력 UP 신호가 충분히 논리 "1"로 상승하지 못하고 문턱 전압에 도달하여 논리 "0"의 값으로 UP과 DN 신호가 하강하는 경우가 발생한다. 이와 같이 제한된 위상 검출 범위를 해결하기 위하여 위상 / 주파수 검출기의 출력 신호인 UP과 DN 신호의 상승 시간을 감소하여야 한다. 그러나, 전하 펌프의 스위치인 S1과 S2가 실제 회로에서 구현될 경우 FET 소자를 사용하게 되는데 이 스위치의 커패시터 부하를 최대한 작게 설계해야 하는데 소자 자체의 한계가 있을 수밖에 없다. 또 다른 방법으로는 두 입력 신호를 논리 "0"으로 리셋 시키는 구조를 사용하여 UP과 DN 신호가 충분한 시간 동안 논리 "1"의 값을 유지할 수 있도록 설계함으로써 Dead Zone 문제를 해결하는 것이다. 그러나. 이 방법을 사용하게 되면 UP 과 DN 신호가 동시에 논리 "1"이 되는 순간에 스위치 S1 과 S2 가 동시에 도통되어 두 개의 전류원은 하나의 경로에 위치하게 된다. 이 때, 전류원 A와 B가 가지는 전류 I1과 I2는 회로로 구성할 경우 어느 정도의 오차가 반드시 발생하게 된다. 이 오차로 인하여 위상차가 없는 경우에도 계속하여 제어 전압이 변하기 때문에 이 전압을 제어 전압으로 사용하여 주파수를 변화시키는 전압제어 발진기의 출력 파형에 심한 왜곡을 발생시키게 된다. 이는 전체 위상 동기 회로에 직접적으로 영향을 미치게 되어서 입력되는 신호와 위상 고정된 상태에서도 계속해서 Vdiv의 주파수가 계속해서 변화하게 되어서 지터 잡음을 발생시키게 된다[9].

PLL의 동작을 제어하는 루프 필터로는 그림 2-12와 같은 Lag-Lead 필터의

형태가 쓰인다. 1차의 루프 필터를 이용하여 2차의 PLL을 구성하면 루프필터 내의 저항에 걸리는 전압 성분이 VCO의 출력 신호의 위상을 제어하는 작용을 하게 된다. 따라서, 루프 필터의 저항값이 커지면 기준 입력 신호와 분주된 VCO의 출력의 주파수차 보다는 위상차가 출력에 보다 많이 반영되므로 두 신호간의 주파수 차가 적고 위상차가 클 경우에 보다 빨리 동기되는 경향을 보인다. 그러나, 저항값이 커지면 동기된 상태에서 출력 신호의 지터 특성이 저하되는 문제가 있다[9-10]. 이를 방지하기 위해 별도의 작은 값의 커패시터를 루프 필터의 출력단에 연결하여 제어 전압의 리플(ripple)을 제거하는 것이 일반적이다.

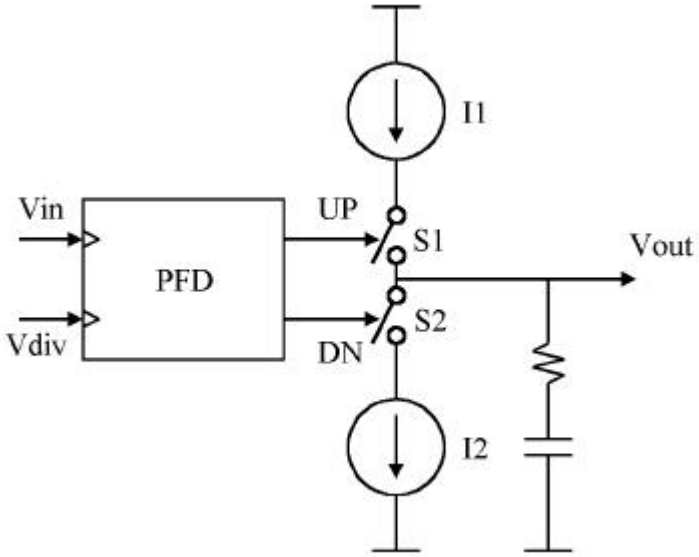


그림 2-9 위상 / 주파수 검출기와 연동된 전하펌프 루프필터

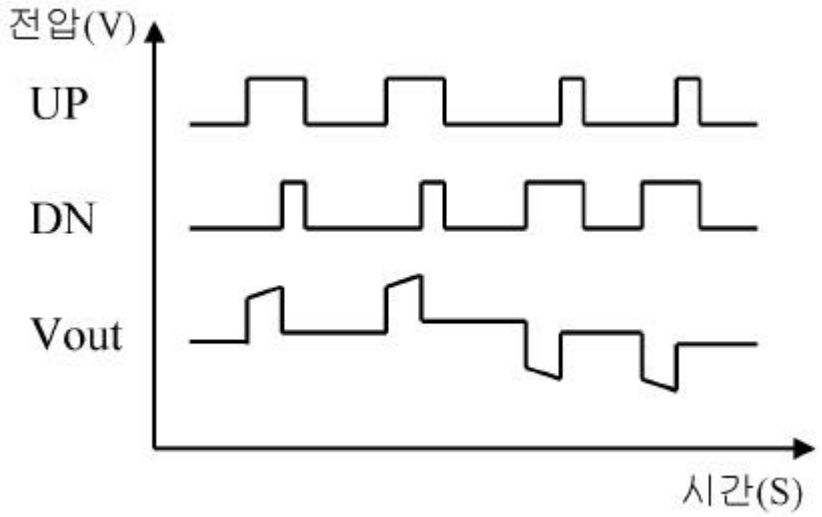


그림 2-10 전하펌프 루프필터의 입출력 파형

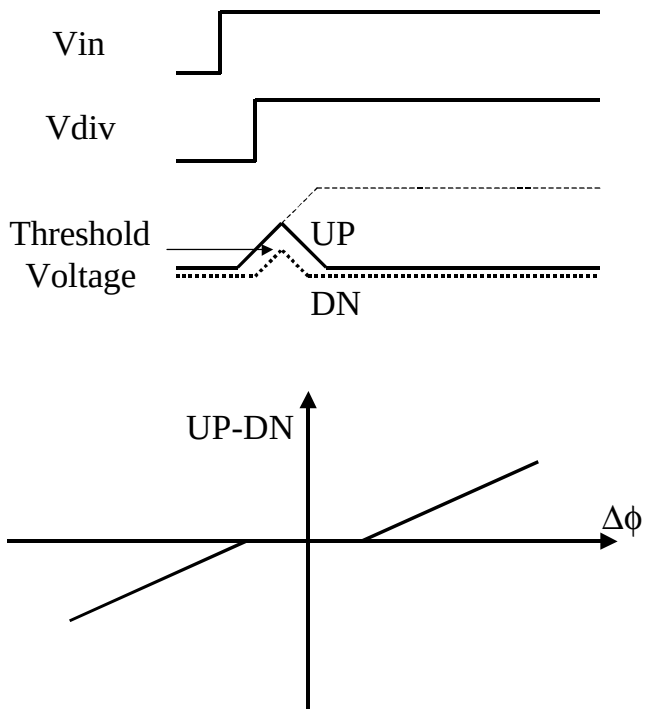


그림 2-11 Dead Zone **내의 위상차에 따른 출력 파형**

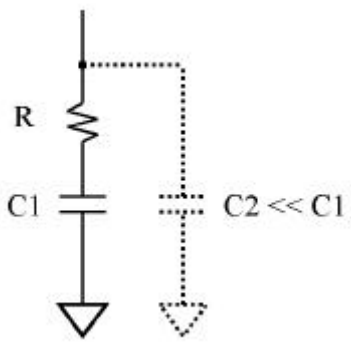


그림 2-12 lag-Lead **필터**

제 3 장. 새로운 구조의 위상 검출기

위상 검출기로는 곱셈기나 순서회로를 사용한 방식이 많이 사용되어 왔다. 그러나, VCO의 출력과 위상을 비교해야 될 입력 신호가 주기적인 신호가 아닌 NRZ 데이터와 같이 논리 "0" 혹은 "1"이 연속될 경우가 빈번할 경우 발생시키고 있는 클럭에 비해 NRZ 데이터의 주파수가 낮은 것으로 인식하여 DN 신호를 계속 발생시키는 오류를 낳게 되어 위상 오차가 없는 경우에도 UP/ DOWN 신호가 계속 발생되어 high-frequency jitter를 발생시킨다[9]. 클럭 / 데이터 복원 회로에 사용될 위상 검출기는 NRZ 데이터에도 지터 잡음을 발생시키지 않는 구조를 사용해야 할 필요성이 크다는 것을 알 수 있다. 본 연구에서는 이러한 주기적이지 않은 NRZ 데이터에서도 사용될 수 있는 구조의 위상 검출기를 제안하고자 한다. 만일, UP/ DOWN 신호가 단지 데이터의 천이가 발생할 경우에만 동작하게 하여 그 위상만을 VCO의 출력과 비교하게 한다면 high-frequency jitter를 줄일 수 있게 된다. 기존의 방식 중 인버터와 같은 고정된 시간지연을 갖는 지연소자를 사용하여 위상 검출기의 기능을 수행한 경우가 있었다[20]. 그러나, 이 방식은 지연소자의 지연 시간 고정으로 위상 검출기의 동작이 주파수에 따라 바뀌게 되어 변화하는 주파수에서는 최적의 동작을 할 수 없게 된다. 그리고 위상 검출기의 위상 오차 검출 범위가 제한되는 단점이 있다. 이러한 단점을 보안하여 가변적인 지연 시간을 가질 수 있도록 한다면 위상 오차 검출 범위가 확대되어 항상 최적의 동작을 할 수 있게 되어 빠른 동기 시간을 가질 수 있게 된다.

새로 제안된 위상 검출기에서는 그림 3-1에서와 같이 데이터의 천이를 검출하기 위해 데이터를 지연시켜 각각 data-A, data-B, data-C를 얻는다. 각각의

신호는 클럭 신호와의 위상 관계에 의해 UP/DOWN 신호를 얻게 된다.

$$UP = (A \oplus C) \cdot clock \quad (4\text{-}1)$$

$$DOWN = A \oplus B \quad (4\text{-}2)$$

UP, DN 신호는 각각 XOR 게이트와 AND 게이트에 의해 위상을 비교하여 data-B의 에지와 클럭의 위상을 비교하여 발생된다.

그림 3-2은 data-B와 클럭의 위상이 각각 fast, lock, slow의 상태에 있을 때의 동작을 나타내고 있다.

각 동작은 데이터의 천이 시점에 클럭의 하강 시점을 동기 시키도록 UP / DOWN 신호가 출력되고 있음을 알 수 있다. DOWN 신호는 data-B와 이보다 빠른 data-A와의 XOR 게이트를 통해 얻어지며 UP 신호는 data-A와 data-C의 XOR 영역 중 clock 신호와 겹치는 부분을 검출하여 결국 data-B의 각 천이 시점과 클럭의 하강 시점을 동기 시키게 된다. 또, 모든 경우 데이터의 천이가 있을 경우에만 발생함을 알 수 있다.

그림 3-3(a)는 이상적인 경우의 위상 검출기의 동작 특성을 나타내고 있다 [9]. 제안된 회로의 동작은 그림 3-3(b)에 보이듯이 지연 시간의 크기(ϕ)가 클수록 이상적인 경우에 접근하게 되는데, 지연 시간의 크기가 고정되어 있을 경우 오히려 사용되는 클럭의 주파수에 따라 ϕ의 크기가 바뀔 수 있음을 의미한다. 또 이 영역은 최대 $\pi/2$까지 확장될 수 있는데 지연소자의 지연시간이 VCO 주파수 변화에 따라 항상 $\pi/2$ 지연 값을 가질 수 있어야 최적의 동작을 할 수 있음을 의미한다. 제안된 구조는 4단 differential inverter를 이용한 링 발진기의 설계 후 2단의 지연소자를 사용하여 $\pi/2$의 시간 지연을 가질 수 있도록 하였으며 제어 전압을 가하여 VCO의 주파수에 따라 가변적으로 동작

하게 되도록 하였다. 발생시키는 클럭과 연동하여 움직이는 가변적인 지연소자를 사용하여 NRZ 데이터와 같이 주기적인 신호가 아닌 입력에도 위상을 동기시킬 수 있게 되었으며, 위상 검출기의 특성을 최적화 할 수 있는 지연을 얻게 하였다. 이에 따른 실제적인 시뮬레이션은 4장에서 보인다.

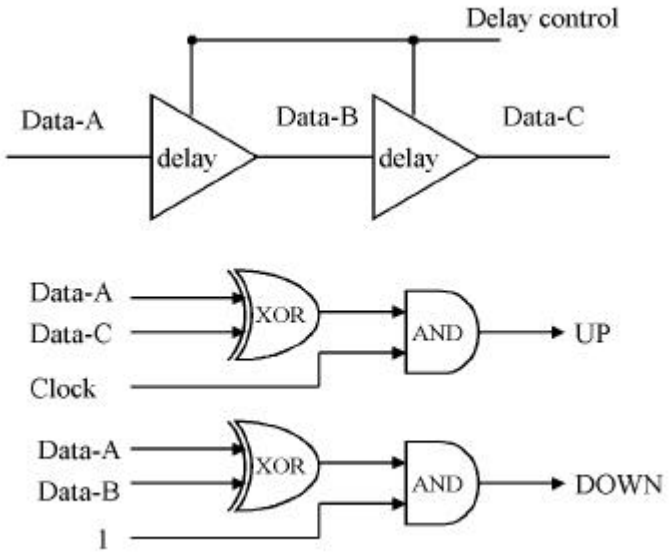
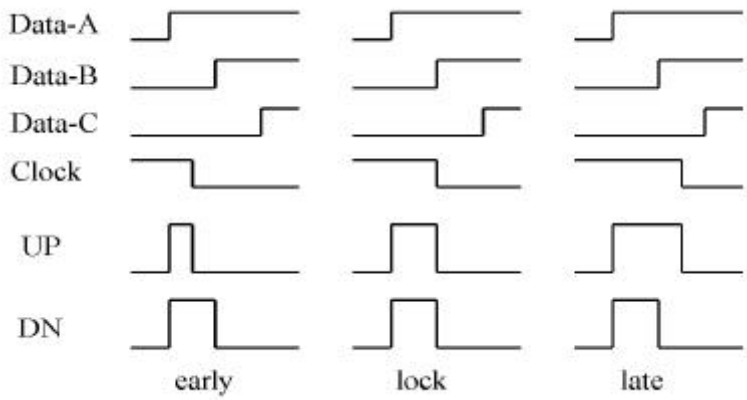


그림 3-1 제안된 구조의 위상 검출기 회로도



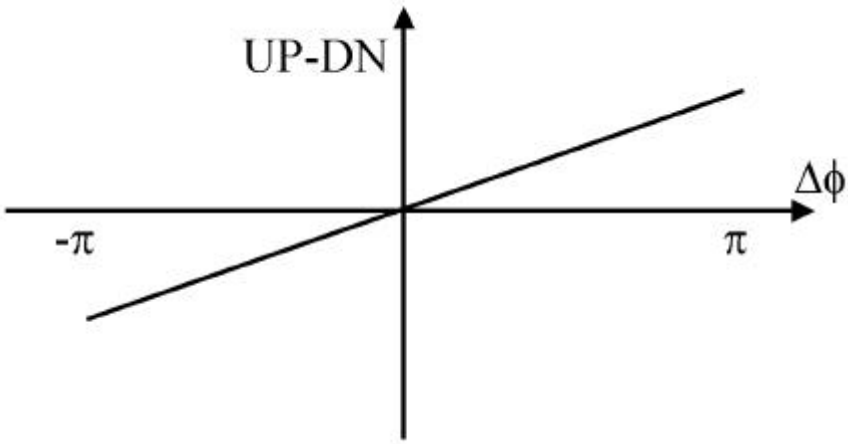
(a) (b) (c)

그림 3-2 제안된 구조의 위상 검출기의 동작

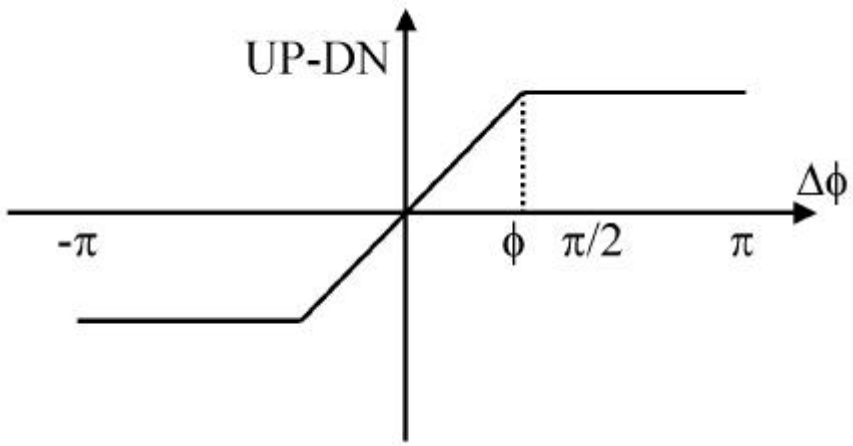
(a) 클럭이 데이터보다 빠를 때

(b) 클럭과 데이터가 동기되었을 때

(c) 클럭이 데이터보다 늦을 때



(a)



(b)

그림 3-3 위상 검출기의 동작 특성

(a) 이상적인 경우의 위상 검출기의 동작 특성

(b) 제안된 구조의 위상 검출기의 동작 특성

제 4 장. 클럭 / 데이터 복원회로의 블록별 설계 및 시뮬레이션

제 4-1 절. 전압제어 발진기의 설계

본 논문에서 사용한 전압제어 발진기는 그림 2-3(b)와 같이 4단 differential inverter를 이용한 링 발진기 방식이다. 전압 제어 발진기의 성능은 전체 회로의 성능에 가장 큰 영향을 미치는 블록으로 안정적으로 동작할 수 있어야 한다. 먼저, 클럭 / 데이터 복원회로에 사용될 전압제어 발진기의 특징은 본 논문에서 사용하고자 하는 대역이 Gbps 대역의 높은 주파수를 갖는 영역이므로 GHz의 고속 동작이 가능해야 하고 클럭 / 데이터 복원회로의 특성상 넓은 동작범위를 가질 필요는 없고, 위상 검출기에도 같이 사용할 수 있어야 하므로 limiter로써 큰 진폭을 안정적으로 출력할 수 있어야 한다.

본 연구에서 사용된 전압 제어 발진기의 주파수 제어방식은 RC 지연 방식으로 그림 4-1과 같다. 이 방식은 발진 루프를 구성하는 인버터 각 단 사이에 FET를 직렬로 연결하는 방식이다. 연결된 FET는 전압 제어형 저항으로 동작한다. 인버터의 입력 커패시턴스를 C라 하면 시정수(time constant) RC는 제어 전압에 따라 변하게 된다. RC 의 변화량은 인버터의 로직 천이 시간에 영향을 주어 발진 주파수를 변화시킨다[9].

이 방식은 FET와 같은 지연 소자가 발진 루프에 별도로 추가되어 최대 발진 주파수가 제한되는 단점이 있다. 하지만 그 구성이 쉽고 넓은 전압제어 범위를 가질 수 있어 많이 사용된다. 이외에 전압 제어 발진기를 구성하는 방식으로는 풀 다운(pull-down) 전류제어 방식과 피드백 루프 결합 방식이 있다.

본 연구에서 사용된 차동 인버터는 그림 4-2와 같다. 출력 단의 부하로 사용된 PMOS 는 3가지로 나누어 볼 수 있는데 latch로 구성된 부하는 차동 인버터를 limiter로서 사용 가능하도록 두 출력 단의 상태를 제한하는 역할을 수행한다. 또, 단순 부하로써 사용되는 PMOS 부하는 차동 인버터가 GHz의 높은 주파수에서 발진할 수 있도록 하고 마지막으로 외부 입력전압으로 RC 시정수를 바꾸어 발진 주파수를 조절할 수 있는 부하를 가지고 있다.

그림 4-3는 제안된 차동 인버터를 사용하여 구성된 링 발진기의 동작을 나타내고 있다. 제안된 링 발진기의 성능을 평가하기 위해 SPICE 시뮬레이션을 수행하였으며 그 결과는 표 4-1과 같다. 0.8V - 2.0V의 제어 전압 범위에서 대해 출력 신호의 출력 주파수는 1.4GHz - 1.96GHz로 변화하고, 출력 신호의 진폭은 1.77V - 2.17V로 변화한다. 그림 4-3은 각각 제어전압이 0.8V, 1.2V, 그리고 1.6V일 때의 파형들을 보인 것이다. 결과에서 보듯이 제어전압의 범위 내에서 각 신호들이 큰 변화없이 깨끗한 클럭을 생성하고 있으며, 특히 실제적으로 사용될 1.4GHz에서 1.7GHz까지의 범위에서는 2V 이상의 큰 진폭으로 거의 일정하게 유지되고 있음을 알수 있다. 그림 4-4는 제안된 VCO의 주파수 제어 특성을 나타낸 것으로 VCO 이득은 약 400MHz/ V이다.

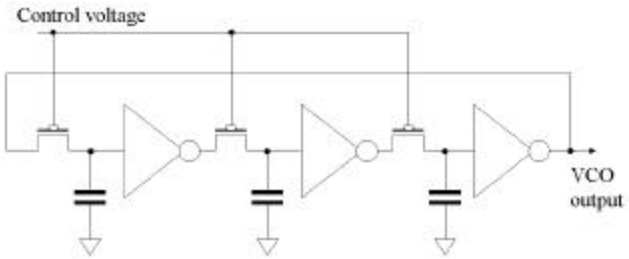
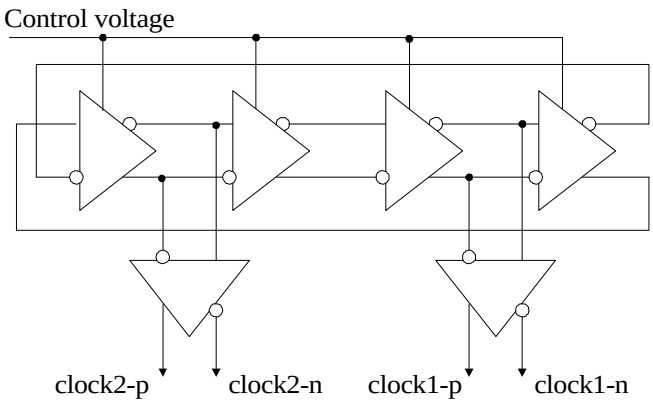


그림 4-1 RC **지연 방식의 전압제어 발진기**



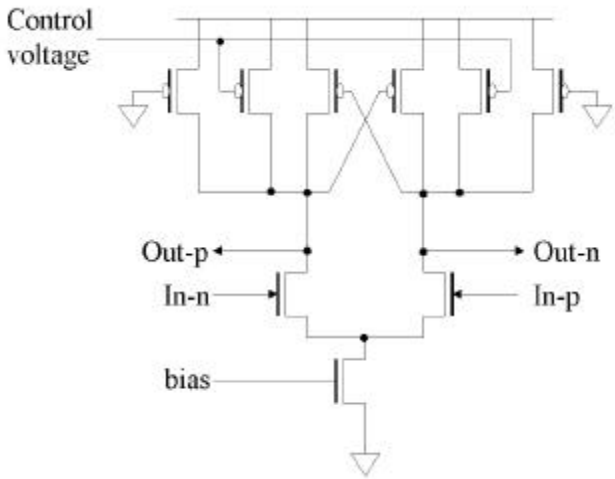


그림 4-2 **제안된 차동 인버터의 회로도**

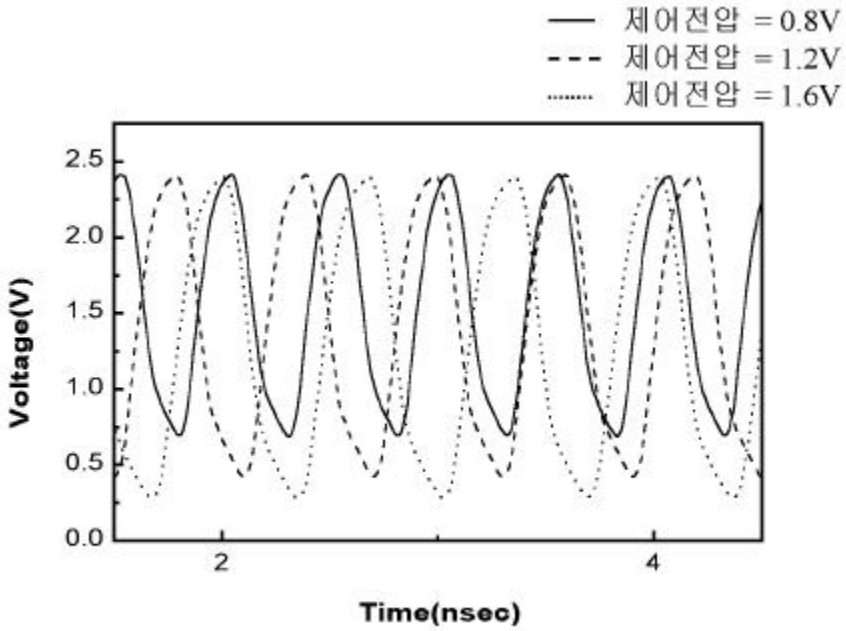


그림 4-3 제안된 차동 인버터를 사용하여 구성된 링 발진기의 동작

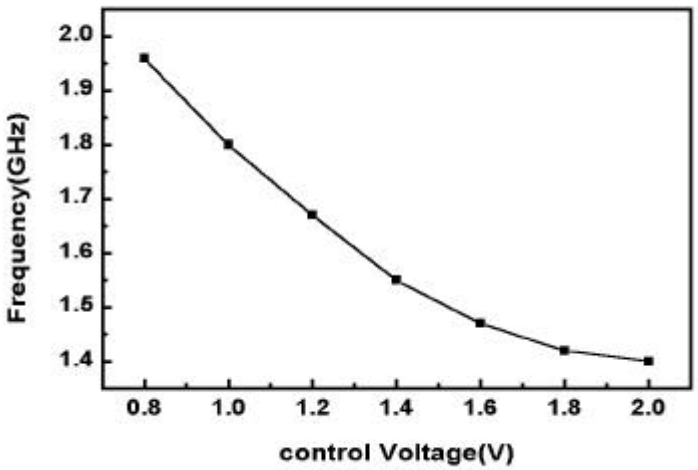


그림 4-4 제안된 VCO 의 주파수 제어 특성

표 4-1 제안된 전압 제어 발진기의 출력 특성

제어전압(V)	주기(nsec)	주파수(GHz)	진폭(V)
0.8	0.51	1.96	1.77
1.0	0.556	1.80	1.91
1.2	0.6	1.67	2.02
1.4	0.644	1.55	2.1
1.6	0.678	1.47	2.14
1.8	0.704	1.42	2.16
2.0	0.712	1.40	2.17

제 4-2 절. 위상 검출기의 설계

본 연구에서는 두 가지 방식의 위상 검출기를 사용했다. 먼저, 낮은 주파수의 지역 발진기로부터의 입력을 받아 동기를 시키기 위해 사용되는 순서회로를 이용한 위상 주파수 검출기로서 그림 4-5와 같은 구조를 가지며 7 gate 리셋 시간을 가지며 dead zone 문제가 해결된 구조의 위상 주파수 검출기이다.

이 구조의 위상 주파수 검출기는 Vin과 Vdiv를 입력으로 받아서 UP, DN 신호를 출력한다. 본 연구에서 설계한 차동 전하펌프는 differential 입력을 필요로 하므로 single 신호를 differential 신호로 바꿀 수 있는 buffer를 사용하여 UP, DN 신호의 반대 신호를 추출하였다.

그림 4-6은 위상 주파수 검출기의 입출력 시뮬레이션 파형이다. 이 시뮬레이션은 위상 주파수 검출기의 입력에 주기 8nsec의 신호를 각각 입력하여 수행한 시뮬레이션 결과이다. 시뮬레이션 결과를 보면 Vdiv 신호의 위상이 Vin이 하강할 때 UP의 신호가 상승하였다. 또한 UP과 DN이 모두 논리 "1"의 상태가 되면 두 신호 모두 논리 "0"으로 리셋되어 위상 주파수 검출기로서의 기능을 수행하였으며 위상 주파수 검출기의 리셋 시간은 7 gate-delay로 약 0.42nsec의 비교적 큰 리셋 시간을 가지고 있다.

두 번째로 클럭 / 데이터 복원 회로로서 사용되어지기 위해 입력되는 고속의 데이터와 클럭의 위상을 검출하기 위한 위상 검출기는 GHz의 고주파 대역에서 동작할 수 있어야 하므로 고속에서 동작할 수 있는 논리 회로가 필요하다. 전압 제어 발진기에서 사용되어진 지연소자를 통해 지연을 얻고 그 신호에서 UP, DN 신호를 얻기 위해서 그림 4-7의 XOR 게이트의 회로와 그림 4-8의 AND 회로가 사용되었다. XOR 회로와 AND 회로는 fully differential logic에 사용될 수 있도록 설계되었으며, 각각 두 입력의 변화에 같은 응답을 가질

수 있도록 symmetric하게 구성되었다. 그림 4-9는 설계된 지연소자와 XOR, AND를 이용하여 위상검출기를 구성하여 고속의 입력과 클럭의 위상을 비교해 UP, DN 신호를 출력하는 시뮬레이션이다. 각각 두 개의 입력의 위상을 비교하여 UP, DN 신호가 논리 "1"의 값을 출력하고 있으며 데이터의 위상이 빠를 때, 두 위상이 동기 되었을 때, 데이터의 위상이 늦을 때를 나타내고 있다. 또, 모든 신호가 데이터의 전이가 발생할 때만 발생하고 있으며 두 번의 천이가 발생함에 따라 UP, DN 신호가 두 번에 걸쳐서 그 위상차에 따른 응답을 출력하고 있음을 알 수 있다. 두 신호가 동기 되었을 때 데이터의 천이가 발생한다면 그때마다 같은 크기의 UP, DN 신호가 발생하게 되어 전하펌프의 누설전류 문제를 낳을 수 있으나, 이 신호의 크기를 제한할 경우 위상 검출기는 dead zone 문제가 생기게 되어서 누설전류에 의한 문제는 전하펌프를 개선하여 해결하는 것이 바람직하다. 또, 데이터의 천이시에 발생하는 UP, DN 신호의 크기는 일반적인 위상 / 주파수 검출기의 리셋 시간(0.42nsec)과 비교하여 오히려 작은 값(약 0.25nsec)을 가지고 있으므로 전하펌프의 누설전류 문제는 크게 발생하지 않는다.

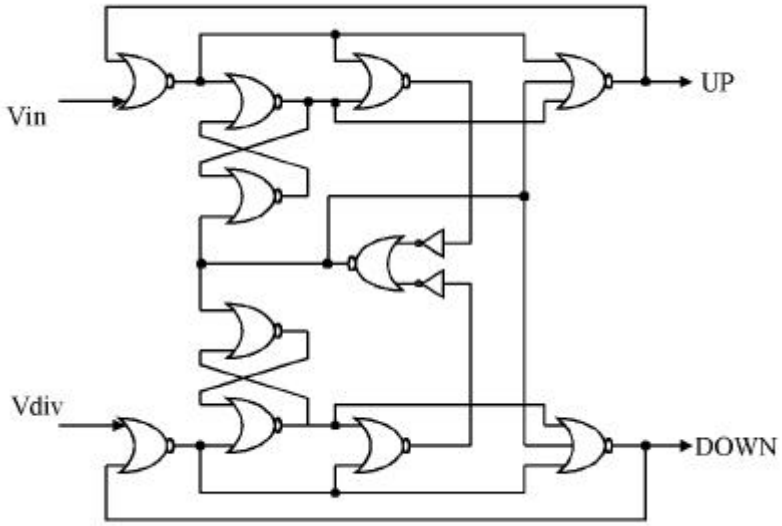


그림 4-5 순서회로를 이용한 위상 주파수 검출기의 회로도

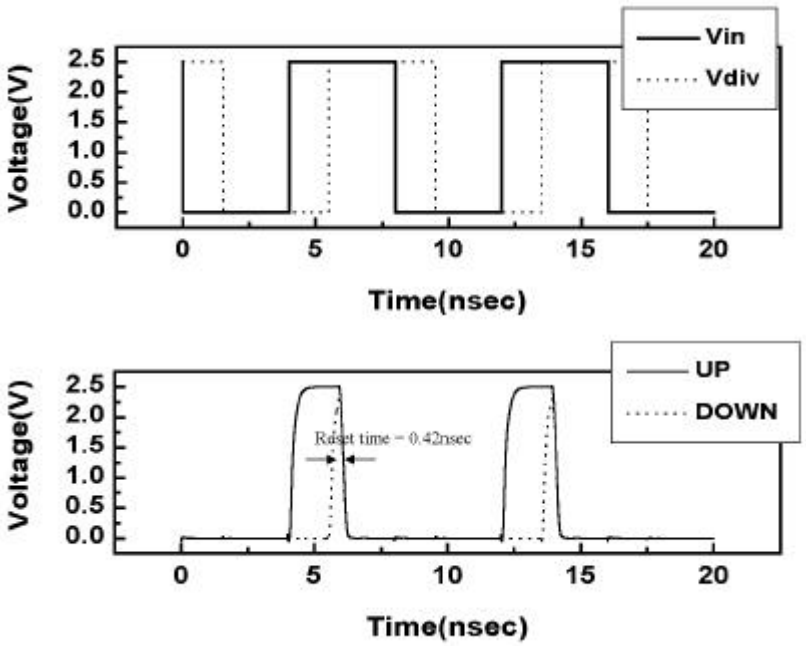


그림 4-6 위상 주파수 검출기의 입출력 시뮬레이션 파형

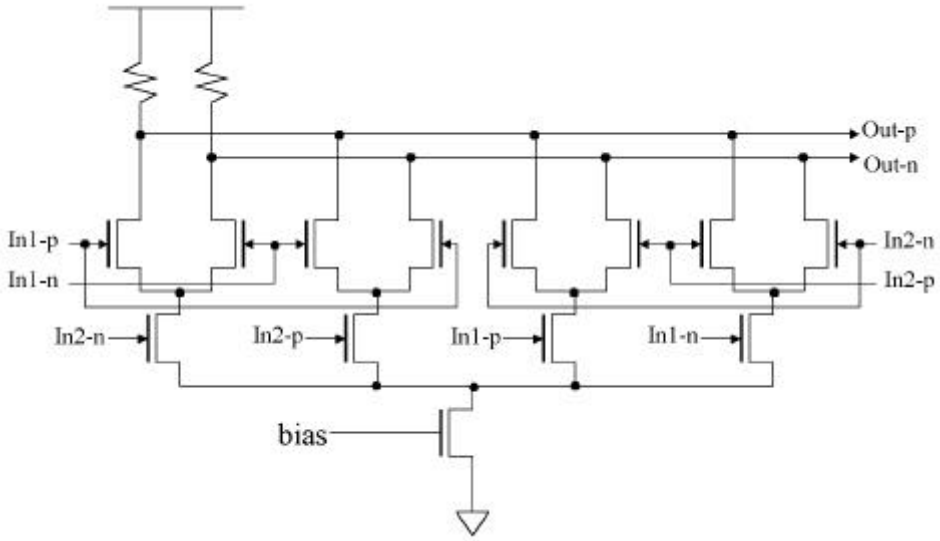


그림 4-7 XOR 게이트의 회로도

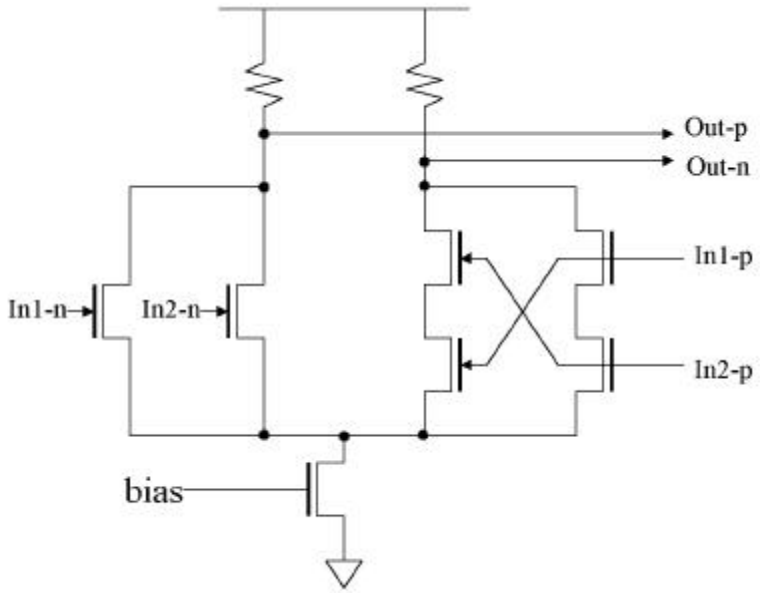
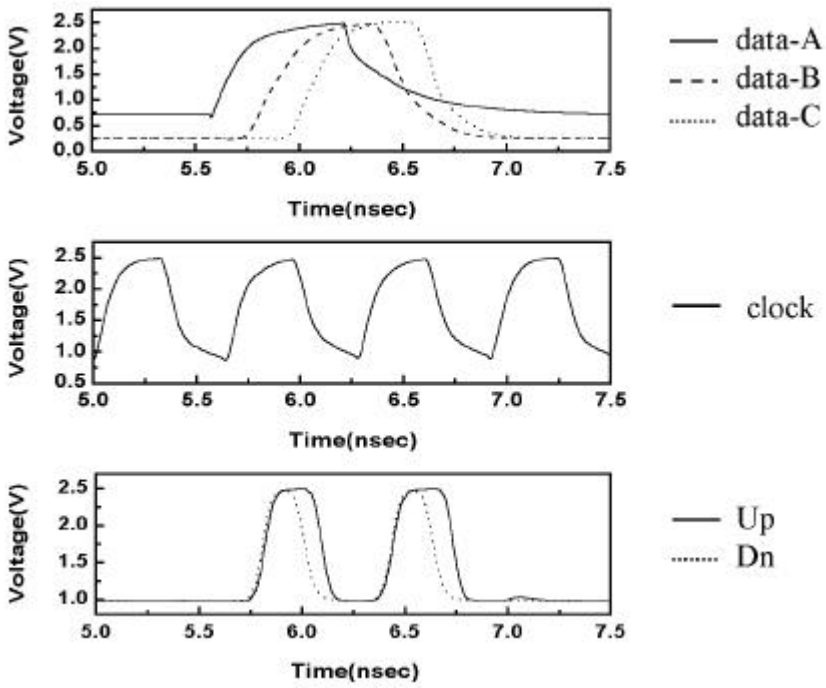


그림 4-8 AND 게이트의 회로도



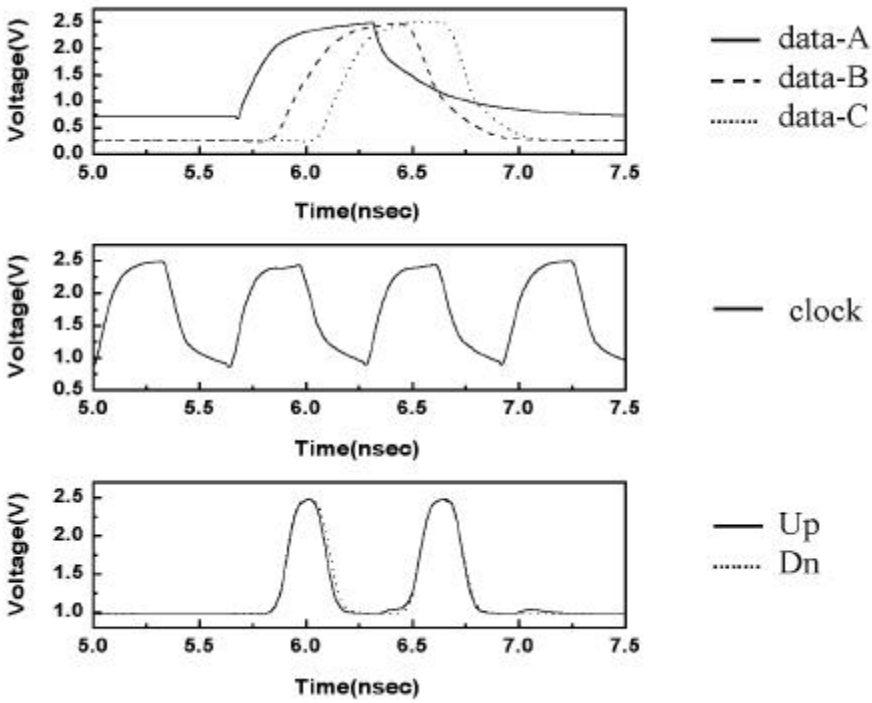
(a)

그림 4-9 제안된 구조의 위상 검출기의 동작(계속)

(a) 클럭이 데이터보다 늦을 때

(b) 클럭과 데이터가 동기되었을 때

(c) 클럭이 데이터보다 빠를 때



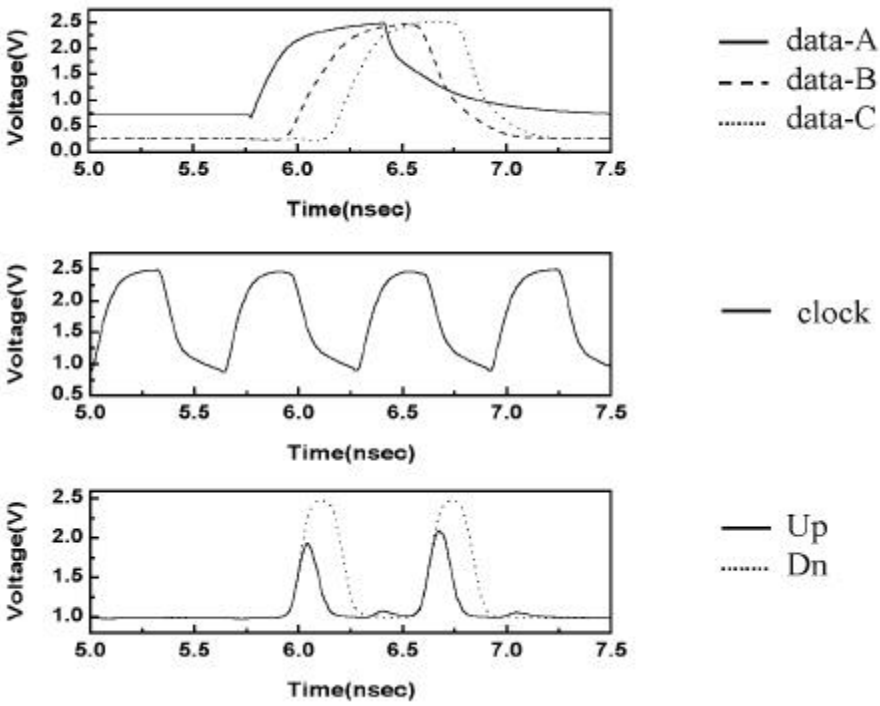
(b)

그림 4-9 **제안된 구조의 위상 검출기의 동작(계속)**

(a) **클럭이 데이터보다 빠를 때**

(b) **클럭과 데이터가 동기되었을 때**

(c) **클럭이 데이터보다 늦을 때**



(c)

그림 4-9 제안된 구조의 위상 검출기의 동작

(a) 클럭이 데이터보다 빠를 때

(b) 클럭과 데이터가 동기되었을 때

(c) 클럭이 데이터보다 늦을 때

제 4-3 절. 전하펌프 루프필터의 설계

전하 펌프 회로의 동작 속도 및 누설 전류량은 PLL의 정적 위상 오차(static phase error)와 지터 특성에 영향을 미치는 주된 요인이다[10]. 일반적인 전하 펌프 회로는 PLL에 있어서 위상 검출기의 출력 전압을 입력으로 받아서 그에 상응하는 전류량을 루프 필터에 공급하는 역할을 한다. 본 연구에서 시스템에 필요한 전하펌프는 고속에서 동작해야 하며 낮은 공급 전원에서도 안정적인 동작을 보장하여야 한다. 그림 4-10은 사용된 전하 펌프로 NMOS와 PMOS로 구성된 두 쌍의 current mirror와 UP/DOWN 신호를 받는 switch로 구성되어 있다[21]. 전하펌프가 고속의 동작을 위해서는 pumping current를 완전히 차단시키는 구조가 아닌 항상 전류원들이 활성화되어 있어야 한다. 즉, 두 전류원의 출력 전류량을 직접 제어하는 방식보다는 그림 4-10과 같이 항상 일정한 전류량이 전류원에서 출력되는 상태에서 전류의 경로를 제어하여 루프 필터의 커패시터를 충전, 방전 혹은 유지하는 것이 고속 전하 펌프 회로 설계에 유리하다. 그러나, 항상 유지되어 있는 전류원의 전류량 오차는 전하펌프의 누설전류를 증가시켜 지터 잡음을 발생시키는 요인이 된다. 그러나, 데이터에 의한 빠른 feedback과 루프 필터에 의한 보상으로 전체 회로의 성능에는 영향을 미치지 않게 된다[21].

위상동기 회로의 안정성과 동기시간은 루프 필터의 파라미터 값에 의해 결정된다. 각 파라미터 값을 결정하는 방법은 위상 동기 회로의 각 블록의 이득을 이용하여 루프 대역폭을 고려하여 전달함수의 감쇄상수(damping facter)가 0.707이 되도록 결정한다[9]. 루프필터는 그림 2-12와 같은 형태의 lag-lead 필터가 사용되었고 파라미터 값은 각각 20pF와 447Ω이다.

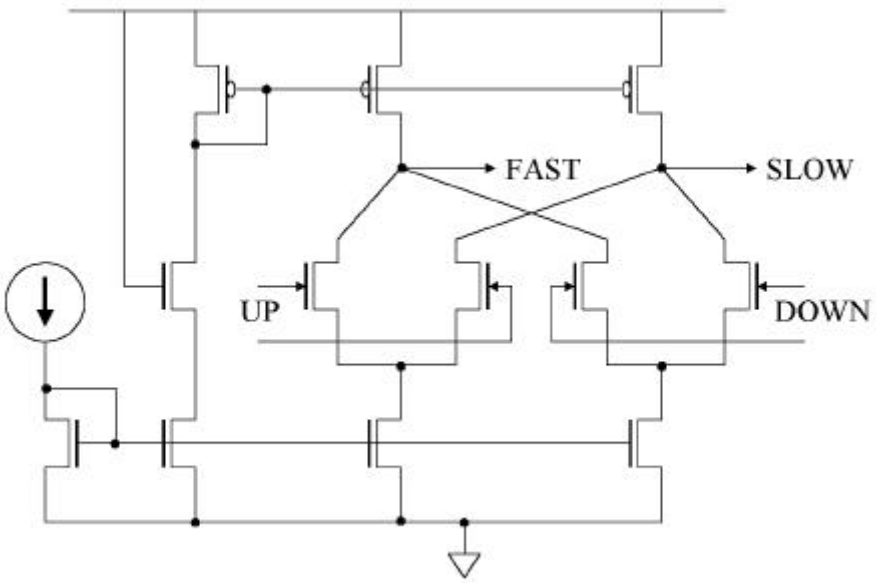


그림 4-10 전하 펌프의 회로도

제 4-4 절. 주파수 분주기의 설계

본 연구에서는 그림 4-11의 Dynamic D-type flip-flop을 이용하여[21-22] 3개의 회로를 연결하여 8분주기를 설계하였다. 일반적인 D-type flip-flop으로 구성된 분주기의 경우 분주할 수 있는 주파수의 한계가 1.8GHz 이하로서 그 이상의 전압제어 발진기의 출력 신호를 분주하지 못하지만 그림 4-12의 flip-flop을 이용한 분주기는 시뮬레이션 결과 2.5GHz까지 분주할 수 있기 때문에 본 연구의 전압제어 발진기의 최대 출력 주파수인 2GHz의 신호를 분주하는데 적합하다. 그림 4-12은 Dynamic D-type flip-flop을 이용한 8분주기의 입출력 시뮬레이션 파형이다. 각 flip-flop은 입력의 하강 시점에 맞추어 출력이 순차적으로 전이를 하게 되어 입력 신호를 분주하게 되고 최고 주파수인 2.5GHz의 입력을 주어 그 클럭을 8분주하여 약 830MHz의 클럭을 출력하고 있다.

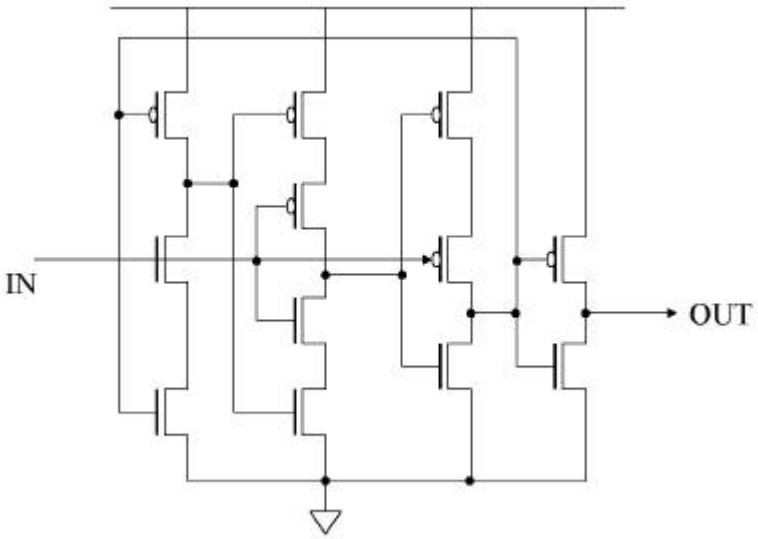


그림 4-11 Dynamic D-type flip-flop

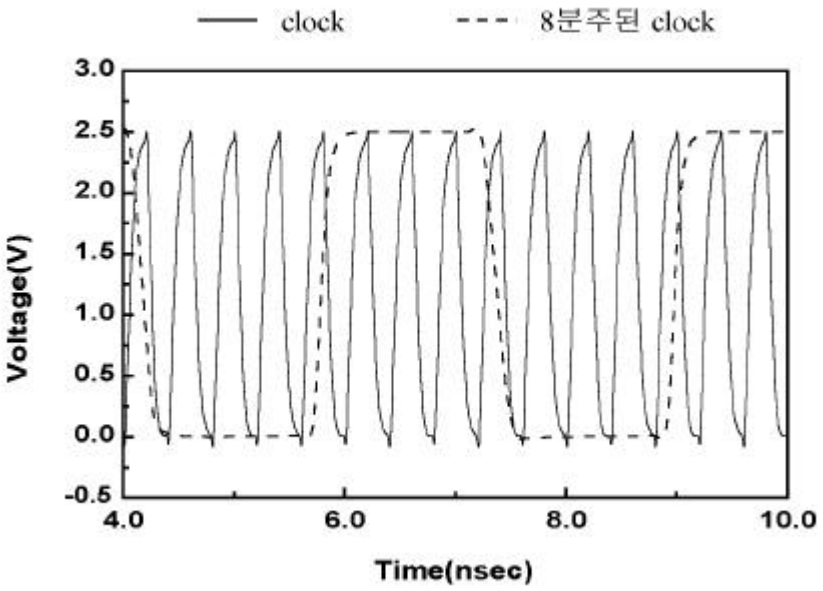


그림 4-12 Dynamic D-type flip-flop을 이용한 8분주기의 입출력 시뮬레이션 파형

제 5 장. 전체 회로 설계 및 시뮬레이션

본 연구에서는 새로운 구조의 위상 검출기를 제안하여 그 동작을 검증하기 위해서 그림 5-1과 같은 클럭 / 데이터 복원회로를 설계하였다. 전체 회로는 크게 두 개의 feedback 루프를 가지고 있는 hybrid 형태의 구조를 가지고 있다. 루프 A는 낮은 주파수의 외부 클럭과 전압제어 발진기에서 발생한 GHz 대역의 클럭을 8분주한 신호와 동기 시키기 위한 PLL을 구성하고 있으며 이 루프에 의해 전압제어 발진기의 주파수가 초기화되게 된다. 루프 B는 본 연구에서 제안된 위상 검출기를 이용해 입력 데이터에 동기 시키기 위한 루프를 구성하고 있으며, 초기 주파수가 외부 신호에 의해 초기화된 상태에서 위상 검출기에 의해 빠른 동기를 이루어 데이터 복원에 사용되게 된다. 두 개의 루프는 외부의 제어신호에 의해 동작하는 MUX(multiplexer)를 통해 두 개의 위상 검출기의 신호를 선택적으로 전하펌프에 전달하게 된다.

클럭 / 데이터 복원회로에 사용되는 모든 회로는 초기 주파수를 안정화할 수 있는 외부의 클럭을 필요로 한다. 이것은 NRZ 형태의 데이터가 로직 "0"과 로직 "1"이 규칙적으로 들어오지 않고 "0"과 "1"이 두 비트씩 연속적으로 들어오는 경우를 생각해 볼 경우 알 수 있는데, 이러한 형태의 입력에 대해 위상 주파수 검출기는 신호의 주파수가 원하는 주파수의 2분주된 신호로 인식하여 계속하여 전압제어 발진기의 주파수를 낮추기 위한 동작을 하게 되는 것이다[9,13]. 이것은 대부분의 클럭 발생회로가 가지고 있는 harmonic locking의 문제로 제안된 구조의 위상 검출기도 역시 hybrid 형태의 추가적인 루프를 이용한 주파수의 초기화 이루어지지 않을 경우 harmonic locking의 위험이 있다. 이러한 불안정한 동작을 막기 위해 낮은 주파수의 외부 클럭을 받아서 내부

클럭을 동기시켜 주파수를 초기화시키고 복원해야할 데이터를 받아서 다른 루프의 위상 검출기를 통해 데이터를 복원하기 위한 클럭을 복원하게 된다.

설계된 클럭 / 데이터 복원회로의 성능을 검증하기 위해서 각각의 루프에 대한 시뮬레이션과 두 개의 루프를 시간에 따라 선택하여 시뮬레이션을 수행하였다. 회로의 성능과 안정성은 전압제어 발진기의 제어 전압을 살펴봄으로서 알 수 있는데, 그 제어전압의 변화되는 형태에서 그 회로가 어떻게 동기되어 가는가와 동기된 후에 얼마나 안정적인가 또, 동기되는데 어느정도의 시간이 걸리는가를 알 수 있다. 그림 5-2는 낮은 주파수의 외부 클럭을 입력으로 하여 8배의 주파수를 가진 클럭을 발생시키도록 하는 PLL 루프인 루프 A의 동작을 시뮬레이션한 것으로 VCO의 제어전압인 전하펌프의 출력단을 관찰한 것이다. 그림 5-2는 f_{ref} = 200MHz f_{vco} = 1.6 GHz인 경우에 대한 것이다. 그림 5-2를 볼 때 동기되는 시간은 불과 0.8μsec로 최적화된 동기 특성을 나타내고 있다. 그림 5-3은 Gbps의 높은 속도의 데이터를 수신할 경우 동기된 클럭을 발생시키기 위한 전하펌프의 출력단을 나타내고 있는 것으로 제안된 위상 검출기가 포함된 루프 B의 동작을 나타내고 있다. 각각 수신된 data가 1.65Gbps, 1.55Gbps, 1.45Gbps일 때의 VCO 제어 전압을 나타낸 것이다. 앞에서 언급했듯이 harmonic locking의 위험이 있으므로 초기 주파수가 목표 주파수의 10%이내에 있다고 가정했을 때의 초기 값으로 시작하였다. 결과를 볼 때 각각의 locking time을 볼 수 있는데 중심 주파수를 벗어날수록 누설전류에 의해 locking time이 길어지게 되지만 (b)의 경우 0.3μs이내에 locking이 됨을 알 수 있다. 또, 모든 경우 동기된 이후 제어전압이 일정하게 유지되고 있는 것을 확인 할 수 있다. 그림 5-4는 1.55Gbps의 data를 수신했을 때 PD의 delay control voltage를 나타내고 있다. 위상 검출기의 경우 그 지연시간이 가변적으로 변해 가는 것이 중요할 뿐 순간적으로 위상 천이를 일으키는 루프

필터의 저항에 걸리는 제어전압 성분은 오히려 위상 검출기의 동작에 잡음을 일으킬 수 있기 때문에 VCO를 제어하는 전압을 바로 가하지 않고 루프 필터의 capacitor에 걸린 전압만으로 위상 검출기의 동작을 제어함으로서 보다 안정적으로 제어하고 있음을 알 수 있다. 그림 5-5는 두 가지 루프의 선택적인 동작의 전압제어 발진기의 제어전압을 보여 주고 있다. 처음 외부 클럭에 의해 전압제어 발진기의 주파수가 초기화되어 동기가 되고 데이터의 수신으로 1.5μsec부터는 제어신호를 변화시켜 동작 루프를 바꾸어 수신된 데이터에 동기된 클럭을 발생시키게 되고 동기에 걸리는 시간은 약 0.2μsec로 나타나고 있다. 그림 5-6은 데이터와 클럭이 동기되었을 때의 위상관계를 나타내고 있다. 이와 같이 동기된 클럭은 decision 블록으로 입력되게 되고 시스템 클럭으로서 역할을 수행하게 된다. 그림 5-7은 PRBS(Pseudo Random Bit Sequence generator : 2^7-1)를 설계하여 데이터를 생성하여 입력으로 넣었을 때와 일반적인 PFD를 이용하여 규칙적이고 정기적인 입력 데이터를 넣었을 때의 VCO 제어 전압을 살펴 본 것이다. PRBS를 이용하여 규칙적이지 않은 데이터를 넣었을 때도 제안된 위상 검출기가 이상없이 동작함을 알 수 있고, 또, 일반적인 PFD를 사용하였을 때는 제어전압이 많이 떨리는 것을 알 수 있다. 제어전압의 변화의 크기로 알 수 있듯이 제안된 위상 검출기가 더 안정적으로 동작할 수 있음을 알 수 있다. 그림 5-8은 그림 5-7에서의 제어전압을 2μsec - 2.2 μsec에서 살펴본 것으로 제어전압의 움직임을 자세히 살펴 본 것이다.

표 5-1은 이상의 시뮬레이션 결과를 정리하여 제안된 클럭 / 데이터 복원 회로의 성능 사양을 나타내었고, 그림 5-7은 레이-아웃한 결과이다.

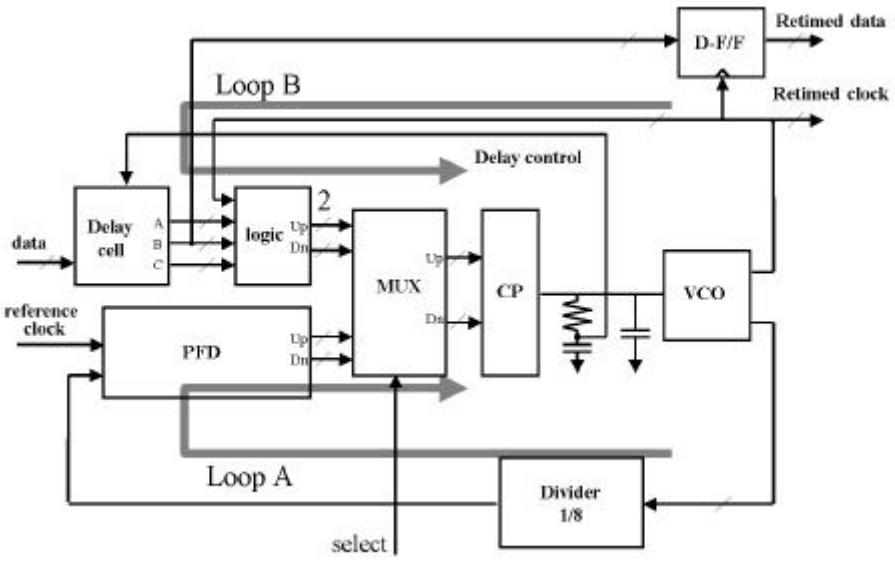


그림 5-1 클럭 / 데이터 복원회로도

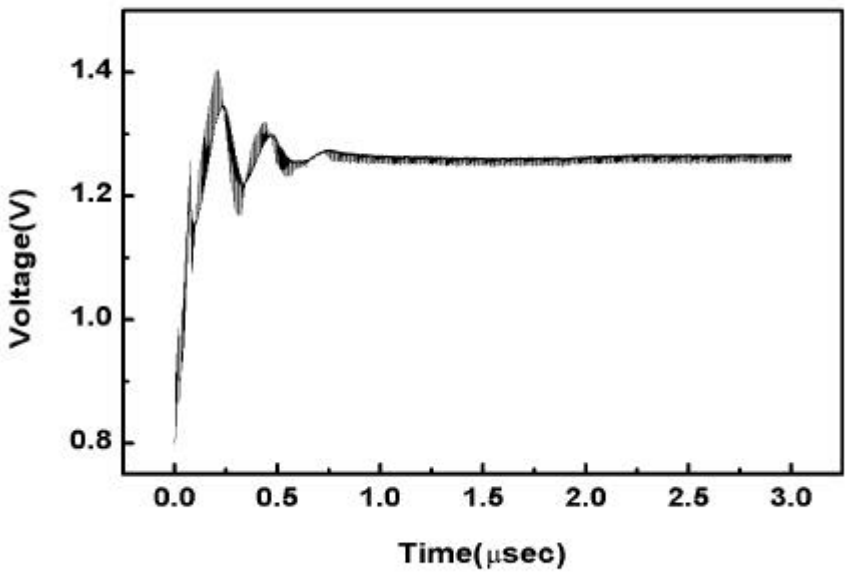
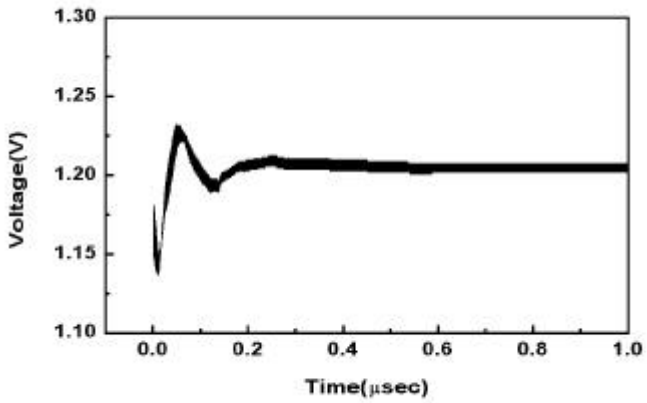
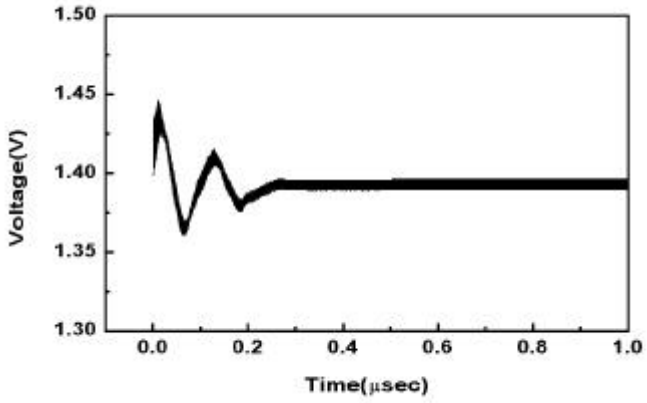


그림 5-2 PLL **루프의** VCO **제어전압 파형**

(f_{ref} = 200MHz f_{vco} = 1.6 GHz)



(a)



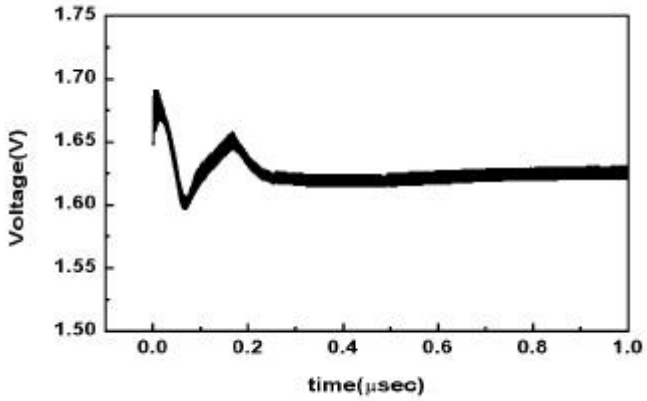
(b)

그림 5-3 **제안된 위상 검출기를 포함한 루프의** VCO **제어전압 파형(계속)**

(a) **수신된** data**가** 1.65Gbps **일 때**

(b) **수신된** data**가** 1.55Gbps **일 때**

(c) **수신된** data**가** 1.45Gbps **일 때**



(c)

그림 5-3 **제안된 위상 검출기를 포함한 루프의** VCO **제어전압 파형**

(a) **수신된** data**가** 1.65Gbps **일 때**

(b) **수신된** data**가** 1.55Gbps **일 때**

(c) **수신된** data**가** 1.45Gbps **일 때**

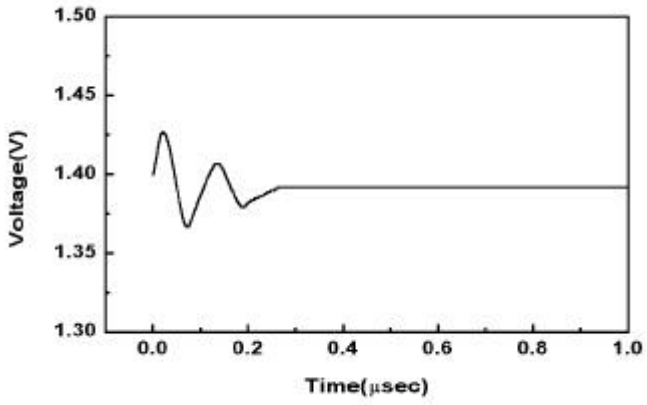


그림 5-4 **위상 검출기의 지연시간 제어전압**

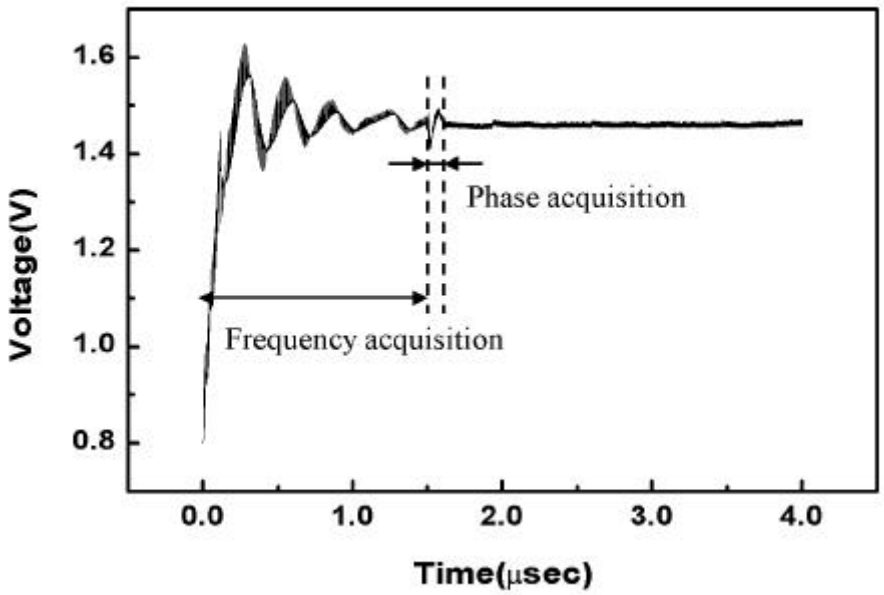


그림 5-5 전체 회로의 선택적인 동작에 따른 전압제어 발진기의 제어전압

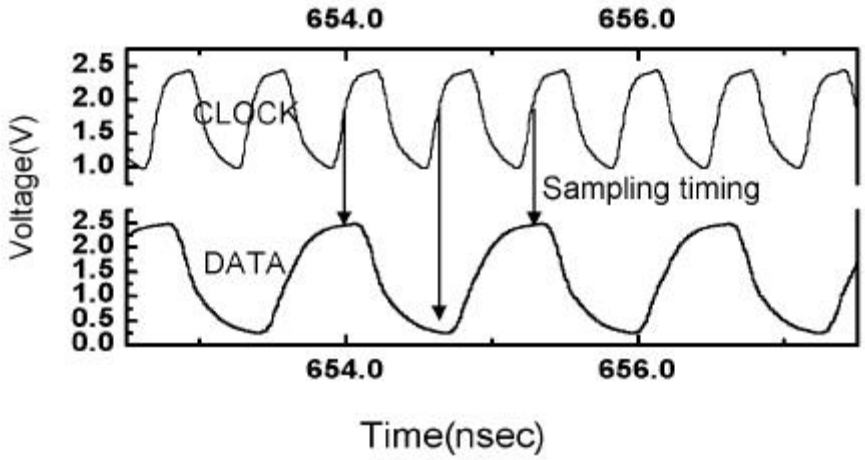


그림 5-6 데이터와 클럭이 동기되었을 때의 위상관계

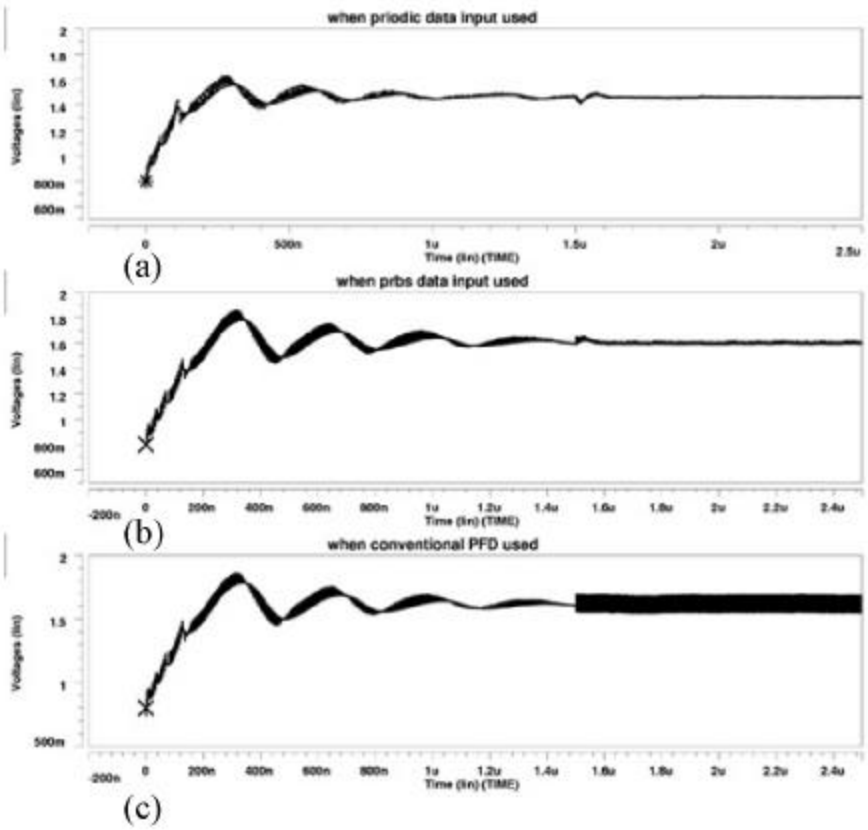


그림 5-7 VCO 제어전압 비교 - 1

(a) 규칙적인 데이터를 입력했을 때

(b) PRBS를 사용하여 데이터를 입력했을 때

(c) 규칙적인 데이터를 이용하여 일반적인 PFD를 사용했을 때

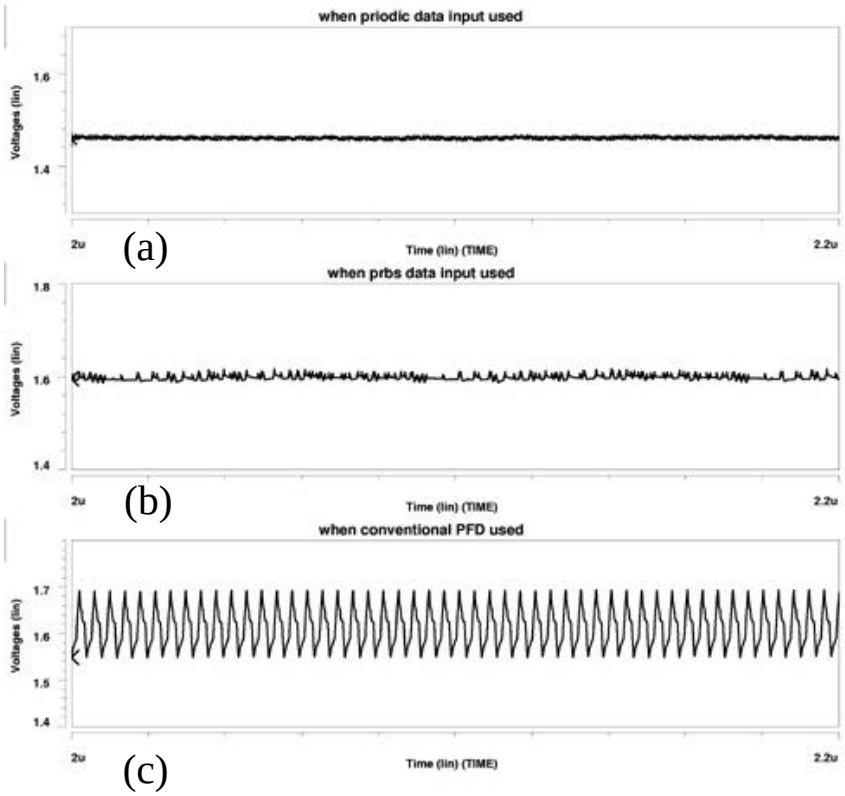


그림 5-8 VCO 제어전압 비교 - 2

(a) 규칙적인 데이터를 입력했을 때

(b) PRBS를 사용하여 데이터를 입력했을 때

(c) 규칙적인 데이터를 이용하여 일반적인 PFD를 사용했을 때

표 5-1 제안된 클럭 / 데이터 복원회로의 성능 사양

항 목	성능 및 사양
사용 공정	아남 AA2533C07 (CMOS 0.25㎛)공정
입력 데이타	1.4 Gbps - 1.7 Gbps
출력 주파수	1.4 GHz - 1.7 GHz
루프 대역폭	52 MHz
사용 전원	3.3V / 2.5V / 0.0V
소비 전력	57.4 mW (core)
칩 면적	500㎛ × 700㎛(core)

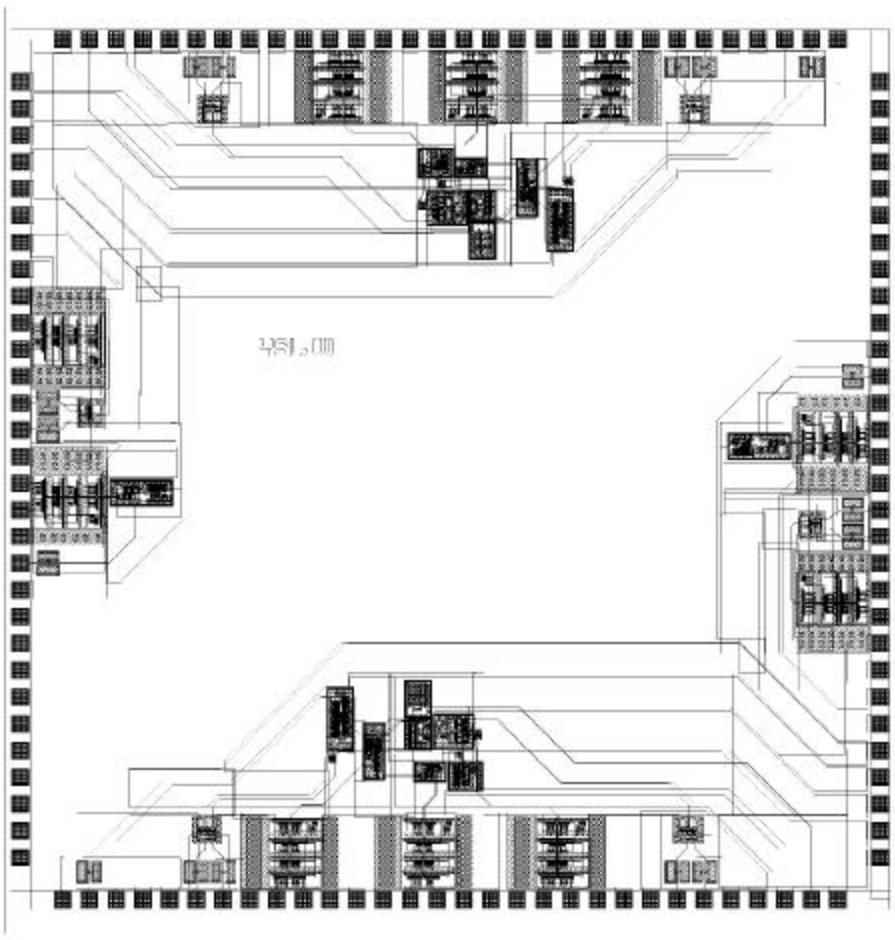


그림 5-9 클럭 / 데이터 복원회로의 레이-아웃

제 6 장. 결 론

고속으로 전송되는 대용량의 데이터를 복원하기 위하여 제한된 채널로 인한 잡음과 왜곡을 극복하기 위한 방법들이 연구되고 있다. 본 논문에서는 GHz 대역의 고속 클럭 신호를 필요로 하는 데이터 통신 시스템 분야에 응용될 수 있는 새로운 구조의 클럭 / 데이터 복원회로를 제안하였다. 제안된 회로는 고속의 데이터 전송시 주로 사용되는 NRZ 형태의 데이터 복원에 더욱 적합한 구조를 갖추고 있어서 보다 안정적인 클럭을 제공할 수 있다.

먼저, 기존의 클럭 발생 방식으로 가장 많이 사용되는 위상 동기회로에 대한 연구와 해석을 기반으로 기존의 위상 동기회로가 클럭 / 데이터 복원회로에 사용될 경우의 한계와 잡음 생성원인을 분석하여 외부 입력으로 NRZ 데이터가 주입될 경우의 위상동기 회로의 잡음생성을 방지하기 위한 새로운 위상 검출구조를 제안하였다.

제안된 구조는 수신된 데이터를 지연소자를 통해 3개의 위상을 갖는 신호를 생성하여 XOR 게이트와 AND 게이트를 사용하여 클럭과의 위상비교를 행하여 data의 transition만을 detect하도록 하여서 데이터의 천이가 발생하지 않을 경우 즉, "0" 혹은 "1"이 연속될 경우 발생되었던 기존의 위상 동기회로가 갖는 주요 잡음원인인 high frequency jitter를 방지할 수 있다. 또, 가변적인 지연시간을 갖는 delay cell을 이용한 PD를 제안하여 위상 검출기가 갖는 dead zone 문제를 없애고, 항상 최적의 동작을 수행할 수 있게 되어 빠른 locking time을 갖도록 하였다.

본 연구에서는 1Gbps 이상의 대용량의 데이터를 복원하기 위한 클럭 생성을 목표로 하여 CMOS 0.25㎛공정을 사용하여 설계한 후 그 동작을 data와

clock의 phase error에 따른 post-layout simulation을 통해 검증하였다. 이 회로는 두 개의 루프를 갖는 hybrid 형태로 외부의 제어신호에 의해 각 루프를 선택적으로 동작하게 하여 데이터 전송이 중단되었을 경우에도 안정적인 시스템 클럭을 발생할 수 있도록 하였다. 각각의 루프에 대한 시뮬레이션을 통해 그 안정적인 동작을 검증하였고, 5장의 시뮬레이션에서 그 결과를 보였다.

GHz 대역의 높은 주파수에서의 동작을 보장하기 위해 PD 및 MUX, 전하펌프 등 각 기능동작 블록을 fully differential logic으로 설계하였다. 설계된 전압 제어발진기의 주파수 이득은 약 400MHz/V이고, 전하펌프의 출력 전류량은 약 500μA이며, 2차의 루프 필터를 사용하여 전체적으로 3차의 PLL을 구성하였으며 시스템의 안정성을 보장하기 위한 시스템의 해석을 통해 루프 필터의 파라미터 값을 결정하였다. 전체적으로 1.4 Gbps에서 1.7 Gbps까지의 데이터를 수신하여 복원할 수 있게 하였고, 동기 시간은 동기를 위한 외부 입력의 150 - 250 클럭 주기의 시간이 걸리게 되었으며, 약 57.4mW의 전력소비를 보인다. 또, 전체 시스템은 Gigabit Ethernet Protocol에 맞추어 설계되어 high speed switch 및 data transceiver 에 널리 이용될 수 있을 것이다.

향후 회로의 속도를 제한하고 있는 위상 검출기의 XOR, AND 회로의 성능을 향상시켜 2Gbps 이상의 대역에서도 사용할 수 있도록 개선하여야 하고, 본 연구에서 추구하였던 "0", "1"이 연속되는 burst mode 의 데이터 전송뿐만 아니라 packet 형태의 데이터 전송 시스템에서도 사용할 수 있는 보다 빠른 동기시간을 갖는 위상 검출 방식 혹은 클럭 복원 회로가 연구되어야 할 것이다.

참 고 문 헌

[1] A. Pottbacker and U. Langmann, "An 8GHz silicon bipolar clock-recovery and data-regenerator IC," ISSCC'95 Dig. Tech. Paper, pp. 116-117, 1995.

[2] B. Razavi, "A 2-GHz 1.6-mW Phase-Locked Loop, IEEE Journal of Solid-State Circuits," vol. 32, no. 5, pp. 730-735, 1997.

[3] S. Miyazawa, R. Horita, K. Hase, K. Kato, and S. Kojima, "A BiCMOS PLL-Based Data Separator Circuit with High Stability and Accuracy," IEEE J. Solid-State Circuits, vol. 26, no. 2, pp. 116-121, 1991.

[4] B. Lai and R.C. Walker, "A Monolithic 622Mb/s Clock Extraction Data Retiming Circuit," ISSCC'91 Dig. Tech. Paper, pp. 144-145, 1991.

[5] M. Banu and A. Dunlop, "A 660Mb/s CMOS Clock Recovery Circuit with Instantaneous Locking for NRZ Data and Burst-Mode Transmission," ISSCC'93, Dig. Tech. Paper, pp. 102-103, 1993.

[6] M. Soyuer, "A Monolithic 2.3Gb/s 100mW Clock and Data Recovery Circuit in Silicon Bipolar Technology," IEEE J. Solid-State Circuits, vol. 28, no. 12, pp. 1310-1313, 1993.

[7] S.K. Enam and A.A. Abidi, "NMOS IC's for Clock and Data Regeneration in Gigabit-per-Second Optical-Fiber Receivers," IEEE J. Solid-State Circuits, vol. 27, no. 12, pp. 1763-1774, 1992.

[8] F.M. Gardner, "Chaarge-pump phase-locked loop," IEEE Trans. Comm., vol. 28, pp. 1849-1858, 1980.

[9] B. Razavi, *Monolithic Phase-Locked Loops and Clock Recovery Circuits - Theory and Design*, IEEE Press, 1996.

[10] R.E. Best, *Phase-Locked Loop : Theory, Design, and Applications*, McGraw-Hill, 1984.

[11] IEEE Std. 802.3, 1998 Edition.

[12] S. Gogaert and M. Steyaert, "A skew tolerant CMOS level-based ATM data-recovery system without PLL topology," CICC'97 Dig. Tech. Paper, pp. 453-456, 1997.

[13] David A. Johns and Ken Martin, *Analog Integrated Circuit Design*, wiley, 1997.

[14] R.C. Walker, "Fully Integrated High-Speed Voltage Controlled Ring Oscillator," U.S. Patent, 4884041, 1989.

[15] **김재영**, **"새로운 구조의 온 칩 링 전압 제어 발진기 설계," 연세대학교 대학원 전자공학과 박사학위논문**, 1996.8.

[16] V. G. Maneatis, "Low-Jitter Process-Independent DLL and PLL Based on Self-Biased Techniques," IEEE J. Solid-State Circuits, vol. 31, no. 11, pp. 1715-1722, 1996.

[17] M. V. Paemel, "Analysis of a Charge-Pump PLL : A New Model," IEEE Trans. on Comm., vol. 42, no. 7, pp. 2490-2498, 1994.

[18] J. I. Brown, "A Digital Phase and Frequency-sensitive Detector," Proc. IEEE, vol. 59, p.717, 1971.

[19] R. S. Co and J. H. Mulligan, "Optimization of Phase-Locked Loop Performance in Data Recovery Systems," IEEE J. Solid-State circuits, vol. 29, no. 9, pp. 1022-1034, 1994.

[20] Bang-Sup Song and David C. Soo, "NRZ Timing Recovery Technique for Band-Limited Channels," IEEE J. Solid-State Circuits, vol. 32, no. 4, pp. 514-520, 1997.

[21] John P. Uyemura, *Circuit Design for CMOS VLSI*, Kluwer Academic Publishers, 1993.

[22] Michel Combes "A Portable Clock Multiplier Generator Using Digital CMOS Standard Cells," IEEE J. Solid-State Circuits, vol. 31, no. 7, pp. 958-965, 1996.

ABSTRACT

Research of Gbps Data and Clock Recovery Circuit

Jae-Uk Lee

Dept. of Electrical and

Electronic Engineering

Graduate School

Yonsei University

In this thesis, a new clock and data recovery circuit is proposed for the applications of data communication system requiring GHz-range clock signal.

The circuit is suitable for recovering NRZ data which is widely used to high frequency data transmission in GHz ranges. The high frequency jitter is one of major noise factors in PLL, particularly when NRZ data patterns are used. A novel phase detector in the proposed circuit is able to suppress this noise, therefore stable clock generation is easily achieved. Furthermore, this phase detector has an adaptive delay cell removing the dead zone problem and having the fittest characteristic, thus the circuit can obtain fast locking mode.

The proposed circuits are designed based on CMOS 0.25㎛ fabrication process and verified by HSPICE post-layout simulation.

This circuits assume the form of hybrid loops which are selected by control signal. Due to this configuration, the clock generation can be stabilized even if the data transmission is interrupted.

Keywords : PLL, clock and data rec overy circuit, phase detector, CMOS 0.25㎛ fabrication process