

GaAs MESFET을 이용한 20GHz 위상
동기 회로 설계에 관한 연구

연세대학교 대학원

전자공학과

이 종 수

GaAs MESFET을 이용한 20GHz 위상
동기 회로 설계에 관한 연구

지도 최 우 영 교수

이 논문을 석사학위논문으로 제출함


1997년 12월 일


연세대학교 대학원


전자공학과

이 종 수

이종수의 석사학위논문을 인준함

심사위원 최 우 영 

심사위원 이 용 석 

심사위원 김재석 

연세대학교 대학원

1997년 12월 일

감사의 글

길고 긴 대학원 생활 동안 모자란 저를 아낌없는 격려와 자상한 배려로 돌보아 주신 여러분들께 진심으로 감사드립니다. 특히 저의 지도 교수님이신 최 우영 교수님과 항상 인자하신 마음으로 제자들에게 따스한 관심을 베풀어 주시고 부족한 저에 대해 금과옥조와 같은 말씀을 아끼지 않고 해주신 김 봉열 교수님께 깊은 감사를 드립니다.

항상 능력있는 공학인의 모습을 보여 주시었고 본 심사에서도 저의 부족한 점을 여러모로 지적하여 주시었던 김 재석 교수님, 언제나 따스하신 얼굴로 격려를 아끼시지 않으시는 송 홍엽 교수님, 인자하신 박 민용 교수님, 윤 대회 교수님, 이 문기 교수님, 이 재용 교수님, 이 상배 교수님, 박 규태 교수님, 차 일환 교수님, 홍 대식 교수님, 강 창연 교수님 그리고 서강대학교 전자공학과 이 승훈 교수님께 모두 감사드립니다.

연구실 생활 동안 많은 격려와 조언 그리고 학문적인 성장과 생의 요령을 배우는데 도움을 주신 정 태식 선배님과 연구실에서 항상 열심히 연구하면서 여러모로 도움을 많이 준 상오근, 항상 인자한 마음으로 후배들의 잘못을 너그러이 감싸주며 어려운 일은 홀로 도맡은 경환이 형, 독특한 개성으로 선 후배사이의 벽을 잊게 한 사과배 동열이 형, 항상 나이를 잊고 살며 웃는 얼굴로 대해주는 자용이 형, 저와 같이 들어와 함께 어려움을 같이한 한상이, 옹호형과 성실한 세은이 형, 느물느물한 민우, 연구실의 재롱둥이이며 잡다한 일도 성실히 하는 유근, 그리고 연구실 생활을 그리 오래 같이 하지는 못하였지만 보이지 않는 많은 도움을 주신 이 범철 선배님, 최 중문 선배님, 김 정태 선배님, 그리고 한준이 형, 영덕이, 용운이, 성우형, 명석이 형, 근회 형, 승일이 형을 비롯한 CADI의 많은 분들과 용환이 형, 상국이 형, 종환이 형, 병인이 형, 상준이 형, 우경이, 호경이를 비롯한 CADII의 여러분들께 깊

은 감사의 말을 전하고 싶습니다.

또 이제는 졸업을 했지만 누구보다 기억에 남는 연구실 생활을 만들어 주신 동수형과 저에게 연구실 생활의 괴로움을 잊는 법을 가르쳐주시고 청주로 간 대욱이 형, 많은 배움과 지금의 학문적인 결실에 길을 보여준 용규형에게도 감사의 말을 드리고 싶습니다.

대학원 생활에서 언제나 같이하여 준 친구 투덜이 선준이와 뽀뽀와 전화가 심심하지 않게 도와준 또 하나의 투덜이 현수, 그리고 언제나 동생같은 준현이, 의리맨 경구, 밤샘맨 석주, 밥많이 세는 앵 현오, 현석이, 많은 여가를 같이한 영록이, 다정한 철욱이, 승학이, 시욱이를 비롯한 많은 사람들에게도 감사의 말을 전하고 싶습니다.

어려울 때나 기쁠 때나 함께 기뻐하고 슬퍼해 준 길환이, 윤재, 성준이 등 고등학교 친구와 후배들에게 고맙다는 말을 전합니다.

무엇보다도 항상 걱정만 끼쳐드리는 못난 자식을 너그러운 마음으로 지켜봐 주시고 저의 대학원 생활을 그 누구보다 큰 힘으로 도와 주신 부모님께 진심으로 감사한 마음을 전해 드리고 싶은 마음이며 같은 대학원생으로서 어려움을 이해해 주었던 형에게도 고마움을 전하고자 합니다.

2년 동안의 대학원 시간을 이 보잘것없는 한편의 논문으로 마감할 하며 여러분들에 대한 고마운 마음도 함께 전하고 싶습니다.

1997년 12월 1일 어느 차가운 겨울 저녁에

이 종수



차 례

표 차례	iii
그림 차례	iv
기 호 표	vi
국 문 요 약	vii
제 1 장. 서 론	1
제 2 장. GaAs MESFET	4
제 2-1 절. GaAs MESFET의 소자 특성 및 장단점	4
제 2-2 절. GaAs MESFET 등가 모델	5
제 2-3 절. GaAs MESFET 파라미터	7
제 3 장. GaAs MESFET으로 구현한 위상 동기 회로의 기본 구성 회로	11
제 3-1 절. 능동 저항	11
제 3-2 절. Inverted 전류 영상기(Current Mirror)	16
제 3-3 절. 전류 영상기	18
제 3-4 절. CSA	23
제 3-5 절. Voltage divider & Output buffer	24
제 3-6 절. Modulator(Gilbert Cell)	25
제 3-7 절. 새로운 구조의 inverter Cell	25

제 4 장. 위상 동기 회로(PLL)의 기본 구성 및 해석	32
제 4-1 절. 위상 동기 회로(PLL)의 기본 구성 및 동작 원리	32
제 4-2 절. 전압제어 발진기(VCO)	33
제 4-3 절. 위상차 측정기(Phase Detector)	37
제 4-4 절. 저역 통과 여파기(Loop Filter)	39
제 4-5 절. 동기 상태에서의 위상 동기 회로의 분석	42
제 5 장. 20GHz 위상 동기 회로(PLL)의 회로 구성	45
제 5-1 절. 20GHz 전압제어 발진기(VCO)	45
제 5-2 절. Phase Detector	50
제 5-3 절. 20GHz 위상 동기 회로(PLL)	52
제 6 장. 결과	56
제 6-1 절. Simulation 방법	56
제 6-2 절. 전압 제어 발진기 simulation 결과	56
제 6-3 절. 위상 검출기에 대한 simulation	66
제 6-4 절. 위상 동기 회로(PLL)에 대한 simulation	67
제 7 장. 결론	76
참고 문헌	79
Abstract	85

표 차례

표 2-1	설계에 사용된 GaAs MESFET의 주요 모델 파라미터	8
표 4-1.	여러 가지 VCO의 특성 비교	37
표 5-1.	Single inverted casocde, double inverted casocde 그리고 inverted double casocde 전류 영상기를 능동 저항으로 사용한 전압 제어 발진기의 성능 비교	47
표 6-1.	전압 제어 발진기의 입력 제어 전압에 대한 출력 특성	58
표 7-1.	전압 제어 발진기 특성표	78
표 7-2.	위상 동기 회로 특성표	78

그림 차례

그림 2-1. GaAs MESFET 등가 회로	9
그림 2-2. 0.8 μ m의 선폭을 가진 GaAs MESFET의 I-V 곡선	10
그림 3-1. 집적회로에 사용되는 능동 저항들	13
그림 3-2. Bootstrap Active Load의 소신호 등가회로	15
그림 3-3. (a) Inverting Current Mirror (b) Inverting Current Mirror 등가 회로	17
그림 3-4. Current Mirror	20
그림 3-5. Load단에 사용되는 Self-Biased Current	21
그림 3-6. Single Cascode, Double Cascode, Double Inverted Cascode Current Mirror의 주파수 변화에 따른 Gain Graph	22
그림 3-7. Single Cascode, Double Cascode, Double Inverted Cascode Current Mirror의 주파수 변화에 따른 Phas shift Graph	22
그림 3-8. CSA(Current Steering Amplifier)의 기본	27
그림 3-9. Output Buffer와 Level Shifter 회로도	28
그림 3-10. Gilbert Modulator	29
그림 3-11. 10GHz SIN 입력과 1GHz SIN 입력을 Gilbert Modulator를 통하여 변조한 출력 파형	30
그림 3-12. 전압제어 발진기의 ring oscillator의 기본이 되는 Inverter Cell	31
그림 4-1. 위상 동기 회로(Phase Locked Loop) 기본 구성 Block	34
그림 4-2. 위상 동기 회로 시스템의 블록도	44
그림 5-1. 전압제어 발진기 (Voltage Controlled Oscillator)	49

그림 5-2. Gilbert Modulator를 이용한 위상 검출기(Phase Detector)	51
그림 5-3. 위상 동기 회로(Phase Locked Loop) 전체 회로도	55
그림 6-1 . 2V, 3V, 4V 제어 전압에 대한 전압제어 발진기의 출력 그래프	59
그림 6-2. 2V, 2.5V, 3V, 3.5V, 4V의 전압제어 발진기 입력에 따른 출력 파형의 FFT(Fast Fourier Transform) 결과	60
그림 6-3. 공정 특성 변화에 따른 고속 특성값에 의한 전압 제어 발진기의 출력의 주파수 변환 파형	63
그림 6-4. 공정 특성 변화에 따른 저속 특성값에 의한 전압 제어 발진기의 출력의 주파수 변환 파형	63
그림 6-5. 온도 변화에 따른 전압제어 발진기 출력의 주파수 변환 파형	65
그림 6-6. 전원 전압의 변화에 따른 전압제어 발진기 출력의 주파수 변환 파형그림	65
그림 6-7. 0° 에서 360° 까지 36° 단위로 phase차를 가진 두 신호의 위상 검출기 출력 그래프	68
그림 6-8. 입력 신호와 locking된 위상 동기 회로(PLL)의 출력 파형	72
그림 6-9 . 위상 동기회로의 위상 검출기의 20.1GHz의 입력에 대하여 LOCK된 경우의 출력 파형과 20.8GHz의 입력에 대하여 UNLOCK된 출력 파형	73
그림 6-10. 20GHz 입력에 대한 위상 동기 회로의 전압제어 발진기부의 제어 신호	74
그림 6-11. 19.7GHz, 20GHz, 20.3GHz 입력에 LOCK된 위상 동기 회로의 전압제어 발진기부의 제어 신호	75

기 호 표

V_{GS}	:	게이트-소오스 전압	[V]
V_{DS}	:	드레인-소오스 전압	[V]
I_{DS}	:	드레인 전류	[A]
I_{DSS}	:	게이트-소오스 전압이 0일 때 드레인 전류 [A]	
V_T	:	MESFET 문턱 전압	[V]
β	:	Transconductance Parameter	[A/V ²]
λ	:	Channel Length Modulation Parameter	[1/V]
g_m	:	Transconductance	[A/V]
r_{ds}	:	드레인-소오스 저항	[Ω]

GaAs MESFET을 이용한 저전력 20GHz 위상 동기 회로 설계에 관한 연구

본 연구에서는 미국 VITESSE사의 GAAS3 공정에 기반한 0.8 μm MESFET 파라미터를 이용하여 20GHz의 중심 동작 주파수와 50mW의 소비전력을 갖는 초고속, 저전력 위상 동기 회로(Phase Locked-Loop)를 설계하였다. 다음의 초고속, 저전력 위상 동기 회로는 기본적으로 20GHz의 전압제어 발진기(Voltage Controlled Oscillator)와 Gilbert modulator를 이용한 위상 검출기(Phase detector), 그리고 정보가 없는 고주파 신호를 제거하여 주는 loop filter의 세 부분으로 구성되어 있다.

20GHz 위상 동기 회로의 핵심이라고 할 수 있는 VCO는 Control단을 가지고 있는 새로운 구조의 3개의 inverter를 연결시킨 ring oscillator구조로 설계하였다. 각각의 inverter단은 Inverted double cascode 전류 영상기(current mirror)를 제어부와 능동 저항으로 이용하여 구동 전류를 전체 회로의 동작 범위 한도 내에서 가능한 줄임으로써 active 소자의 capacitance를 줄여 각각의 inverter단의 delay를 최소화시켰고 소비전력을 최소한으로 줄였으며, CSA(Current Steering Amplifier)를 inverter 구동단으로 사용하여 실제 증폭단의 bandwidth를 향상시켜 최고의 발진 주파수를 얻어내었다.

위상 검출기는 일반적으로 많이 사용되는 Gilbert cell을 이용하여 VCO 출력 주파수와 외부 입력 신호를 변조시키고 이를 loop filter를 통하여 두 신호의 위상차를 전압신호로 바꾸어 VCO의 제어단으로 되돌려 전체 위상 동기 회로를 구동하게 된다. 위상 검파기로 Gilbert cell을 이용함으로써 회로에서의 전체 면적과 소비전력을

줄일 수 있었다.

Spice simulation결과 위상 동기 회로의 동작은 9MHz/°C로 온도당 0.045% 가 변하는 비교적 안정된 출력을 나타내었으며 전원 전압의 변화에도 크게 영향을 받지 않았고 공정 파라미터 변화에 따른 문턱전압 변화에 대한 simulation에서도 비교적 안정적인 동작을 보였다.

Aquisition 시간은 최소 1ns에서 최고 20ns로 비교적 빠른 입력 tracking 특성을 보였으며 중심 주파수 20GHz를 기준으로 600MHz의 capture range를 갖는 좋은 특성을 보였다.

20GHz의 위상 동기 회로의 동작 주파수는 지금까지 실제 사례가 발표되지 않은 것으로 점차 가속화되는 정보화 사회에 있어서 차세대 통신망의 구현에 큰 도움이 되리라 생각된다.

핵심되는 말 : 위상 동기 회로, 위상 검출기, CSA, GaAs MESFET, 능동 저항,
저역 통과 여파기, 전류 영상기, 반전기

제 1 장. 서 론

최근 들어 정보화 사회의 빠른 발전은 보다 큰 능력의 정보 전달 능력을 요구하고 있으며 최근의 초고속 IC의 눈부신 발전은 이러한 요구에 부응하는 것으로써 현재의 광통신 시스템의 실현에 크나큰 요인이 되었다. 앞으로의 정보에 대한 더 많은 요구에 부응하여 나가기 위해서는 현재의 Synchronous Optical Network(SONET) STS(Synchronous Transport Signals) 192에서 요구하는 9.95Gb/s의 bit rate를 넘어선 High Bandwidth의 시스템의 구현이 필요하리라 예상되며 이를 위해서는 보다 빠른 동작 속도를 가진 집적 회로의 구현은 필수적이라 하겠다. 위상 동기 회로는 clock recovery, 주파수 합성 등 다양한 용도로 사용되는 회로로서 Asynchronous Transfer Mode(ATM), 이동통신용 기기 등 다양한 응용분야를 가지고 있다. 이러한 고속 통신망용 집적회로들의 구현에 있어서 위상 동기 회로는 필수적 요소이며 특히 ATM 시스템의 구현에 있어서 clock recovery를 위하여 반드시 구현되어야 하는 회로이다.

본 연구에서는 GAAS3 공정에 기반한 VITESSE사의 GaAs MESFET 파라미터를 이용하여 최소 선폭을 $0.8\mu\text{m}$ 로 하여 20GHz의 중심 주파수를 가지는 위상 동기 회로를 설계하였다. 일반적으로 GaAs의 전자 이동도는 Si의 전자 이동도의 5배 정도 된다. 이는 GaAs MESFET 소자가 같은 선폭의 Si MOSFET에 비하여 빠르다는 것을 의미하는 것으로 실제로 대부분의 GHz 이상 대역의 고속 회로의 구현에 있어서 GaAs MESFET이 많이 사용되고 있다. 소자 측면에서 볼 때 $0.8\mu\text{m}$ 의 선폭을 갖는 GaAs MESFET의 경우 단일 이득 주파수가 일반적으로 집적회로의 구현에 많이 사용되는 Si MOSFET의 단일 이득 주파수에 비하여 매우 빠르다. 일반적으로 Si MOSFET의 단일 이득 주파수는 20GHz에 훨씬 미치지 못하며 BiCMOS 기술도 20GHz 전후의 단일 이득 주파수를 가지는 점을 고려할 때 본 연구와 같이

전체 회로의 동작 주파수가 20GHz에 맞추어 진 경우, 회로구현에 있어서 다른 소자에 비하여 비교적 높은 전력 소모에도 불구하고 GaAs MESFET의 이용은 반드시 필요하다 하겠다.

위상 동기 회로는 직렬 접속 연결에서 핵심적인 역할을 하는 회로로서 본 연구에서는 차세대 통신망을 위한 응용을 그 목표로 하고 있다. 현재 ATM의 물리적 계층인 SONET에 대하여 규정된 최고 bit rate가 약 10GHz인 STS-192이며 일반적으로 다음 형식의 규정은 현재 최고 bit rate의 2 또는 4 배로 정하는 점을 고려할 때, 차세대 통신망의 bit rate는 20Gbps와 40Gbps 중 하나가 될 것이다. 그러나 현재까지의 능동 소자의 단일 이득 주파수가 최고 20GHz 전후인 점을 고려하면 40Gbps대의 통신망의 구현은 아직 비교적 먼 장래의 일이라 할 수 있다. 그러므로 차세대 통신망의 구현의 20Gbps의 bit rate를 갖는 형식이 규정되리라 생각하며 이에 맞추어 본 연구에서도 통신망과 같은 직렬 접속 연결에 있어서 핵심적 부분인 20GHz의 동작 주파수를 갖는 위상 동기 회로를 설계하였다. 현재 20Gbps의 bit rate를 갖는 집적 회로의 구현이 여러 논문에서 발표되고 있으나 지금까지 발표된 위상 동기 회로의 최고 동작 주파수는 8GHz로서 20GHz의 동작 주파수를 갖는 위상 동기 회로에 대한 연구 결과는 아직까지 발표된 바 없다.^{[1][2]} 본 연구에서는 위에서 언급한 GaAs MESFET을 이용하여 초고속 저전력 위상 동기 회로를 구현하였으며 이는 앞으로의 차세대용 초광대역 네트워크 구현에 도움이 되리라 생각한다.

위상 동기 회로에 있어서 핵심적인 부분은 전압 제어 발진부로서 고속 동작의 위상 동기 회로의 설계를 위해서는 높은 발진 주파수를 갖는 전압 제어 발진기의 설계가 무엇보다도 중요하다. 본 연구에서는 새로운 구조를 가진 인버터를 고안하여 이를 이용하여 20GHz의 자유 운동 주파수를 갖는 고속 전압 제어 발진기를 설계하였다. 새로운 구조의 인버터는 Inverted double cascode current mirror를 조정 가능한 전류원점 능동 저항으로 사용하였으며 CSA(Current-Steering Amplifier)를 구동부로 사용하였다. 이로써 MESFET회로 구성에 있어서 인버터단으로 일반적으로 사

용되는 DCFL(Direct Coupled FET Logic)이나 SCFL(Source Coupled FET Logic)에서 벗어나 복잡한 구조의 self-biased bootstrap 회로를 저항부로 사용함으로써 인버터의 대역폭과 지연을 링 오실레이터 형태의 구성에 최적화된 구조를 얻을 수 있었으며 인버터의 지연 시간 제어부를 효율적으로 구성할 수 있었다. 또한 CSA를 구동부로 이용함으로써 입력 전압 수준과 출력 전압 수준을 같게 하여 MESFET 회로 설계시 고려되어온 전압 수준 천이의 문제가 해결되었고, 전원 전압에 강한 회로가 구성이 가능하여 졌다.

집적회로에 있어서 소비 전력의 최소화는 앞으로의 회로설계의 방향에 있어서 필수적인 요소이다. 이동통신용 handset에 사용되는 회로에서의 전력 소모를 줄이기 위한 저전력 구현은 뿐만 아니라 큰 전력 소모는 곧 많은 열의 발생을 의미하며 이는 집적회로의 수명을 단축시킬 뿐만 아니라 회로의 정상적인 동작을 저해하는 큰 원인이 되기도 하므로 ATM과 같은 installed 시스템에서도 저전력은 고려되어야 한다. 큰 전력소모로 인한 지나친 열이 발생할 경우 시스템의 정상적인 동작을 위하여 별도의 냉각 장치를 필요로 하게 되며 이는 전체적인 시스템의 크기와 비용을 크게 하는 문제로 작용할 수 있다. 지금까지 발표된 위상 동기 회로의 경우, 초고속의 동작 주파수를 갖는 경우 대부분 GAAS MESFET을 이용하여 설계되었으며 이 경우 대부분 200mW를 넘는 비교적 고전력 소모를 보여 왔다.^{[1][3][4]}

본 연구에서는 새로운 구조의 인버터를 이용하여 전압 제어 발진기 제어부의 전류 소비를 줄여 전압 제어 발진기부의 전력 소모를 최소화하였고, 기존의 위상 동기 회로의 구현에 있어서 위상차 검출기부를 Gilbert modulator를 이용하여 단순화시킴으로써 전체 회로에 필요로 하는 트랜지스터의 수를 줄여 집적회로 구현시의 chip 면적을 줄이고 전력 소모도 작게 하였다. 또한 대부분의 GaAs MESFET의 경우 enhancement형의 소자의 작은 입력폭 문제로 실제 아날로그 회로의 설계에 있어서 음의 문턱전압을 가지는 depletion형의 소자를 사용함으로써 5V 또는 3.3V의 양의 전원 전압과 -2V의 음의 전원 전압을 사용하였다. 이는 특정 목적의 전체 시

시스템의 구현에 있어서 일반적으로 사용되는 5V 전원 이외에 별도의 전원이 공급되어야 하는 문제는 가지고 있다. 본 연구에서는 5V 단일 전원만을 사용하는 회로를 구현하여 대부분의 MESFET 회로에서 3.3V, -2V 전원을 사용함으로써 나타나는 별도 전원 공급의 문제를 없앴다.

본 논문의 구성은 다음과 같다. 우선 2장에서는 GaAs MESFET에 대한 기본적인 소자 특성과 장단점에 대하여 설명하고 3장에서는 위상 동기 회로에 대한 일반적인 설명과 구성 부분에 대하여 설명하고 4장에서는 실제 회로 설계에 이용된 GaAs MESFET 회로 설계 기술 및 module에 대하여 설명한다. 그리고 5 장에서는 전압 제어 발진기와 위상 검출기, 그리고 Loop Filter의 설계에 대하여 회로도들 보이고 이에 대하여 상세히 설명하며, 최종적으로 6장, 7장에서는 Hspice simulation을 통하여 설계한 회로의 동작을 살펴보고 이에 대한 분석으로 마무리 짓는다.

제 2 장. GaAs MESFET

제 2-1 절. GaAs MESFET의 소자 특성 및 장단점

GaAs는 재료의 특성상 전자의 유효질량이 매우 낮아 높은 전자 이동도(mobility)를 갖고($\approx 7000\text{cm}^2/\text{Vs}$), 낮은 전계에서 전자가 최대 속도($\approx 2.2 \times 10^7\text{cm/s}$)를 갖고있다. 이와 같은 이유로 GaAs MESFET은 높은 단일 이득 주파수를 갖고 있으며 이를 이용하여 디지털 회로를 구현할 경우 높은 스위칭 속도에 의한 고속 회로를 얻을 수 있으며 아날로그 회로의 경우에는 넓은 대역 폭을 갖는 회로를 구현할 수 있다. 또한 SiO_2 와 같은 산화막을 갖는 MOSFET과 달리 GaAs MESFET은 gate가 금속으로 되어있는 schottky 접합을 이루고 있으므로 유전체가 없어 내부 커패시턴스가 작아 고속 회로 동작에 유리하다.

그러나 이러한 장점들에도 불구하고 GaAs MESFET은 MOSFET등의 소자에 비하여 여러 가지 단점을 가지고 있다. 무엇보다 치명적인 단점은 complementary 소자가 없다는 점이다. GaAs의 경우 위에서 설명한 바와 같이 전자의 경우 작은 유효질량으로 인해 이동도가 높아 고속 소자로 이용이 가능하나 정공의 유효질량은 매우 커 이동도가 낮음으로 p형의 소자를 사용하지 않는다. 이는 실질적으로 회로 설계에 있어 CMOS에서 사용하는 설계 기술의 사용이 힘들음을 의미하며 실질적으로 효율적인 능동 저항의 사용이 매우 어려움을 의미한다. 또한 디지털과 아날로그 회로 구현에 있어서 저전력 설계의 구현이 힘들게 하는 요소이다.^[7]

둘째로는 회로 설계시 바이어스에 관한 문제로 GaAs MESFET의 경우 게이트가 schottky 접합으로 이루어져 있다. 이는 게이트와 소오스 사이에 전압이 0.7V를 넘을 경우 엄청난 양의 forward conduction이 일어나게 된다는 것이다. 이 문제는 실제 회로의 설계에 있어서 트랜지스터 입력을 반드시 V_{gs} 가 0.7V 이하가 되게 연

결시켜함을 의미하며 실제로 회로의 구현에 있어서 단순한 출력단과 입력단의 연결에 있어서도 직류 전압을 변화시켜주는 회로를 달아주어야 하는 문제를 일으킨다. 이것은 단순한 회로의 복잡성만을 의미하는 것이 아니라 고속 회로의 설계에 있어서 치명적인 문제가 되가고 한다.

세째로는 MESFET은 출력 저항 r_{ds} 가 상당히 작다는 문제가 있다. r_{ds} 는 channel length modulation 현상의 결과로 유한한 값을 갖게 되는데, r_{ds} 가 MOS에 비해서 무척 작다. 뿐만 아니라 g_m 자체도 작은 값을 가지고 있어 더욱 전압 이득이 작게 된다. 그렇기 때문에 모든 증폭단의 증폭률의 기준이 될 수 있는 intrinsic gain $g_m r_{ds}$ 가 보통 20정도로 작다. 따라서 충분한 이득을 얻기 위해서는 cascode연결이나 bootstrap등의 별도의 연결을 이용하여야 한다.^{[5][6]}

네째로 출력 저항 r_{ds} 가 주파수에 따라 변한다는 것이다. 즉, 낮은 주파수에서의 r_{ds} 보다 높은 주파수에서의 r_{ds} 가 더욱 작으며, 이는 결과적으로 전압 이득이 주파수에 따라 변동하게 된다.^{[8][9]}

그러므로 실제의 회로 설계에 있어서 다음과 같은 단점을 고려하여 일반적으로 사용되는 CMOS 설계 기술과 다른 설계 방법을 이용하여 회로를 구현하여야 한다.

제 2-2 절. GaAs MESFET 등가 모델

GaAs MESFET의 전압-전류 특성은 여러 가지 요소들을 고려할 수 있으나 기본적인 전류식은 다음의 식과 같다.

$$i_{ds} = K(V_{gs} - V_T)^2(1 + \lambda v_{ds}) \quad (2-1)$$

여기서 K값은 W/L에 비례하는 값으로 실제 회로의 설계에 있어서 L값은 일반적으로 회로의 최소 선폭값을 이용하므로 실질적으로 전류값과 트랜스컨덕턴스는 W값의 변화로 조정한다. λ 는 channel length modulation 효과를 나타내는 파라미터로

출력 저항은 이 값에 의하여 정하여 진다.

여기서 트랜스 컨덕턴스 g_m 과 출력 저항 r_o 은 각각

$$\begin{aligned} g_m &= 2\sqrt{K \cdot K(V_{GS} - V_T)^2(1 + \lambda V_{DS}) \cdot (1 + \lambda V_{DS})} \\ &= 2\sqrt{KI_{DS}(1 + \lambda V_{DS})} \\ &\propto \sqrt{KI_{DS}} \end{aligned} \quad (2-2)$$

$$r_{ds} \propto \frac{1}{I_{DS}} \quad (2-3)$$

과 같다. 그러므로 소자의 전압이득 $g_m r_{ds}$ 은 식(2-2)와 식(2-3)을 곱하면 다음과 같은 특성이 있음을 알 수 있다.

$$g_m r_{ds} \propto \frac{1}{\sqrt{I_{DS}}} \quad (2-4)$$

즉, 바이어스 전류가 증가함에 따라 전압 이득은 바이어스 전류의 제곱근에 대해 반비례하는 것을 알 수 있다.

그림 2-1(a)는 GaAs MESFET 교류 소신호 등가 모델이다.^[10] 일반적으로는 해석의 편의를 위해 그림 2-1(b)와 같이 간략화된 모델을 사용한다. 보통 C_{gs} 와 C_{gd} 는 다음과 같은 접합 캐패시턴스의 기본식으로 표현된다.

$$C = \frac{C_0}{(1 - V/\phi)^m} \quad (2-5)$$

여기서 C_0 는 게이트와 소오스가 0V일 때의 커패시턴스이고, V 는 V_{gs} 또는 V_{ds} 이고, ϕ 는 게이트 접합의 built in potential이고, m 은 capacitance gradient factor이다.

제 2-3 절. GaAs MESFET 파라미터

표 2-2는 본 연구에서 사용한 MESFET의 주요 파라미터들을 나타내고 있다. 이 파라미터는 VITESSE사에서 제공된 GAAS3 공정에 기반한 파라미터로서

enhancement mode FET의 경우 채널 길이가 $0.4\sim 100\mu\text{m}$ 인 경우 적용되는 것이며, depletion mode FET은 채널 길이가 $0.4\sim 100\mu\text{m}$ 인 경우 해당하는 것이다. VITESSE사에서 제공된 파라미터는 HSPICE의 여러 가지 MESFET 모델들 중 LEVEL=3, SAT=3에 해당하는 모델에 적용되며, velocity saturation 효과, body effect, 그리고 채널 길이 변조 효과 등이 포함되어 있으며 그 식은 아래와 같다.^[7]

$v_{DS} > 0$: Forward 영역

$$v_{GST} = v_{GS} - [VTO + GAMDS \cdot v_{DS} + K1(v_{BS})] \quad (2-6)$$

$$K = \frac{\beta}{(1 + UCRIT \cdot v_{GST})} \cdot \frac{W}{L} \quad (2-7)$$

$v_{GST} < 0$: Cut-off 영역

$$i_{DS} = i_{D_{\text{saturation}}}(N_0, N_D, v_{DS}, v_{GS}) \quad (2-8)$$

$v_{GST} > 0, v_{DS} < 3/a$: ON 영역 (선형 영역)

$$i_{DS} = K \cdot (v_{GST})^{VGEXP} \cdot (1 + \lambda v_{DS}) \cdot \tanh \left[1 - \left(1 - \alpha \frac{v_{DS}}{SATEXP} \right)^{SATEXP} \right] \quad (2-9)$$

$v_{GST} > 0, v_{DS} > 3/a$: ON 영역 (포화 영역)

$$i_{DS} = K \cdot (v_{GST})^{VGEXP} \cdot (1 + \lambda v_{DS}) \quad (2-10)$$

표 2-1 설계에 사용된 GaAs MESFET의 주요 모델 파라미터

파라미터	enhancement mode FET	depletion mode FET	단위
VTO	0.245	-0.825	V
β	0.25	0.19	mA/V ²
λ	0.12	0.065	1/V
UCRIT	0	0.5	V/cm
α	6.5	3.5	1/V
GAMDS	-0.02	-0.65	1/V
VGEXP	2.2	2	-
SATEXP	3	3	-
LEVEL	3	3	-
SAT	3	3	-

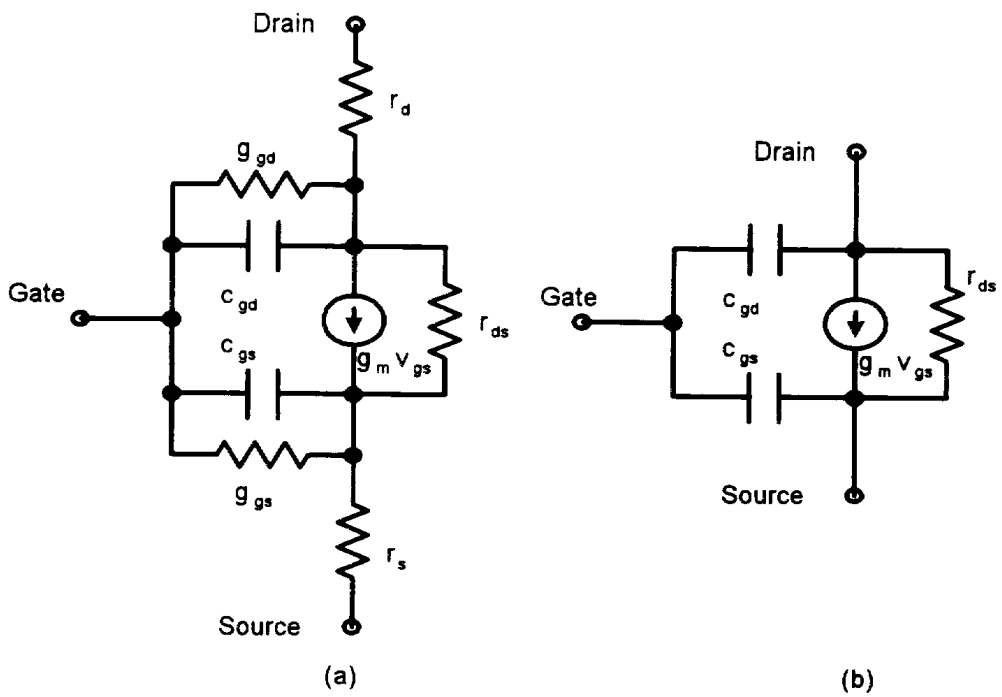


그림2-1. GaAs MESFET 등가 회로

(a) SPICE에서 사용되는 모델

(b) 간략화된 MESFET 등가 회로

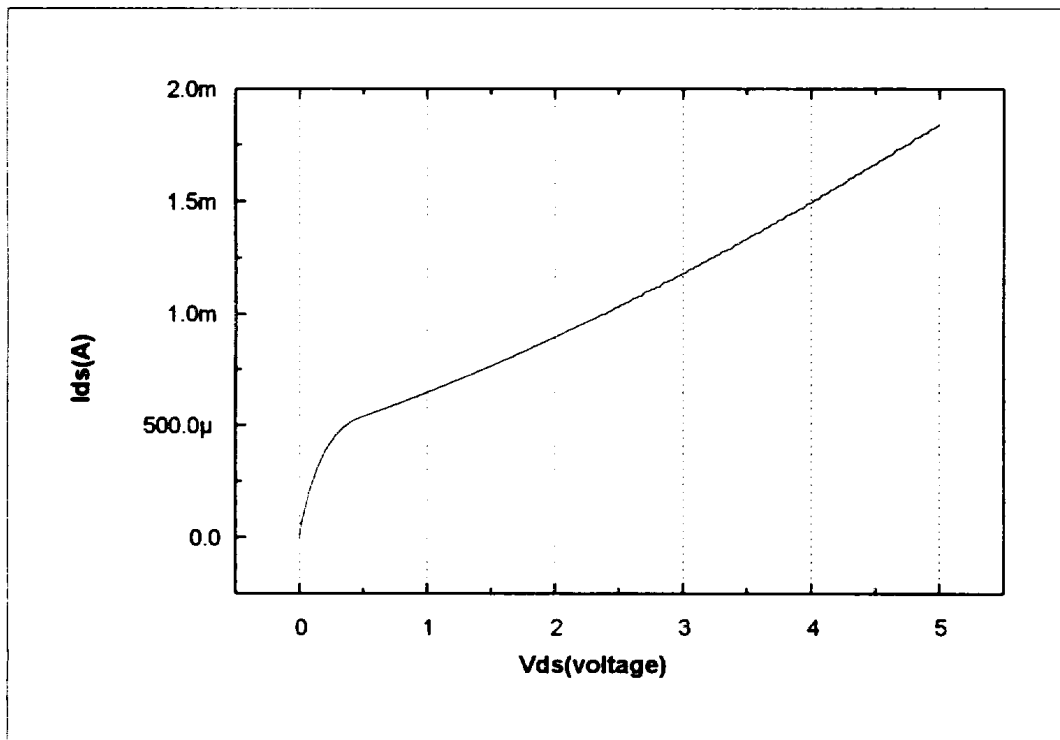


그림 2-2. 0.8 μ m의 선폭을 가진 GaAs MESFET의 I-V 곡선

제 3 장. GaAs MESFET으로 구현한 위상 동기 회로의 기본 구성 회로

제 3-1 절. 능동 저항

능동 저항은 일반 저항과 같은 수동 소자가 아닌 트랜지스터의 전류-전압 특성을 이용하여 이를 적당한 구성을 통하여 저항으로 이용한 것이다. 일반적으로 능동 저항은 부하단에 이용한다. GaAs MESFET의 경우에는 n형의 소자에 대한 complementary 소자가 없으므로 CMOS에서와 같이 p형을 부하단에 사용할 수 없다. 그러므로 GaAs MESFET 소자를 이용한 회로 설계에 있어서 능동 저항의 적절한 사용은 매우 중요하다.

그림 3-1은 여러 가지 능동 저항의 결선을 보여주고 있다.^[11] 그림 3-1 (a)의 M1과 같은 경우 소자의 게이트와 소오스를 연결시키므로써 그림 2-1의 등가 모델에서 V_{gs} 를 0으로 만들므로써 소신호 등가 모델에 있어서 사실상 출력저항 R_o 만 남게 된다. 그림 3-1 (a)에 저항 R을 구하기 위한 소신호 모델은 그림 3-2 (a)와 같다. 여기서 테스트 전압 v_t 를 주었을 때 전류 i_t 를 구하여 보면

$$v_t = (g_m v_{gs} + i)r_{o1} + i r_{o2} \quad (3-1)$$

와 같고 여기서

$$v_t = -v_{gs} \quad (3-2)$$

이므로 결국 저항 R은 다음과 같게 된다.

$$R = \frac{v_t}{i_t} = \frac{r_{o1} + r_{o2}}{1 + g_{m1} r_{o1}} \quad (3-3)$$

그림 3-1 (b)의 경우 M1은 소자의 출력 저항과 같다. 여기서 R은

$$R = r_{o1} + \left(\frac{r_{o2}}{1 + g_m r_{o2}} \right) \quad (3-4)$$

와 같다. 그림 3-1 (c)에서의 R 값은 단순한 두 출력저항의 병렬 연결, 즉

$$R = r_{o1} + r_{o2} \quad (3-5)$$

가 되고, 그림 3-1 (d)에서의 R 값은

$$R = \frac{r_{o1} + (1/g_m \parallel r_{o2})}{1 + g_m r_{o1}} \simeq \frac{1}{g_m} \quad (3-6)$$

의 매우 작은 값으로 다음과 같은 회로 구성은 피하여야 한다.

그림 3-1 (e)는 bootstrap 방법을 이용한 composite 트랜지스터의 회로도이다. 이 방법은 실제로 GaAs MESFET의 작은 출력 저항값으로 인한 문제를 해결하는 좋은 방법중 하나이다. 그림 3-2 (b)는 composite 트랜지스터에 대한 교류 해석 등가 회로를 나타낸다. 그림 3-1 (e)에서 M1은 실질적으로 저항값이며 결국 이 구성은 소자의 게이트와 소오스를 저항으로 연결시킨 구조로 R값은 다음과 같이 계산할 수 있다.

$$i = \frac{v_{gs}}{r_{o1}} \quad (3-7)$$

$$v_t = V_{gs} + (g_m v_{gs} + \frac{v_{gs}}{r_{o1}}) r_{o2} \quad (3-8)$$

$$R = \frac{v_t}{i} = r_{o1} (1 + g_m r_{o2}) + r_{o2} \quad (3-9)$$

이러한 큰 출력 저항으로 인하여 composite 트랜지스터는 부하단에 많이 사용하나 이 경우 회로의 대역폭이 많이 줄어들게 된다. 이러한 경우에는 실질적으로 저항 r_{o1} 역할을 하는 M1 대신 적당한 값의 저항을 연결시켜 출력 저항과 대역폭간에 대한 조정을 하여야 한다.

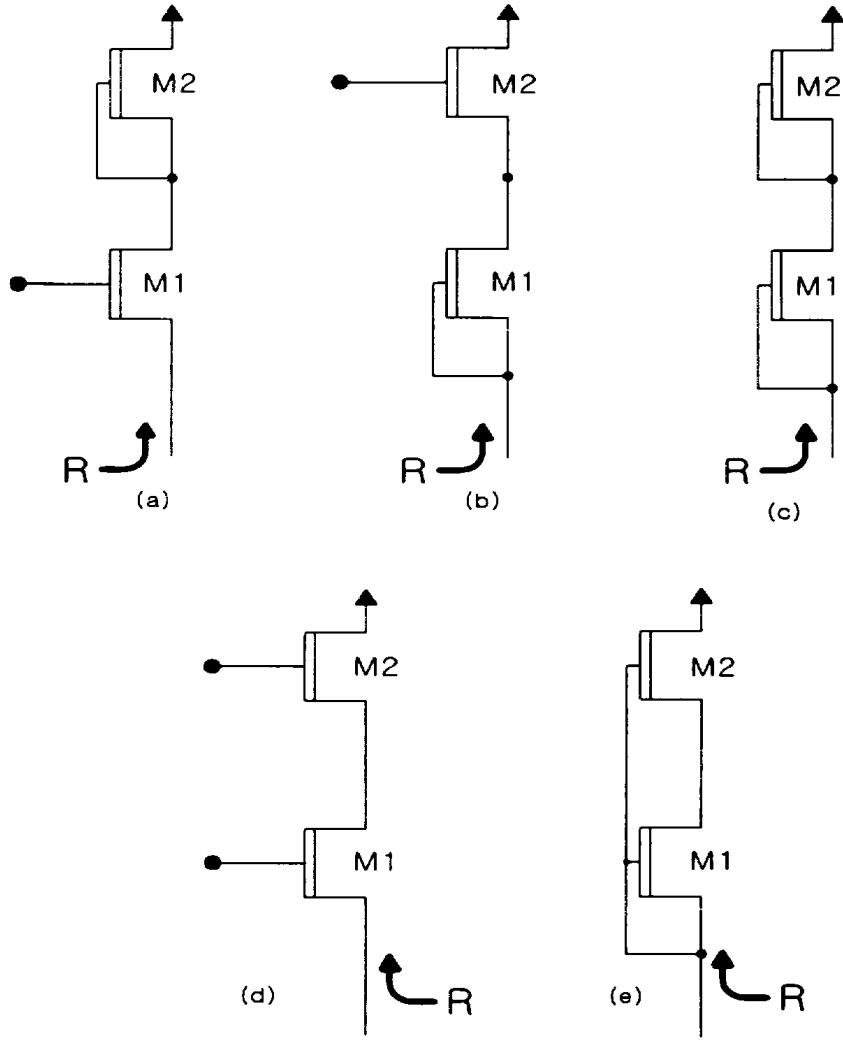


그림 3-1. 집적회로에 사용되는 능동 저항들

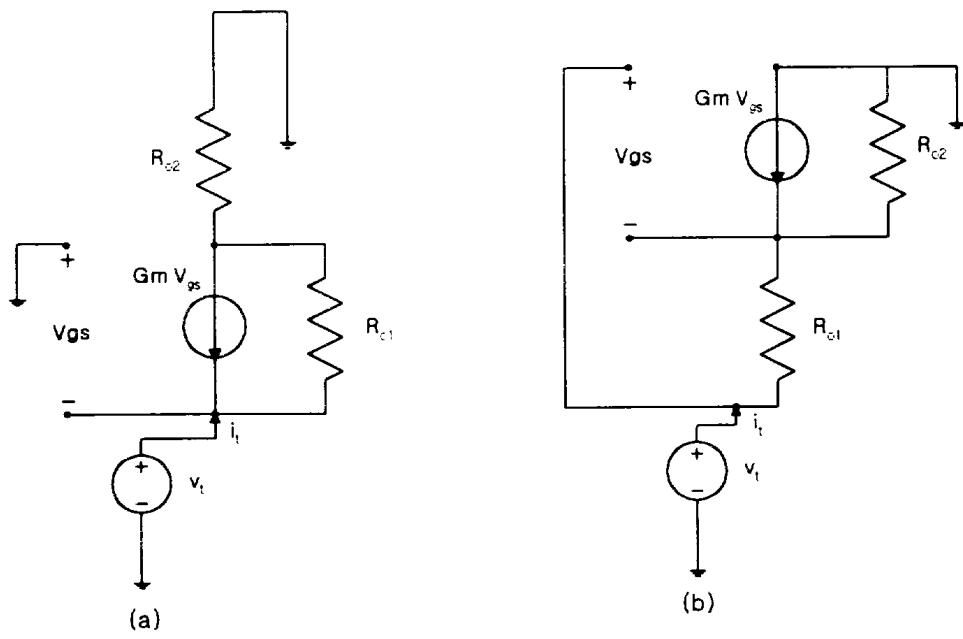


그림 3-2. Bootstrap Active Load의 소신호 등가회로

제 3-2 절. Inverted 전류 영상기

그림3-3(a)는 게이트와 소오스가 상호 교차되어 연결된 한 쌍의 MESFET을 보여준다.^[12] 포트1에 흐르는 전류가 증가하면, M1의 게이트-소오스 사이의 전압(V_{GS1})이 증가하고, 이 전압이 반전되어 M2의 게이트-소오스에 연결되어 있으므로 M2의 게이트-소오스 전압(V_{GS2})는 감소하게 되고, 그 결과 포트 2에 흐르는 전류는 감소하게 된다. 반대로 포트1의 전류가 감소하면 같은 원리에 의해서 포트2의 전류가 증가하게 된다. 따라서 이 회로는 입력 전류가 반전되어 출력되는 inverting 전류 영상기라고 할 수 있다.

회로의 동작은 그림 3-3(b)에 주어진 등가회로를 통해 해석할 수 있다.

간략화 하면 입력 임피던스는

$$Z_{in,1} = \frac{g_{m2}}{g_{m1}} Z_{L2} \quad (3-10)$$

이다. 이와 같이 부하 임피던스 Z_{L2} 에 비례함을 알 수 있다. 마찬가지로 방법으로 포트2에서의 입력 임피던스를 다음과 같이 얻을 수 있다.

$$Z_{in,2} = \frac{g_{m1}}{g_{m2}} Z_{L1} \quad (3-11)$$

이상과 같은 식에서 각 포트의 입력 임피던스는 다른 포트에 연결된 부하 임피던스에 비례함을 알 수 있고, 이러한 임피던스 전달 효과(impedance transforming property)는 고속 회로를 설계하는데 있어서 대단히 중요한 의미를 갖는다. parasitic capacitance에 의해서 높은 주파수에서는 두 노드가 연결되어 있기 때문에 어떤 면에서는 하나의 노드로 생각할 수도 있다. 전류 영상기가 피드백 회로에 사용될 때, 이러한 성질은 pole의 개수를 줄이고, 따라서 phase margin을 크게 하여 안정성을 향상시키고 넓은 동작 주파수 영역을 가능하게 한다.

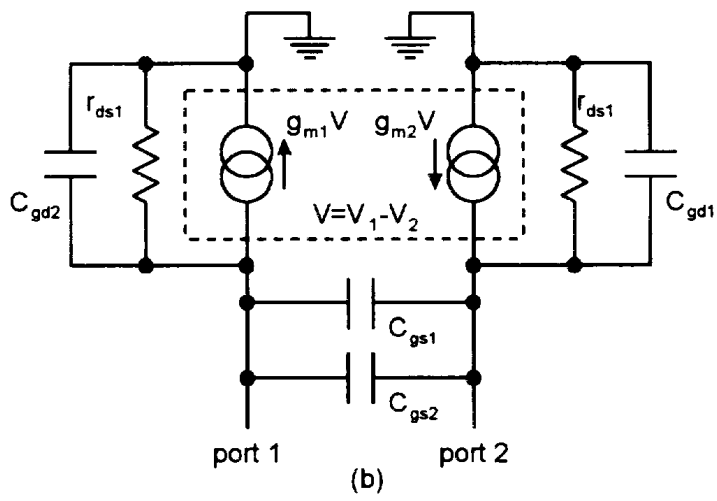
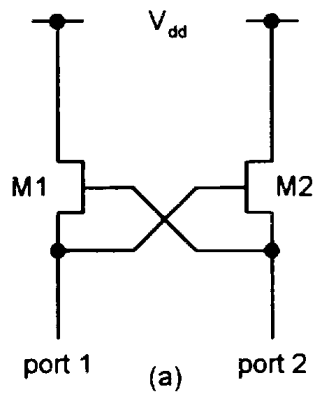


그림 3-3. (a) Inverting Current Mirror
 (b) Inverting Current Mirror 등가 회로

전류 영상기가 큰 신호로 동작할 때를 살펴보자. MESFET들이 saturation 영역에서 동작할 때 드레인 전류는 각각 다음과 같다.

$$I_{D1} = I_{DSS1} (V_{gs1}/V_T - 1)^2 \quad (3-12)$$

$$I_{D2} = I_{DSS2} (V_{gs2}/V_T - 1)^2 \quad (3-13)$$

게이트와 소오스가 서로 반전되어 연결되어 있으므로 $V_{GS1} = -V_{GS2}$ 이다. 이 관계를 이용하여 위의 두 식에서 I_{D1} 과 I_{D2} 사이의 관계를 얻어내면 다음과 같다.

$$\frac{I_{D2}}{I_{DSS2}} = \frac{I_{D1}}{I_{DSS1}} + 4 \left(1 - \sqrt{\frac{I_{D1}}{I_{DSS1}}} \right) \quad (3-14)$$

실제로는 MESFET의 출력 임피던스는 한정된 값을 가지며, 따라서 실제 회로에 응용하기 위해서는 cascode나 composite MESFET 등의 기법을 도입하여 MESFET의 출력 임피던스를 크게 하여 그에 의한 영향을 줄여야 한다.

제 3-3 절. 전류 영상기

그림 3-4는 회로 설계에서 일반적으로 많이 쓰이는 전류 영상기이다. 그림 3-4 (a)는 single cascode 전류 영상기이다. 앞에서 언급한 바와 마찬가지로 GaAs MESFET 소자의 경우 출력 저항이 비교적 작으므로 GaAs MESFET 회로 설계시에는 그림 3-4 (b)와 같은 double cascode 전류 영상기를 사용한다.^{[8][9]}

이와 같은 형태 회로는 주로 전체 회로의 아래단에서 전류가 빠지는 전류원 역할을 한다. GaAs MESFET 소자의 경우 실제 회로 설계에서 p형 소자를 이용할 수 없으므로 전류를 공급하는 전류원의 구성은 n형의 소자들에 의한 구성으로 이루어진다. 일반적으로 전류를 공급하는 역할의 전류 영상기는 전류원으로서의 역할과 동시에 부하 저항으로의 역할도 하게 되는데 이러한 경우 n형 소자의 소오스단에서

저항을 보게 되므로 인하여 일반적인 회로 구성은 그림 3-1 (a), (b)와 같이 작은 출력 저항을 갖게 되는 문제가 있다. 또한 기본적 전류 영상기 구조에 있어서도 그림 3-4과는 다른 복잡한 구조를 갖는다.

그림 3-5는 전류를 공급하는 역할의 세 가지 전류 영상기를 보여주고 있다.^{[13][14][15]} 세 회로 모두 기본적으로 inverted 전류 영상기로 구성되어 있으며 in단은 composite 트랜지스터로 구성하여 이상적인 전류원의 모델인 큰 저항값을 갖게 한 구조이다. 또한 모두 자기 바이어스 구성을 가지고 있어 모든 소자를 포화 영역에서의 동작을 하게 하였다. 그림 3-5 (b)는 double inverted cascode 전류 영상기로 그림 3-5 (a)의 single inverted cascode 전류 영상기에 비하여 1단의 트랜지스터를 더 연결시키므로써 충분한 출력 저항을 갖게 한 구조이다. 그러나 이 경우 out단의 전압 수준을 떨어뜨려 출력의 진폭을 제한하는 단점이 있다.

그림 3-5 (c)는 single inverted cascode에 inverted 전류 영상기를 쌓아 올린 구조로 충분한 출력 저항을 얻으면서 in단자와 out단자간의 반전된 전류 흐름을 더욱 크게 한 구조이다.

그림 3-6, 그림 3-7은 이 세 가지 구조의 전류 영상기를 부하단으로 이용하여 1단 증폭기를 구성하였을 때의 주파수 응답을 simulation한 것이다. 대역폭에 있어서는 double inverted cascode 전류 영상기가, 지연시간에 있어서는 inverted double cascode 전류 영상기가 우수한 특성을 보이고 있음을 알 수 있다.

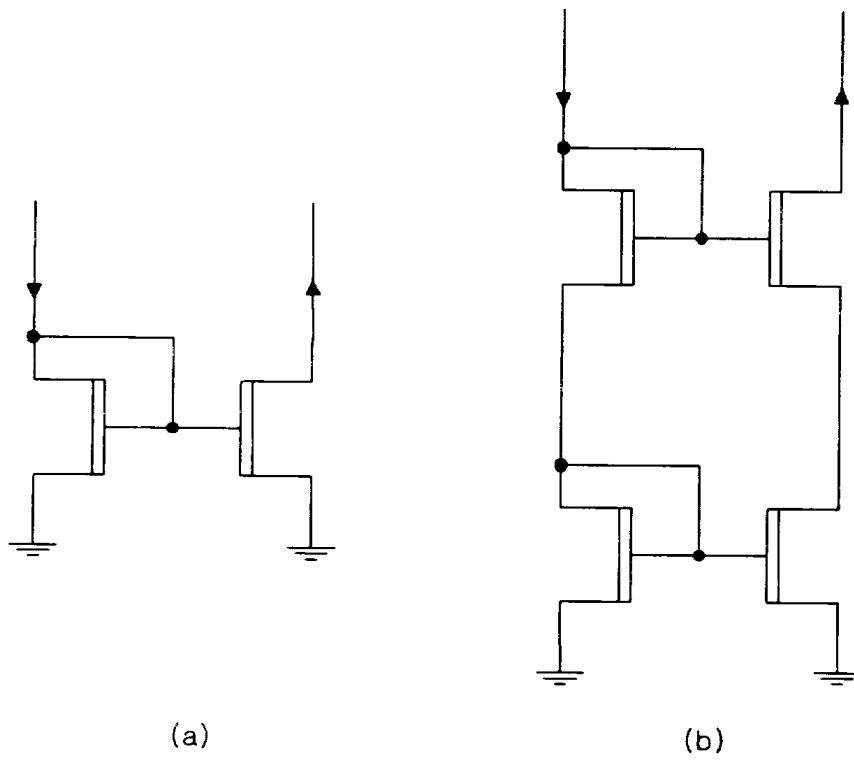
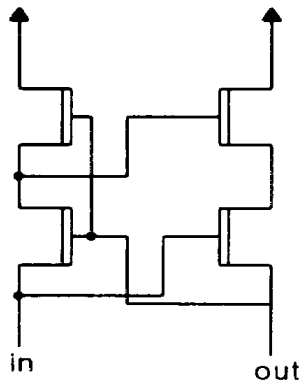
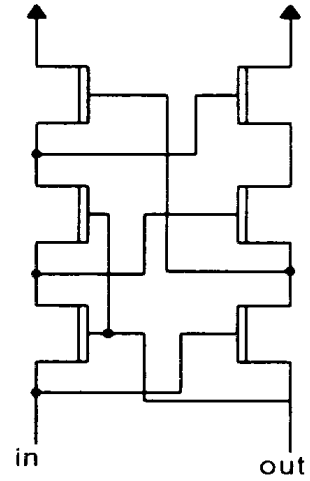


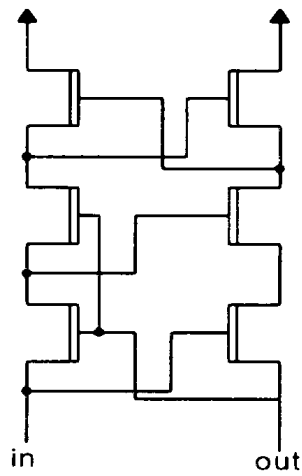
그림 3-4. Current Mirror



(a)



(b)



(c)

그림 3-5. Load단에 사용되는 Self-Biased Current Mirror

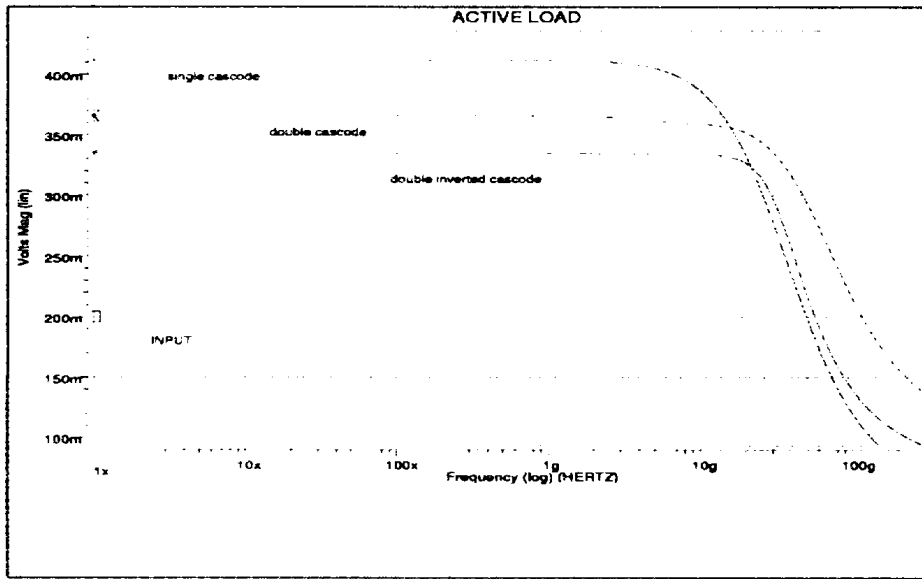


그림 3-6. Single Cascode, Double Cascode, Double Inverted Cascode Current Mirror의 주파수 변화에 따른 Gain Graph

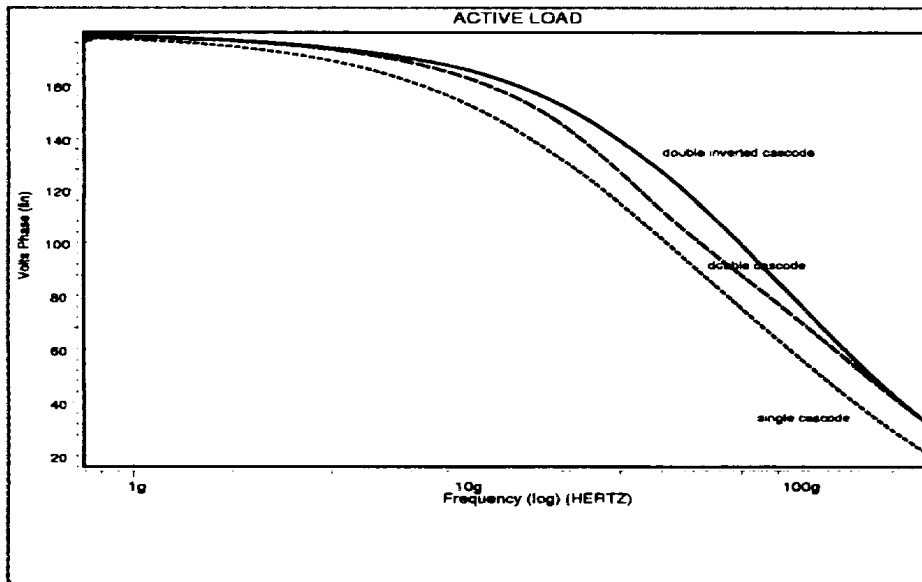


그림 3-7. Single Cascode, Double Cascode, Double Inverted Cascode Current Mirror의 주파수 변화에 따른 Phase shift Graph

제 3-4 절. CSA

CSA(Current-Steering Amplifier)는 기본적으로 두 개의 트랜지스터로 구성되어 있다.^[16] 그림 3-8 (a)은 전류원과 한 쌍의 N형 MESFET 소자를 보여 주고 있다. M1은 입력 소자이고 M2는 출력 로드이다. 입력이 High이면 켜지고 전류 I는 이 트랜지스터를 통하여 흐르게 되고 이 경우 M2는 켜지게 된다. 이 경우에 있어서 M1의 저항이 출력에 있어서 최저 전압을 결정하게 된다. 반대로 M1의 입력이 Low일 때에는 전류는 M2에 의하여 조종되게 된다. 이 경우에 있어서 다이오드와 같이 연결된 M2는 출력 전압의 최대값을 결정하게 된다. CSA에 바이어스 전류 I_b 를 가하였을 때 출력 전압의 진폭은 다음과 같다.

$$\Delta V = V_{OH} - V_{OL} = V_{th} + \sqrt{\frac{(W/L)_1 - (W/L)_2}{(W/L)_1 + (W/L)_2} \cdot \frac{2I_b}{K}} \quad (3-15)$$

식(3-15)는 출력 전압의 진폭이 $\sqrt{I_b}$ 에 비례함을 보이고 있다. CSA의 사용은 전원 전압에서 발생하는 노이즈에 의한 회로 동작의 문제를 막아 준다. CSA에서 로드단의 M2는 그림 3-8 (c)에서와 같이 다이오드와 같이 동작하는 성격을 가지고 있는데 출력 전압의 변화를 제한하여 주어 전류원단을 항상 포화 영역에서 동작하게 함으로써 전원의 스위칭 노이즈를 작게 해 준다.

본 연구에서는 CSA를 링오실레이터의 구동단으로 사용하였다. 이는 그림 3-8 (b)에서와 같이 M2 트랜지스터가 저항과 같이 동작하여 한 단에서의 전압 이득을 줄이는 대신 MESFET 소자의 게이트-드레인 간의 캐패시턴스에 대한 밀러 효과를 줄임으로써 실질적으로 대역폭을 크게 함으로 인한 고속 동작의 회로를 가능하게 하였다. 또한 그림 3-8 (c)와 같이 M2의 다이오드와 같은 동작은 전압 수준을 한정시키므로써 안정적인 전류 구동단의 형성에 도움을 주고 무엇보다도 출력단의 직류 전압 수준을 입력단의 그것과 동일하게 함으로써 MESFET 회로 설계에서의 문제점 중 하나인 레벨 천이 회로의 필요성을 없앴다.

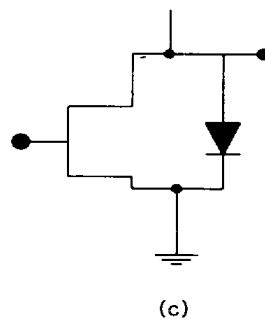
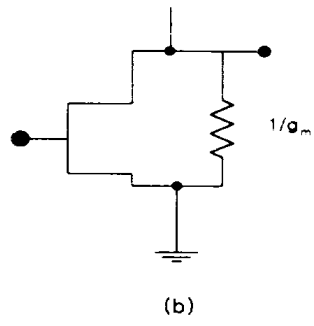
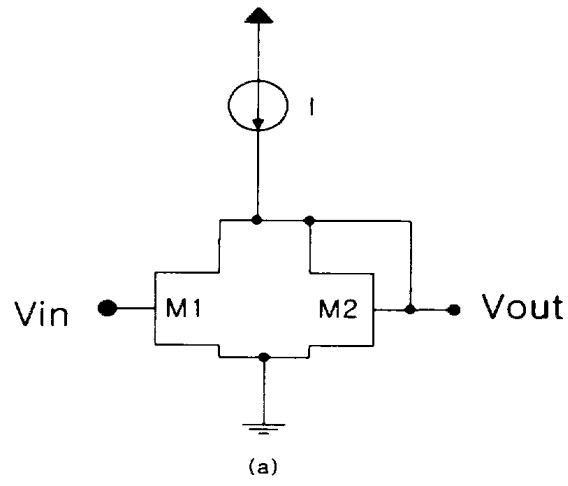


그림 3-8. CSA(Current Steering Amplifier)의 기본 구성

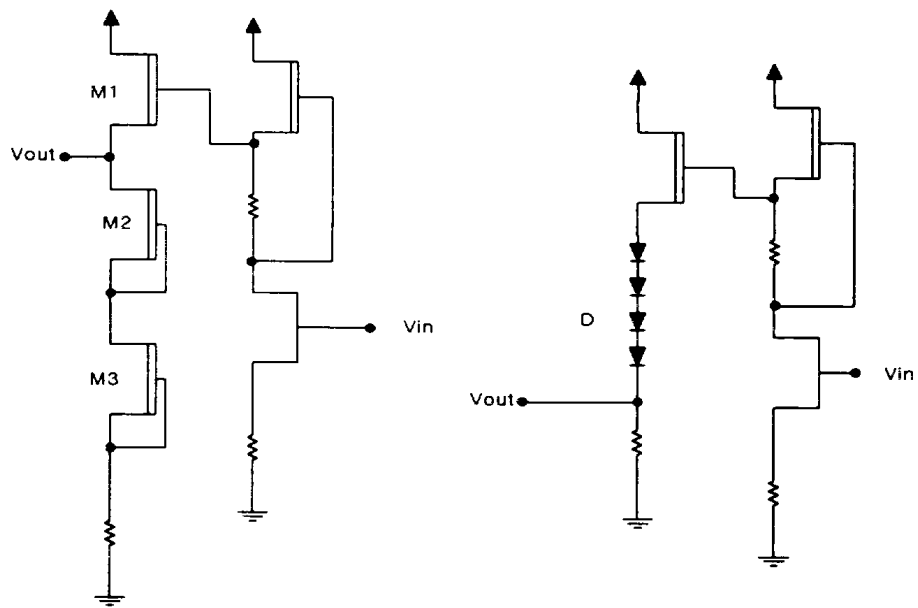
제 3-5 절. Voltage divider & Output buffer

그림 3-9 (a)는 출력 버퍼를 나타낸 회로도이다. 그림에서 출력 버퍼는 한 단의 전압 증폭단과 이에 이어지는 한 단의 전류 증폭단으로 이루어져 있다. 회로에서 출력 버퍼의 역할은 내부에서 출력하려는 임의의 신호에 대하여 외부와 연결하기 전, 충분한 전압과 전류를 가지도록 하는 역할을 한다.^[17] 그림에서 전압 증폭단은 bootstrap 으로 연결된 능동 저항을 부하단으로 사용하였다. 이 경우 증폭단에서 충분한 전압 이득을 얻을 수 있다. 또한, 부하단의 저항의 값에 따라서 저항 양단의 직류 전압 수준을 원하는 값으로 조정할 수 있으므로 다수준의 전압 출력이 필요한 경우 효과적으로 사용할 수 있다. 전류 증폭단은 일반적으로 많이 사용하는 source follower를 사용하였다. 이 단에서의 전류값은 저항 형태로 연결된 두 트랜지스터와 저항에 의해서 결정되는데 매우 단순화시키면 전류값은 다음과 같이 생각할 수 있다.

$$I_{ds} = K \cdot V_7^2 \quad (3-16)$$

여기서 K는 (W/L)에 비례하는 값으로 전류의 값은 결국 M2, M3 트랜지스터의 넓이 중 작은 값을 조정함으로써 결정할 수 있다. 만약 두 값이 차이가 많이 날 경우 넓이가 작은 트랜지스터가 정상적인 동작 상태인 포화 상태에서 벗어나게 되므로 두 트랜지스터의 넓이는 같게 한다. GaAs MESFET의 경우는 소자의 출력 저항이 비교적 작으므로 전류 증폭단 연결에서 M1의 소오스단에 M2, M3를 직렬 연결 시킴으로서 충분한 저항 값을 얻을 수 있다.

그림 3-9 (b)는 전압 증폭단과 전압 수준 천이 회로를 나타낸 회로도이다. 전압 수준 천이 회로는 단순한 직류 전압 수준의 변화를 위한 것으로 그림에서는 다이오드의 병렬 연결을 통하여 직류 전압 수준을 변화시키고 있다. 이 회로의 구성은 source follower이므로 이 단에서 교류 성분의 진폭이 줄어들게 되므로 그림과 같이



(a)

(b)

그림 3-9. Output Buffer와 Level Shifter 회로도

전압 증폭단을 연결시켜 이러한 문제를 막을 수 있다.

제 3-6 절. Modulator(Gilbert Cell)

그림 3-10의 Gilbert 셀은 일반적으로 널리 쓰이는 아날로그 변조기이다. v_{in} 과 v_{ref} 양단에 소신호를 가하여 줄 경우 그림의 회로는 아날로그 곱셈기와 같이 동작한다. 이 회로는 위상 동기 회로의 구성에 있어 위상 검출기로 많이 이용된다.^[8]

출력 전류와 두 입력 전압의 관계는 다음과 같다.

$$I = \left(\frac{I}{V_{GSref} - V_t} \right) \left(\frac{V_{ref}}{2} \right) \cdot \left(\frac{I}{V_{GSin} - V_t} \right) \left(\frac{V_{in}}{2} \right) \quad (3-17)$$

이와 같은 부하단의 전류는 저항을 통해서 전압으로 출력되는데 그림 3-11은 1GHz의 정현파와 10GHz의 정현파를 Gilbert 셀의 입력으로 주었을 때 두 신호의 곱으로 나타나는 출력을 보여주고 있다.

제 3-7 절. 새로운 구조의 Inverter Cell

그림 3-12는 3-2절에서 설명한 자기 바이어스된 double inverted cascode 전류 영상기를 이용하여 전류원을 구성하고 3-4절에서 설명한 CSA를 구동단으로 구성한 인버터이다. 다음의 인버터는 20GHz의 중심 주파수를 갖는 전압 제어 발진기를 이루는 주요 구성 회로로서 링오실레이터 형태의 구성에서 최고 주파수를 얻기 위하여 high bandwidth와 주파수에 대하여 좋은 위상 특성, 즉 작은 지연 시간을 갖도록 고안된 회로이다. 이 인버터는 구동단의 진폭이 식(3-16)와 같이 변하므로 전류 영상기에 연결된 트랜지스터를 통하여 전류를 조정하므로써 구동단의 이득과 대역폭을 조정할 수 있다. 이와 같이 제어 단자를 가지고 있는 인버터는 링오실레이터

형태로 연결하여 전압 제어 발진기를 구성할 수 있다.

CSA로 구성된 구동단은 전원 전압의 변화에 대하여 매우 강한 특성을 보이며 이는 실제로 전체 위상 동기 회로에 있어서 전원 전압의 변화나 노이즈에 대하여 강한 특성을 부여한다. 전류원과 능동 저항단의 역할을 하는 Inverted double cascode 전류 영상기는 충분히 큰 출력 저항을 통하여 인버터의 출력을 안정화시키며 반전된 전류원을 사용하여 전류 제어부와 전류 공급부와 전류비의 반전에 의하여 제어부의 전류 소비를 수백 μA 이하로 줄임으로서 전체 위상 동기 회로의 소비 전력을 최소화시키는 역할을 한다.

새로운 구조의 인버터의 사용은 전압 제어 발진기의 출력 주파수를 20GHz라는 매우 높은 주파수의 출력을 가능하게 하는 동시에 소비 전류의 최소화를 통하여 다른 MESFET 회로에 비하여 매우 작은 소비 전력을 가능하게 한다.

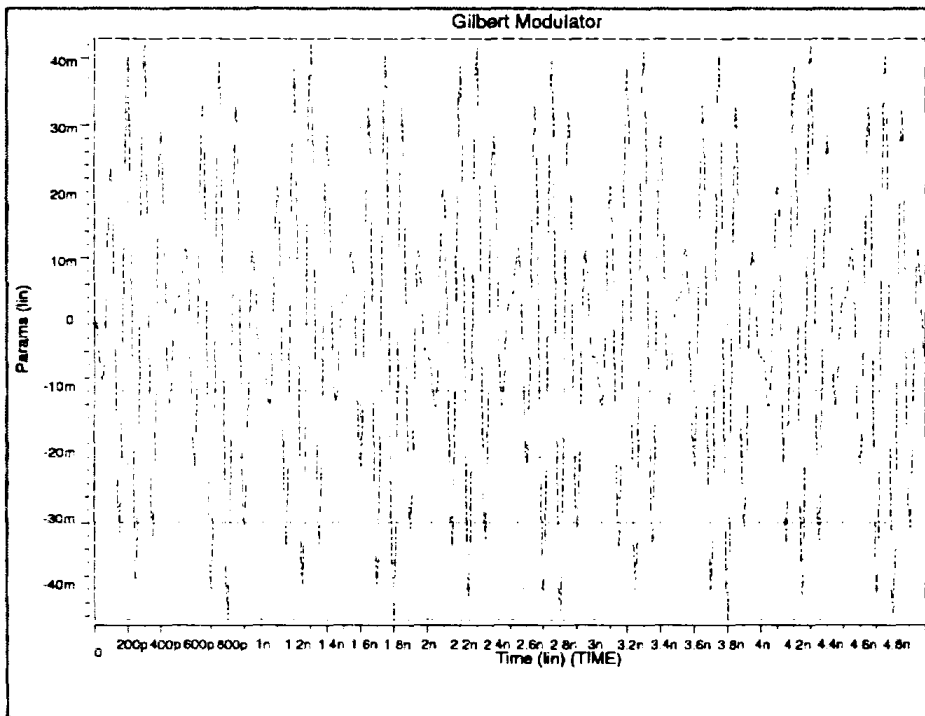


그림 3-11. 10GHz SIN입력과 1GHz SIN입력을 Gilbert Modulator를 통하여 변조한 출력 파형

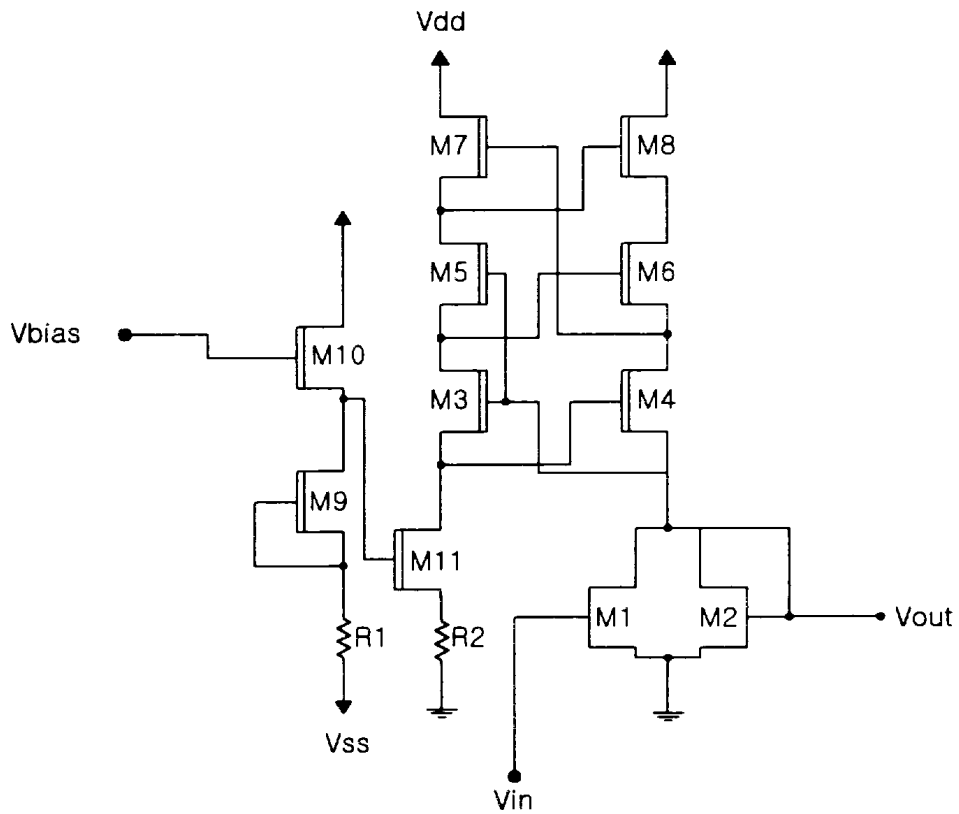


그림 3-12. 전압제어 발진기의 ring oscillator의 기본이 되는 Inverter Cell

제 4 장. 위상 동기 회로(PLL)의 기본 구성 및 해석

제 4-1 절. 위상 동기 회로(PLL)의 기본 구성 및 동작 원리

위상 동기 회로는 기준 주기 신호에 대해서 과도의 위상을 제한시켜 동작하는 피드백 시스템이다. 위상 동기 회로는 그림 4-1과 같이 위상 검출기, Loop Filter 그리고 전압 제어 발진기로 구성된 집적회로이다. 위상 동기 회로는 통신과 무선 통신 시스템, 그리고 디지털 회로와 직렬 접속 시스템 등의 다양한 응용 분야를 가지고 있다.

[18][19]

위상 동기 회로의 기본 동작은 먼저 루프가 동기 상태에서 동작할 때 위상 동기 회로의 각 회로의 상호 동작을 통하여 이루어진다. 입력 신호의 주파수가 전압 제어 발진기의 주파수와 같을 때 취해진 출력 전압은 전압 제어 발진기를 입력 신호와 같도록 고정시키는데 필요한 값이 된다. 그러면 전압 제어 발진기는 입력 신호의 주파수와 같은 일정한 진폭의 구형파 신호를 출력시키는데 여기서 가장 좋은 동작은 전압 제어 발진기의 중간 주파수 f_0 가 선형적인 동작 범위의 중간 위치의 직류 바이어스 전압에 설정될 때 이루어진다. 취득 및 동기주파수 범위 내에서는 직류 전압에 의해 전압 제어 발진기 주파수와 입력 주파수는 일정하게 된다. 루프가 동기를 이루려하는 동안에는 위상 비교기의 출력은 비교된 두 신호의 합과 차에서의 주파수 성분이 포함된다. Loop Filter는 저역 통과 여파기로서 신호에서 의미가 없는 고주파 성분은 제거시키고 정보를 가지고 있는 저주파 신호만을 통과시켜 루프는 입력과 전압 제어 발진기 신호와의 사이를 동기 상태로 되게 한다. 다음과 같은 회로의 귀

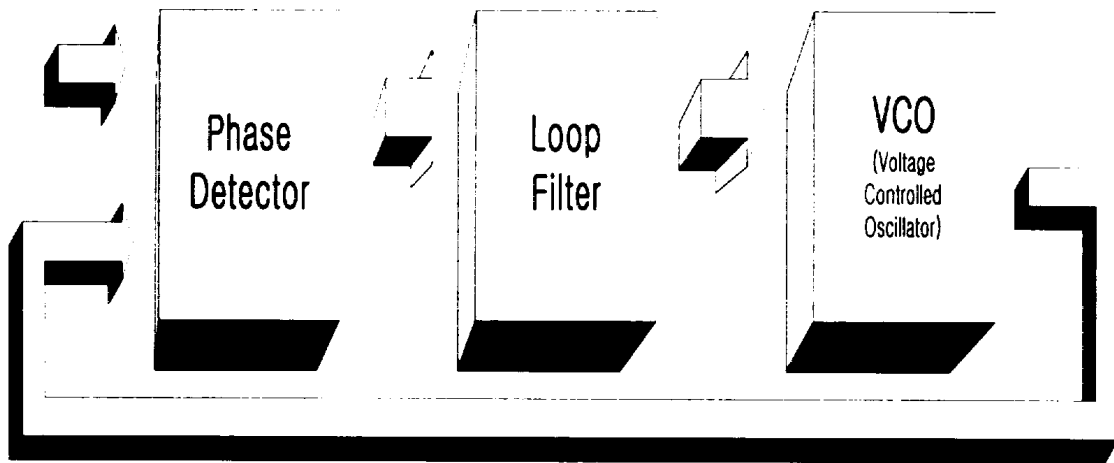


그림 4-1. 위상동기 회로(Phase Locked Loop) 기본 구성 Block

환 접속에 의하여 위상 동기 회로가 동작을 하게 되므로 이와 같은 이유로 하나의 중요한 시간대가 규정되는데 이것이 aquisition시간이다. aquisition시간은 위상 검출기의 출력이 일정한 포화값에 도달하는데까지 걸리는 시간, 즉 위상 동기 회로의 출력이 입력 주파수와 같아지는데 걸리는 시간을 말한다.

전압 제어 발진기의 제한된 동작 범위와 위상 동기 회로의 귀환 접속으로 인하여 위상 동기 회로에 대한 두 가지 중요한 주파수대가 규정된다. 위상 동기 회로의 capture range는 전압 제어 발진기의 자유 운동주파수 f_0 의 부근의 주파수로 집중된다. 그 범위 내에서 루프는 입력신호와 동기상태를 이룰 수 있다. 일단 위상 동기 회로가 취득을 이루면 위상 동기 회로는 lock range라 불리는 좀 더 넓은 주파수 범위 내에서 입력 신호와 동기 상태를 유지하게 된다.

제 4-2 절. 전압제어 발진기(VCO)

전압 제어 발진기는 주어진 입력전압의 직류 레벨에 따라 이에 비례하는 주파수의 주기 신호를 출력하는 일종의 발진기이다. 출력의 주기 신호의 주파수는 입력 제어 전압에 대한 일종의 선형 함수값으로서 다음과 같이 표현할 수 있다.

$$\omega_{out} = \omega_{FR} + K_{VCO} V_{cont} \quad (4-1)$$

여기서 ω_{out} 은 출력의 주파수값이며 ω_{FR} 는 출력 주파수의 오프셋값, 즉 자유 운동 주파수이고, K_{VCO} 는 전압 제어 발진기의 이득이며 V_{cont} 는 입력 제어 전압을 의미한다. 위상이란 주파수에 대한 시간 적분이므로 전압 제어 발진기의 정현파 출력은 다음과 같이 표현된다.

$$y(t) = A \cos(\omega_{FR}t + K_{VCO} \int_{-\infty}^t V_{cont} dt) \quad (4-2)$$

위상 동기 회로적 측면에서 봤을 때 전압 발진기는 제어 전압을 입력으로 갖고 과도 위상을 출력으로 갖는 일종의 시불변 선형 시스템으로 볼 수 있다.

$$\Phi_{out} = K_{VCO} \int V_{cont} dt \quad (4-3)$$

그러므로 입출력 전달 함수는 다음과 같이 표현할 수 있다.

$$\frac{\Phi_{out}(s)}{V_{cont}(s)} = \frac{K_{VCO}}{s} \quad (4-4)$$

식(4-3)은 전압 제어 발진기의 하나의 특성을 보여 준다. 즉, 출력의 위상을 바꾸려 하면 먼저 주파수를 바꾸고 적분을 취하여야 한다. 예를 들어 특정 시간 t_0 에 대하여 그 이전 시간에 전압 제어 발진기의 출력 주파수가 입력과 같고 한정된 위상 차이를 가지고 있으며 출력이 입력에 비하여 빠르게 위상을 변화시킬 수 있다고 가정하면 V_{cont} 는 $+\Delta V$ 간격으로 특정 시간 t_0 에 증가할 것이며 이는 입력과의 위상 차이를 줄일 것이다. 그리고 이 위상 차이가 0이 되면 V_{cont} 는 다시 원래의 값으로 돌아올 것이고 이 상태에서 두 신호는 주파수와 위상에서 같은 값을 가지게 된다. 여기서 주목할 만한 점은 이 시간 동안 전압 제어 발진기의 출력을 낮춤으로써도 같은 결과를 얻을 수 있다는 것이다. 이상 고찰을 통하여 전압 제어 발진기의 출력은 현재의 값에 의해서만 결정되는 것이 아니라 이전의 제어 전압 V_{cont} 에 의해서도 결정됨을 보여준다. 이러한 이유로 전압 제어 발진기의 출력은 위상 동기 회로의 시간 축에서의 분석에서 하나의 상태 변수로 취급하여야 한다.

전압 제어 발진기의 실제 구현에 있어서 여러 가지 종류로 나눌 수 있는데 이는 크게 VCXO(Voltage Controlled Crystal Oscillator), IC VCO MMIC(Microwave Monolithic Integrated Circuit) VCO 그리고, LC VCO 등으로 구분할 수 있다. 이들은 각각 주파수 안정성과 최대 발진 주파수, 주파수 이득과 주파수 제어 범위, 구현의 편의성 등의 면에서 여러 장단점들을 가지고 있다.

일반적으로 가장 많이 쓰이는 전압 제어 발진기는 크리스털 VCO이다. 주파수 안정도가 높고, 위상 잡음(phase noise)이 적다. 이와 같은 이유로 실제 집적회로 방

식의 위상 동기 회로의 구현에 있어서 그 안정성을 추구하기 위하여 크리스털 VCO를 참고 신호로 사용하는 경우도 있다. 그러나 주파수 제어 범위는 좁히고 크기가 커서 집적이 어려우며 최고 주파수에 있어서 그 한계가 300MHz 정도로 고속 회로의 응용은 사실상 불가능하다.

MMIC VCO의 경우 매우 높은 주파수를 얻을 수 있는 장점이 있지만 주파수 안정도는 VCXO에 비해 낮은 편이다.

IC VCO의 경우 VCXO에 비해 주파수 안정도와 위상 잡음 특성은 비교적 떨어지나, 크기가 작아 집적화가 가능하고, 대량 생산이 통하여 저비용으로 고성능의 전압 제어 발진기를 얻을 수 있다. 또한 본 연구와 같은 고속의 위상 동기 회로의 구현에 있어서는 외부의 패키징을 통하여 회로를 결선할 경우 핀의 인덕턴스로 인하여 정상적인 동작이 불가능하므로 위상 동기 회로를 집적화시켜 on-chip화할 필요성이 있다.

이외에 tank oscillator류의 LC VCO가 있는데 이것은 주파수 변화 범위가 크고 혼합 집적이 가능하여 무선 기기 등에 쓰이고 있다. 표 4-1은 일반적으로 많이 사용되는 크리스털 VCO와 집적회로 VCO를 비교하여 놓은 것이다.

표 4-1. 여러 가지 VCO의 특성 비교

특성 종류	VCXO	IC VCO
주파수 안정도	높음	낮음
최대주파수(Hz)	낮음 (~300M)	높음 (1G~10G)
위상 잡음(dB)	낮음(-100이하)	높음(-40 이상)
주파수범위(ppm)	좁음(10^2 이하)	넓음(10^5 이상)
평균 크기	큼(20~30mm ×20~30mm)	작음 (0.3mm×0.3mm)

제 4-3 절. 위상차 측정기(Phase Detector)

위상 검출기의 기본 동작은 두 개의 주기 입력 신호에 대하여 그 위상의 차에 선형적으로 비례하는 직류값을 출력하는 것이다. 이를 식으로 표현하면 다음과 같다.

$$V_{out} = K_{PD} \Delta\phi \quad (4-5)$$

여기서 K_{PD} 는 위상 검출기의 이득으로 V/rad의 단위를 가지며 $\Delta\phi$ 는 입력의 위상차이다. 실제의 구현에 있어서 위상 검출기의 출력은 큰 $\Delta\phi$ 에 대하여 선형적이지 못하다

일반적으로 사용되는 위상 검출기의 형태는 곱셈기로서 이를 디지털적인 면에서 본다면 XOR 연산에 가깝다고 할 수 있다.

두 개의 입력 신호 $X_1(t) = A_1 \cos(\omega_1 t)$, $X_2(t) = A_2 \cos(\omega_2 t)$ 에 대한 곱셈기의 결과는 다음과 같다.

$$\begin{aligned} y(t) &= \alpha A_1 \cos \omega_1 t \cdot A_2 \cos(\omega_2 t + \Delta\phi) \\ &= \frac{\alpha A_1 A_2}{2} \cos((\omega_1 + \omega_2)t + \Delta\phi) \\ &\quad + \frac{\alpha A_1 A_2}{2} \cos((\omega_1 - \omega_2)t - \Delta\phi) \end{aligned} \quad (4-6)$$

여기서 α 는 상수이다. ω_1 과 ω_2 가 같은 값을 갖게 되면 식(4-6)은 다음과 같이 간략해 진다.

$$\overline{y(t)} = \frac{\alpha A_1 A_2}{2} \cos \Delta\phi \quad (4-7)$$

여기서 $\Delta\phi$ 가 $\pi/2$ 의 값 근처에 있을 때 식(4-7)은 근사적으로 선형적인 출력을 내보내며 이 경우 다음과 같이 근사화시킬 수 있다.

$$\overline{y(t)} = \frac{\alpha A_1 A_2}{2} \left(\frac{\pi}{2} - \Delta\phi \right) \quad (4-8)$$

그리고 여기서 위상 검출기의 이득은 $-\alpha A_1 A_2 / 2$ 가 된다.

실제로 대부분의 위상검출기의 구현에 있어서 크게 두 종류의 회로를 이용하는데 Gilbert Modulator를 이용하는 방법과 위상, 주파수 검출기와 charge pump를 이용하는 방법이 있다.

Gilbert Modulator는 앞에서 설명한 것과 같은 아날로그 곱셈기 또는 변조기라고 할 수 있다. 이것을 위상 검출기로 사용할 경우, 위의 식(4-8)과 같은 위상 검출기의 출력을 갖게 된다. 이 회로는 뒤에 설명하게 될 위상, 주파수 검출기와 charge pump를 이용하는 방법에 비하여 회로의 구성이 단순하고 이에 따라 비교적 적은 소비 전력으로 회로의 설계가 가능하다. 또한 단순한 구조로 인하여 전체 위상 동기 회로의 구현에 있어서 위상 검출기단의 지연을 줄임으로서 고속 위상 동기 회로의 구현에 적합하다고 하겠다. 그러나 이 회로를 사용할 경우 전체적인 회로의 동작이 아날로그로 동작함으로 인하여 입력 신호의 전압 레벨과 신호의 진폭 등이 일정 수준을 넘지 않을 경우 정상적인 동작에서 벗어나는 경우가 있으며 중심 자유 운동 주파수에서 입력 주파수가 벗어날수록 정적 위상 에러가 발생하는 단점이 있다.

위상, 주파수 검출기와 charge pump를 이용하는 방법은 아날로그 곱셈기를 사용함으로서 생기는 이러한 문제점을 해결하는 방법으로 D Flip-Flop을 사용하여 위상, 주파수 검출기를 만듦으로서 위상차의 검출을 디지털적으로 명확히 할 수 있으며 charge pump를 통하여 위상차의 양, 음값에 따라서 charge pump의 출력 직류값을 바꿈으로서 위상 검출기로서 효과적으로 동작한다. 이 방법을 사용할 경우 정적 위상 에러의 문제를 해결할 수 있으며 전반적인 위상 검출기의 입력 파형의 상태에 크게 구애받지 않는 장점이 있다. 그러나 전체적인 회로의 구성이 복잡하여지고 이로 인하여 본 연구와 같은 고속 동작 위상 동기 회로에서 있어서는 그 정상적인 작동의 구현이 힘들다는 단점이 있으며 소비 전력도 비교적 크게 된다는 문제점이 있다.

제 4-4 절. 저역 통과 여파기(Loop Filter)

Loop Filter는 위상 검출기에서 나오는 고주파 성분과 저주파 성분 중에서 정보가 없는 고주파 성분을 제거하여 주는 일종의 저역 통과 여파기이다. 그림 4-2는 Loop Filter에서 일반적으로 사용하는 1차와 2차 저역 통과 여파기의 구성도이다.

그림 4-2 (a)에 대한 해석은 다음과 같다.

$$\begin{aligned} H(s) &= \frac{V_{OUT}(s)}{V_{IN}(s)} \\ &= \frac{1}{R + \frac{1}{j\omega C}} = \frac{1}{1 + j\omega RC} \end{aligned} \quad (4-9)$$

1차 저역 통과 여파기의 경우 3dB 감쇄 주파수에서의 전반적인 특성이 비교적 좋지 못하므로 일반적으로 2차 저역 통과 여파기를 사용한다.

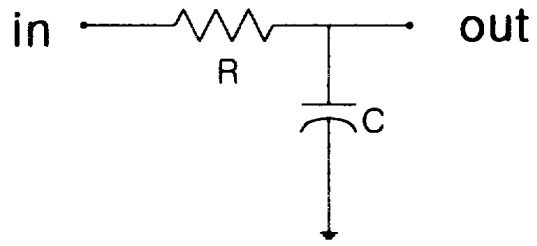
2차 저역 통과 여파기인 그림 4-2 (b)에 대한 해석은 다음과 같다.

$$\begin{aligned} H(s) &= \frac{V_{OUT}(s)}{V_{IN}(s)} \\ &= \frac{R_2 + \frac{1}{j\omega C}}{R_1 + R_2 + \frac{1}{j\omega C}} \\ &= \frac{1 + j\omega R_2 C}{1 + j\omega(R_1 + R_2)C} \end{aligned} \quad (4-10)$$

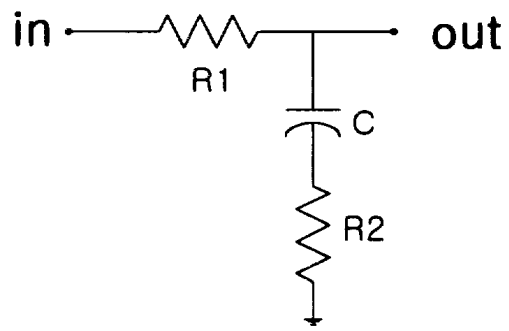
일반적으로 2차의 저역 통과 여파기로도 충분히 만족할만한 결과를 보임으로 이 이상 차수의 저역 통과 여파기에 대하여 일반적으로 고려하지 않는다.

제 4-5 절. 동기 상태에서의 위상 동기 회로의 분석

위상 동기 회로의 과도상태 응답은 일반적으로 쉽게 수식화할 수 없는 비선형 과



(a)



(b)

그림 4-2 . 1차, 2차 Loop Filter

정이다. 그러나 다른 귀환 회로와 같이, 선형적 근사화에 의하여 위상 동기 회로에 대한 모델링이 가능하다.

그림 4-3은 위상 동기 회로에 대하여 각 부분에 대하여 전달함수로 표현하여 선형적으로 모델링한 그림이다. 여기서 위상 검출기의 이득은 K_D 이고 Loop Filter의 전달 함수는 $F(s)$ 로 표현한다. 그리고 루프에 있어서의 어떠한 이득도 A 로 나타내며 전압 제어 발진기의 이득은 K_o 로 나타내기로 한다. 전압 제어 발진기에 가하여지는 제어 전압이 일정한 전압을 유지하고 있다면 출력 주파수도 일정한 값을 유지할 것이다. 그러나 위상 검출기는 입력 신호와 전압 제어 발진기 출력의 위상차이에 대하여 매우 민감하므로 실제 전압 제어 발진기 출력의 위상은 출력 주파수의 시간적분과 같다. 그러므로

$$\omega_{osc}(t) = \frac{d\phi_{osc}(t)}{dt} \quad (4-11)$$

$$\phi_{osc}(t) = \phi_{osc} |_{t=0} + \int_0^t \omega_{osc}(t) dt \quad (4-12)$$

와 같다. 전압 제어 발진기의 출력 주파수와 입력 제어 전압과의 관계는 식(4-1)과 같다. 그림 6-2에서 고전적인 선형 귀환 회로로 본 위상 동기 회로의 폐루프 전달 함수는 다음과 같다.

$$\begin{aligned} \frac{V_o}{\phi_i} &= \frac{K_D F(s) A}{1 + K_D F(s) A \frac{K_o}{s}} \\ &= \frac{s K_D F(s) A}{s + K_D K_o A F(s)} \end{aligned} \quad (4-13)$$

일반적으로 관심이 있는 전달 함수는 입력에 대한 위상의 변화 응답이라기 보다는 주파수의 변화 응답이라고 할 수 있다. 그러므로

$$\omega_i = s \phi_i(s) \quad (4-14)$$

를 식(4-13)에 적용시키면 입력에 대한 주파수 변화 응답인

$$\frac{V_o}{\omega_i} = \frac{1}{s} \frac{V_o}{\phi_i} = \frac{K_D F(s) A}{s + K_D K_o A F(s)} \quad (4-15)$$

을 얻을 수 있다. 여기서 $F(s)$ 가 1이라고 할 경우, 이를 일차 루프라고 부르고 이로부터 다음과 같은 단순화된 식을 얻을 수 있다.

$$\frac{V_o}{\omega_i} = \left(\frac{K_v}{s + K_v} \right) \left(\frac{1}{K_o} \right) \quad (4-16)$$

$$K_v = K_o K_D A \quad (4-17)$$

이것으로부터 이것이 출력 신호에 대한 입력 신호에 대한 주파수 변조 응답임을 알 수 있고 기본적으로 1차 저역 여파기의 특성을 가지고 있음을 알 수 있다. K_v 는 루프 이득으로서 rad/s의 단위를 가지며 실질적으로 위상 동기 회로에 의하여 변조될 수 있는 신호의 대역폭을 나타내는 파라미터이다.

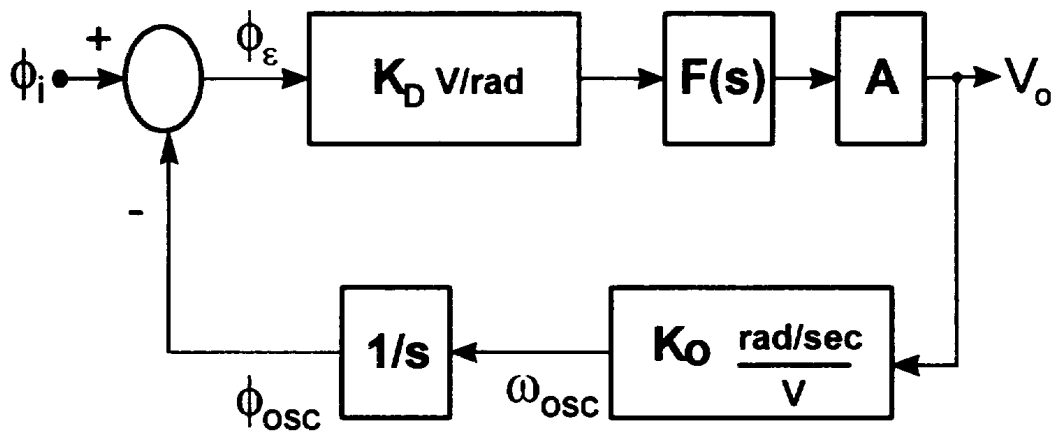


그림 4-3. 위상 동기 회로 시스템의 블록도

제 5 장. 20GHz 위상 동기 회로(PLL)의

회로 구성

제 5-1 절. 20GHz 전압제어 발진기(VCO)

집적 회로 전압 제어 발진기는 기본적으로 링 오실레이터 구조를 갖는다. 링 오실레이터는 일반적으로 홀수 개의 인버터의 연결로 이루어진다. 이 경우 1쌍의 인버터는 일종의 버퍼가 되며 이것은 하나의 지연부로 작용하며 결국 하나의 인버터에 대하여 입력과 출력을 몇 개의 지연부들을 거쳐 연결시키는 구조를 가졌다고 할 수 있다. 즉, 하나의 인버터의 지연 시간을 T_D 라고 할 때 $2n+1$ 개의 인버터로 연결시킨 링 오실레이터에 대하여 한 인버터의 출력 High 상태가 그 인버터의 입력으로 들어가기까지 걸리는 시간은 $2n \cdot T_D$ 이 되고 최종적으로 이 인버터에 입력 High는 다시 지연 시간 T_D 를 거쳐 High 상태의 출력을 Low로 만들게 된다. 다음의 식 (2-1)은 링 오실레이터의 동작을 발진 주파수로 나타낸 것이다.

$$f = \frac{1}{T} = \frac{1}{2NT_D} \quad (5-1)$$

식에서 T 는 발진 주기이고, N 은 인버터의 개수, T_D 는 인버터 1단의 지연 시간(propagation delay time)이다. 식에서 보듯이 N 과 T_D 에 의해 발진 주파수가 결정된다.

본 연구에서는 3장에서 설명한 매우 작은 지연 시간을 갖는 광대역 인버터를 이용하여 중심 자유 운동 주파수가 20GHz인 초고속 전압 제어 발진기를 설계하였다. 이 전압 제어 발진기는 일종의 DCFL(Direct Coupled FET Logic)의 3단 연결에 의한 발진기의 구성으로 3개의 서로 다른 위상 신호를 제공할 수 있다.

링 오실레이터에서 전압 제어 발진기의 주파수 조정하는 방법은 N 과 T_D 를 조정하여 주파수를 변화시켜 얻을 수 있다. 일반적으로 N 을 변화시켜 주파수를 변화시키는 방법은 전압 제어 발진기의 중심 주파수를 정할 때 사용한다. 일반적으로 하나의 인버터를 이용하여 입력과 출력을 연결시켜 발진기를 구성할 경우 실제로 인버터 자체가 180° 위상 천이시에 1 이상의 이득을 갖기 힘들므로 현실적으로 구성이 불가능하다고 볼 수 있다. 그러므로 본 연구에서는 가능한 한도 내에서 최고의 중심 주파수를 얻기 위하여 전압 제어 발진기를 이루기 위한 가장 작은 수인 3개의 인버터를 이용하여 회로를 구성하였다.

T_D 는 N 에 의하여 중심 주파수가 정하여진 상태에서 일정한 제어 신호를 통하여 조정하여 실제 전압 제어 발진기의 구성을 이루게 된다. 기존의 주파수 튜닝 방법으로는 전압 제어형 RC 지연 방식과 전압 제어형 풀다운 방식, 스위칭 트랜지스터를 이용한 신호 결합 방식, 그리고 analog mixer를 사용한 방식 등이 있다.^{[20][21]}

본 연구에서는 일종의 전압 제어 풀다운 방식을 사용하여 전압 제어 발진기를 구성하였다. 즉, 구동단 상부의 능동 저항부의 저항을 입력 제어 전압을 통하여 변화시키므로써 실질적으로 각 인버터 단의 지연 시간을 변화시켜 최종적으로 20GHz의 중심 주파수에서 약 $\pm 500\text{MHz} \sim 1\text{GHz}$ 의 튜닝 주파수를 갖게 설계하였다.

인버터단의 능동 저항단은 3장에서 설명한 자기 바이어스된 전류 영상기를 이용하여 한편의 전류를 변화시킴으로써 구동단에 연결된 부분의 저항값을 변화시켜 지연 시간의 변화를 일으켜 발진 주파수를 제어하게 된다. 3장에서 소개한 3 가지 전류 영상기, 즉 single inverted casocde, double inverted casocde 그리고 inverted double casocde 전류 영상기에 대하여 각각을 능동 저항으로 이용하여 전압 제어 발진기를 구성한 결과는 다음의 표 5-1과 같다.

제어의 안전성이란 출력의 선형성 및 출력의 시간축 분석에서의 진폭의 변화에 대한 것으로 Inverted double casocde의 경우 소자의 넓이 조정에 따라서 매우 높은 중심 주파수를 가질 수 있으나 전반적으로 선형성과 주파수에 따른 진폭의 변화가

심하여 실제 능동 저항으로 사용하지 않았다.

표 5-1. Single inverted cascode, Double inverted cascode 그리고

Inverted double cascode 전류 영상기를 능동 저항으로 사용한
전압 제어 발진기의 성능 비교

특성	Single inverted casocde	Double inverted casocode	Inverted double cascode
중심 주파수	20GHz이하	20GHz	20GHz ~ 32GHz
최대 튜닝 범위	2GHz	3.5GHz	8GHz
제어의 안정성	뛰어남	안정적	불안정
출력 저항	작음	큼	큼

출력 저항은 제어 신호에 따른 출력의 직류 전압 레벨 등에 연관이 있는데 Single inverted cascode의 경우 다른 전류 영상기에 비하여 낮은 출력 저항으로 인하여 주파수 변화에 따른 출력 직류 레벨이 비교적 많이 변하는 단점을 가지고 있다. 이러한 이유로 본 전압 제어 발진기의 설계는 Double inverted cascode 전류 영상기를 능동 저항으로 사용하여 안정적인 제어가 가능하게 하고 출력의 직류 전압 레벨과 진폭을 안정되게 설계하였다.

인버터단의 실제 구동부는 CSA(Current Steering Amplifier)를 이용하여 설계하였다. 일반적으로 GaAs MESFET소자의 경우 게이트와 소오스간의 전압이 0.7V를 넘을 경우 게이트와 소오스간의 쇼오토키 접합이 turn-on되어 양단간의 급격한 전류의 흐름이 생겨 회로의 정상적인 동작을 저해하게 된다. 그러므로 일반적인 GaAs MESFET소자를 이용한 회로 설계에 있어서 직류 전압 수준을 맞추는 것이 매우 복잡한 문제가 되며 소자의 쇼오토키 접합의 turn-on을 막기 위해 회로와 회로간의

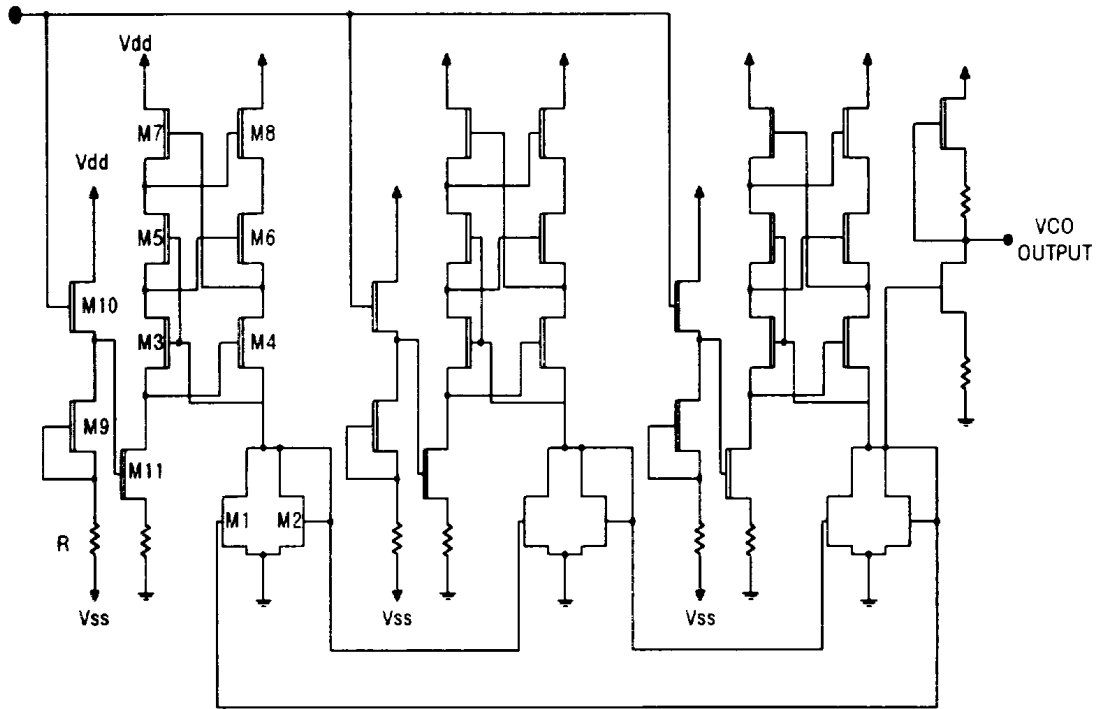


그림 5-1. 전압제어 발진기 (Voltage Controlled Oscillator)

연결에서 레벨 천이 다이오드를 연결시키거나 별도의 레벨 천이 회로를 삽입한다. 그러나 이러한 경우 전체 회로의 동작 주파수에 한계를 가져오고 회로의 복잡성을 일으킨다. 본 연구에서는 CSA를 구동단으로 사용함으로써 인버터의 입력과 출력의 직류 전압 레벨을 동일하게 하여 별도의 전압 레벨 천이 회로를 필요하지 않는 구조로 설계하였다. 이로서 전압 레벨 천이 회로의 삽입으로 인한 별도의 링 오실레이터에서의 지연 시간을 없앴으로써 20GHz의 높은 중심 발진 주파수를 얻을 수 있었다.

이미 3장에서 설명한 바와 같이 CSA를 구동단으로 사용함으로써 MESFET 소자 하나를 이용하여 구동단을 이룬 경우에 비하여 전체적인 전압 이득은 떨어졌으나 전압 제어 발진기의 안정성이 개선되었고, 인버터단의 지연 시간이 짧아지는 효과를 얻을 수 있었다.

그림 5-1은 본 연구에서 설계한 20GHz의 중심 주파수를 가지는 전압 제어 발진기의 회로도이다. 기본 구성은 앞에서 상술한 바와 같이 3단의 인버터로 이루어져 있으며 최종적인 출력은 출력 버퍼를 통과하여 이루어진다. 출력 버퍼는 크게 전압 증폭단과 전류 증폭단으로 이루어져 있다. 전압 증폭단은 3단 링 오실레이터에서의 출력 진폭을 위상 검출기단의 정상동작을 위하여 요구되는 크기이상의 진폭으로 높이는 역할을 한다. 일반적으로 20GHz와 같은 높은 주파수의 신호를 전류 증폭없이 외부 회로와의 연결은 하였을 경우 외부 회로의 입력단의 캐패시턴스로 인하여 실제로 정상적인 출력 파형을 얻기 힘들다. 실제로 전류 증폭단없이 전압 제어 발진기의 출력을 위상 검출기에 연결시킬 경우 전압 제어 발진기 출력에 심각한 왜곡이 발생함을 확인할 수 있다. 전류 증폭단을 통과시킬 경우 큰 전류에 의하여 출력단에 연결되는 캐패시턴스의 방전과 충전의 원만히 이루게 하므로써 왜곡없는 출력을 얻을 수 있다.

제 5-2 절. Phase Detector

그림 5-2는 본 연구에서 설계한 위상 검출기의 회로도이다. 설계된 위상 검출기는 기본적으로 Gilbert Modulator를 이용하여 전압 발진기로부터의 출력과 입력 신호의 위상 차이를 직류 전압으로 출력시키는 역할을 한다.

부하단에는 일반적으로 사용하는 저항 대신 inverted 전류 영상기를 달았다. 이와 같은 연결을 통하여 일종의 차동 증폭기 형태인 위상 검출기로부터 single-ended 출력을 뽑아내었는데 이는 전체 회로의 구성이 양단자 연결 형태가 아닌 단단자 연결 형태이기 때문이다. 또, 일반적으로 저항을 달고 여기에서의 출력 전압을 다음단으로 연결시키는 방법과 달리 부하단에 전류 영상기를 달으로써 전압의 전달이 아닌 전류의 전달 형식으로 다음단과 연결하였다. 부하단을 저항으로 구성할 경우 충분한 진폭을 얻기 위해서는 큰 값의 저항을 연결하여야 하는데 이 경우 회로의 바이어스 상의 문제가 발생하여 입력 신호의 진폭과 최종 출력 신호의 파형에 왜곡이 생기는데 등 전체적인 위상 검출기의 고속 동작에 무리가 생긴다. 그러므로 전류 영상기를 이용한 연결을 통하여 입력 전압의 충분한 입력 허용폭을 얻고 정상적인 출력 파형을 얻었다.

입력 형태의 경우 차동 입력의 형태로 하였으며 단단자 입력의 경우 하나의 단자를 직류 바이어스 시킴으로써 외부 회로의 호환성을 고려하였다.

Gilbert Cell의 다음단은 위상 검출기와 전압 제어 발진기간의 출력과 입력의 직류 전압 수준을 맞추고 전압의 범위를 맞추기 위한 회로이다. 첫단은 전압 증폭단으로 위상 검출기의 출력과 전압 제어 발진기의 입력 범위를 맞추는 역할을 한다. 다음단은 전압 수준을 전압 제어 발진기의 입력 수준으로 맞추는 역할을 하는 전압 수준 천이 회로이다.

4장에서 설명한 바와 같이 charge pump를 이용하는 방법은 정적 위상 에러를 없앨 수 있는 장점이 있으나 이 회로의 경우 전체적인 회로의 복잡성으로 인하여 20GHz의 주파수에 대하여 동작하는 회로의 구현은 매우 힘들다. 다음과 같은 회로

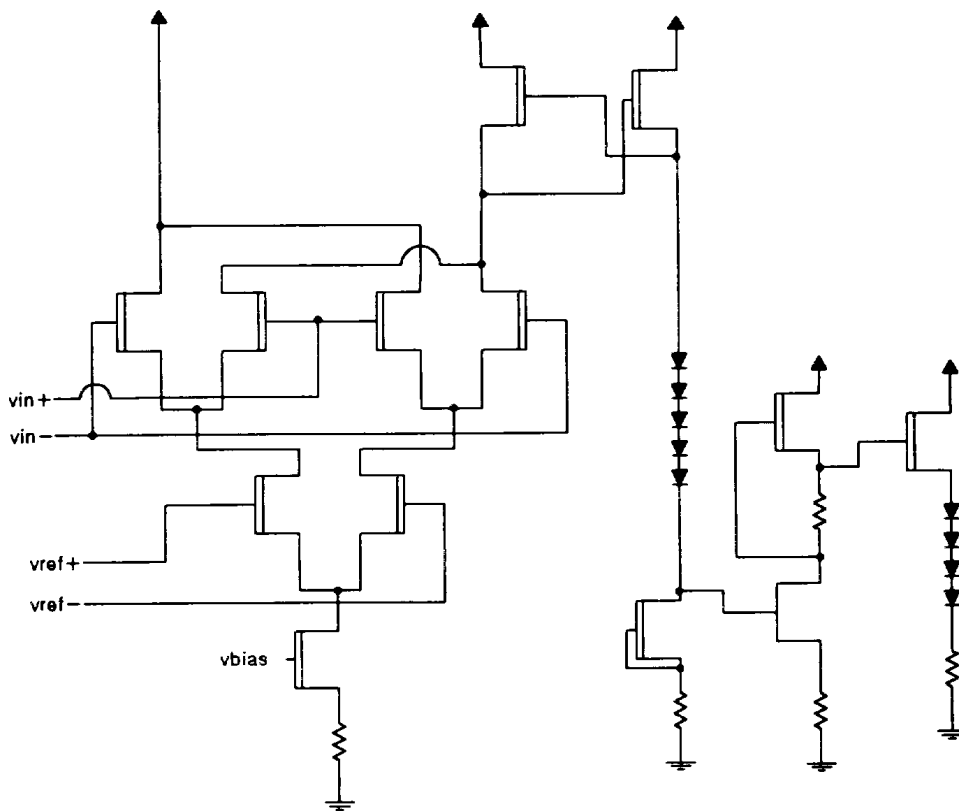


그림 5-2. Gilbert Modulator를 이용한 위상 검출기(Phase Detector)

의 구성은 위상 검출기단의 회로를 단순화시켜 전체 위상 동기 회로에 사용되는 트랜지스터의 수를 줄임으로써 소비전력을 줄이는 장점이 있다.

제 5-3 절. 20GHz 위상 동기 회로(PLL)

그림 5-3은 본 연구에서 설계된 위상 동기 회로에 대한 전체 회로도이다.

전압 제어 발진기단은 CSA로 구동부(M1, M2, M11, M12, M21, M22)를 구성한 3단 인버터 링 오실레이터로 이루어져 있고 전압 제어 발진기단에서 나온 출력은 전압 증폭단(M31, M32, R11, R12)을 통과하여 원래 신호에 비하여 약 2배 이상의 진폭을 갖게 된다. 이 신호는 전류 증폭단(M10, M20, M30, R10)을 통과하여 다음단의 Gilbert Modulator를 구동시키기에 충분한 전류 수준을 갖게 된다. 전류 증폭단을 통과한 신호는 위상 검출기단의 하나의 입력(M45, M46)으로 들어가고 외부의 입력 신호는 위상 검출기의 다른 하나의 입력(M41, M42, M43, M44)으로 들어간다. 이 두 신호의 위상차는 Gilbert Modulator의 출력으로 Inverted 전류 영상기(M48, M49)를 통하여 전류 신호로 저항(M50, R5)로 전달되고 여기서 전압 신호로 변화되어 전압 증폭단(M51, M52, R6, R7)으로 전달된다. 이 증폭단은 위상 검출기 출력의 범위를 전압 제어 발진기의 정상 입력 범위에 맞추는 역할을 한다. 이 신호는 전압 수준 천이 회로(M53, R8, diodes)를 통하여 적정 직류 전압 수준으로 내려가고 이 신호는 최종적으로 저역 통과 여파기(R9, C3)을 통하여 전압 제어 발진기의 입력으로 귀환됨으로서 페루프의 제어 시스템인 위상 동기 회로가 구성된다.

여기서 C1, C2는 일종의 바이패스 캐패시턴스로 회로에서 생기는 잡음들을 바이패스시킴으로 신호의 잡음 성분을 최소화시키는 역할을 한다.

전체 회로는 트랜지스터의 45개, 저항 11개, 캐패시터 3개로 구성되어 있으며, 전원은 5V의 VDD와 그라운드로 이루어져 있다.

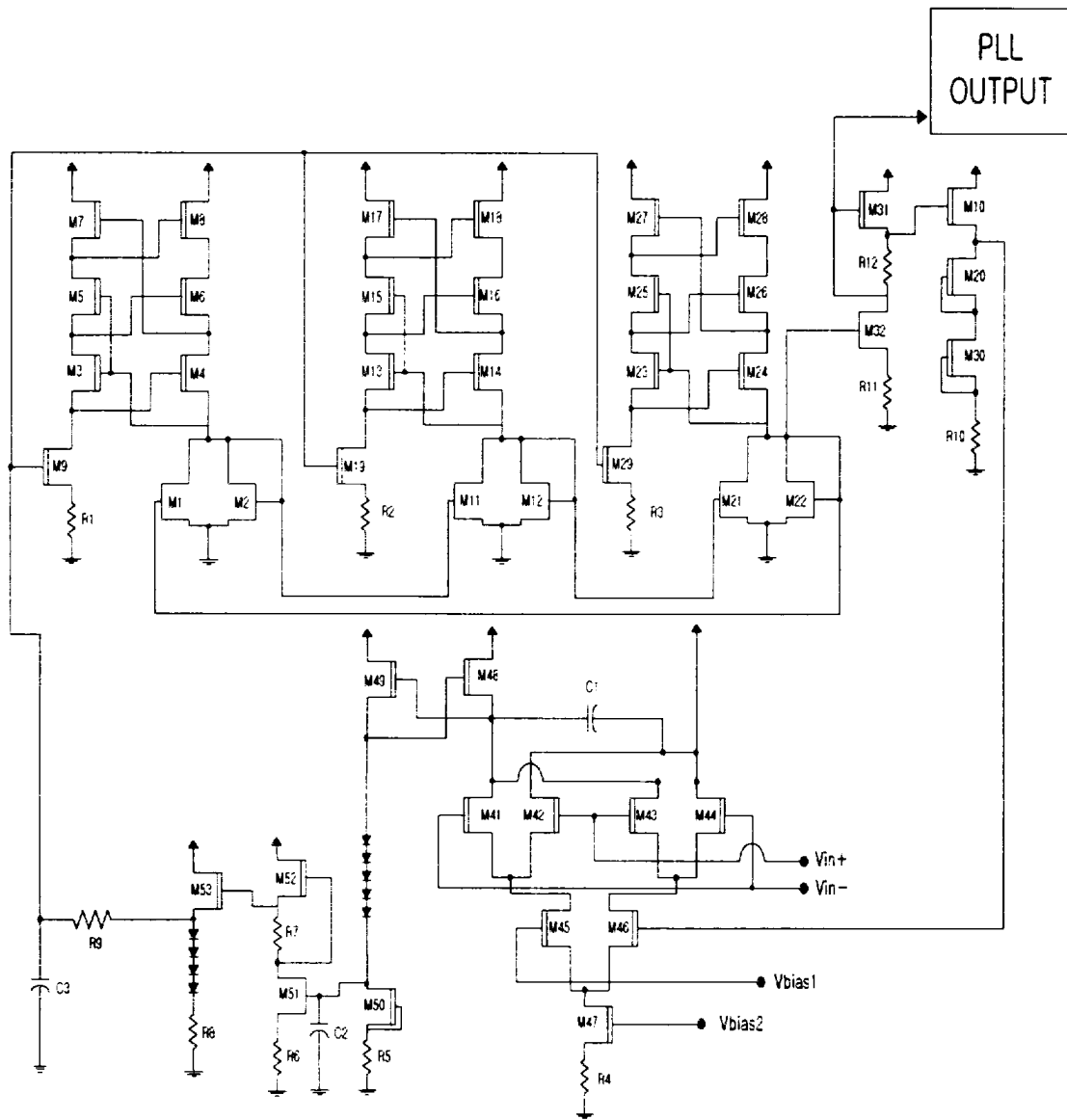


그림 5-3. 위상동기 회로(Phase Locked Loop) 전체 회로도

제 6 장. 결과

제 6-1 절. simulation 방법

위상 동기 회로에 대한 simulation은 5장에서 기술한 회로도들 바탕으로 일반적으로 회로 simulation에 많이 사용되는 Hspice의 version 96.1 이용하여 수행하였으며 GaAs MESFET소자에 대한 파라미터는 VITESSE사의 GAAS3 공정에 기반한 파라미터를 사용하였다. 소자의 최소 선폭은 $0.8\mu\text{m}$ 로 설계하였으며 넓이는 최소 $2.4\mu\text{m}$ 에서 최고 $40\mu\text{m}$ 로 설계하였다.

제 6-2 절. 전압 제어 발진기 simulation 결과

제 6-2-1 절. 전압 제어 발진기의 선형성 및 주파수 이득

전압 제어 발진기는 위상 동기 회로에 있어서 가장 핵심적인 부분으로서 위상 동기 회로의 안정적이 출력과 정상적인 동작을 위해서는 전압 제어 발진기의 안정적인 동작이 반드시 이루어져야 한다.

그림 6-1은 각각의 제어 전압에 대한 전압 제어 발진기의 출력을 보여주는 그래프이다. 그림에서 점선은 설계된 전압 제어 발진기에 2V의 제어 전압을 가하였을 경우의 전압 제어 발진기의 출력을 나타낸 것으로 이 입력 전압은 회로의 구성상 안정적인 전압 제어 발진기의 동작을 위한 최소 입력 제어 전압이다. 그래프에서 반 점선과 실선의 파형은 각각 3V와 4V의 제어 전압을 전압 제어 발진기에 가하였을 때의 출력을 나타내는 것이다. 여기서 4V의 입력 전압은 전압 제어 발진기의 안정

적인 동작을 위한 제어 전압의 상한에 가까운 값이다. 그래프에서 알 수 있듯이 각각 제어 전압의 큰 값과 작은 값, 그리고 중간값을 입력으로 주었을 때 전압 제어 발진기의 출력은 안정적인 파형을 그리고 있다. 특히 위상 동기 회로에서 전압 제어 발진기의 출력은 다음단의 위상 검출기로 연결되는데 이 경우 각기 다른 전압 제어 발진기의 제어 전압에 대하여 출력이 불안정할 경우 위상 검출기의 정상 작동의 조건에서 벗어나게 되므로 전압 제어 발진기의 출력에 있어서 phase noise, swing폭, 직류 수준 등은 매우 중요하다.

그림 6-1을 통하여 볼 때 각각의 입력 제어 전압에 대하여 출력은 모두 정현파를 그리고 있으며 이를 통하여 phase noise가 적음을 확인할 수 있다. DC level의 경우 0.1V 이내의 dc level 변화를 볼 수 있다. 이는 실질적으로 위상 검출기단의 정상 동작에 거의 영향을 미치지 않는 정도의 변화로서 매우 안정된 출력을 보여주고 있음을 알 수 있다. 출력 신호의 swing 폭의 경우 30mV 이내의 변화를 보이고 있는데 이는 매우 안정적인 전압 제어 발진기의 동작을 보여주고 있다.

그림 6-2는 2V, 2.5V, 3V, 3.5V, 4V의 입력 제어 전압에 대한 전압 제어 발진기의 출력을 FFT(Fast Fourier Transform)을 통하여 주파수축에서 보여 주는 그래프이다. 이와 같이 주파수 변환을 통하여 전압 제어 발진기의 출력을 볼 경우 출력이 얼마나 정현파에 가까운가의 여부와 출력 신호의 중심 주파수 등의 종합적인 결과를 쉽게 파악할 수 있다.

그림에서 알 수 있듯이 각각의 제어 전압에 대하여 출력 주파수는 매우 정현파, 즉 비교적 단일 주파수에 가까움을 알 수 있다. 이는 전압 제어 발진기의 구조에 있어서 링 오실레이터 구조의 문제점 중 단일 주파수 출력이 나오지 않는다는 단점을 고려 할 때 비교적 이러한 문제점을 개선시켰다고 할 만한 결과로 매우 선호할 만한 결과를 얻었음을 알 수 있다. 그림에 나타난 결과에 대한 정확한 수치적 결과는 다음 표와 같다.

표 6-1. 전압 제어 발진기의 입력 제어 전압에 대한 출력 특성

입력 제어 전압(V)	출력 중심 주파수	출력 전압 크기(mV)
2	19.8GHz	193
2.5	19.9GHz	185
3	20GHz	187
3.5	20.1GHz	189
4	20.2GHz	200

위의 표를 통하여 알 수 있듯이 설계된 전압 제어 발진기의 0.5V 제어 전압당 100Mhz의 출력 주파수의 선형적인 변화를 알 수 있다. 이는 전압 제어 발진기의 제어 전압에 대한 출력의 주파수 선형성이 매우 뛰어남을 의미한다. 그리고 200Mhz/V의 전압 제어 발진기 이득을 가짐을 알 수 있다. 이는 GHz단위에서의 전압 제어 발진기의 이득값으로는 비교적 작은 값으로 매우 바람직한 결과라 할 수 있다.

제 6-2-2 절. 공정 파라미터에 따른 VCO의 주파수 변화

앞에서 언급한 바와 같이 GaAs와 같은 III-V족 화합물 반도체의 경우 단결정 Si에 비하여 웨이퍼 상에 발생할 수 있는 결점이 상당히 많다. 이러한 결점은 문턱 전압의 변화와 단채널 효과, 채널의 불순물 주입량의 변화, 활성화 효율, Built-in 전압의 변화, 그리고 substrate의 변화와 같은 여러 가지 영향을 미칠 수 있다.

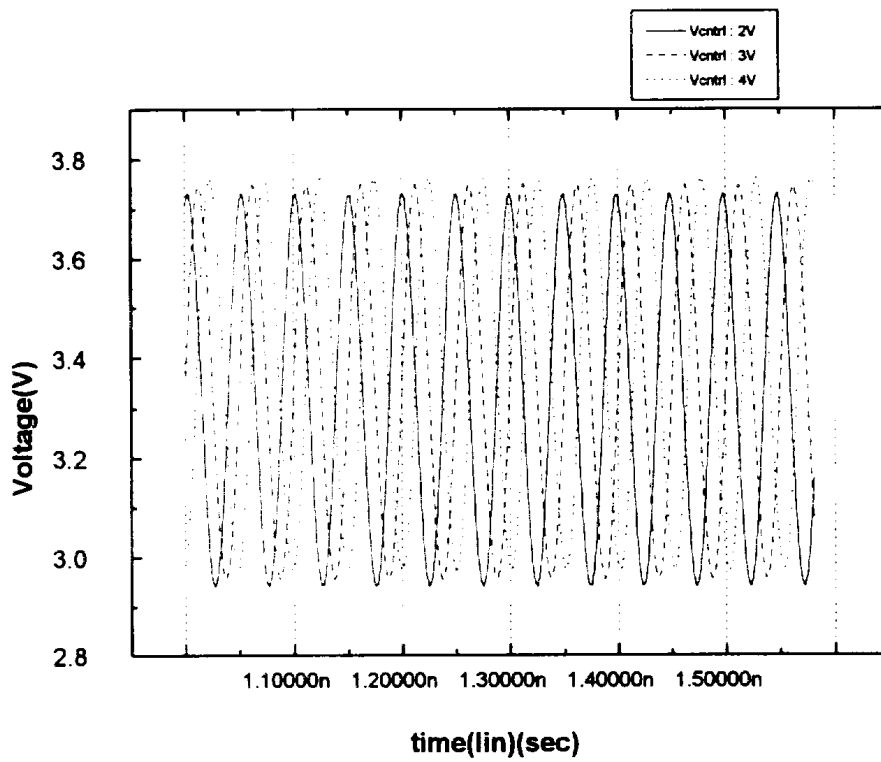


그림 6-1 . 2V, 3V, 4V 제어 전압에 대한 전압 제어 발진기 출력 그래프

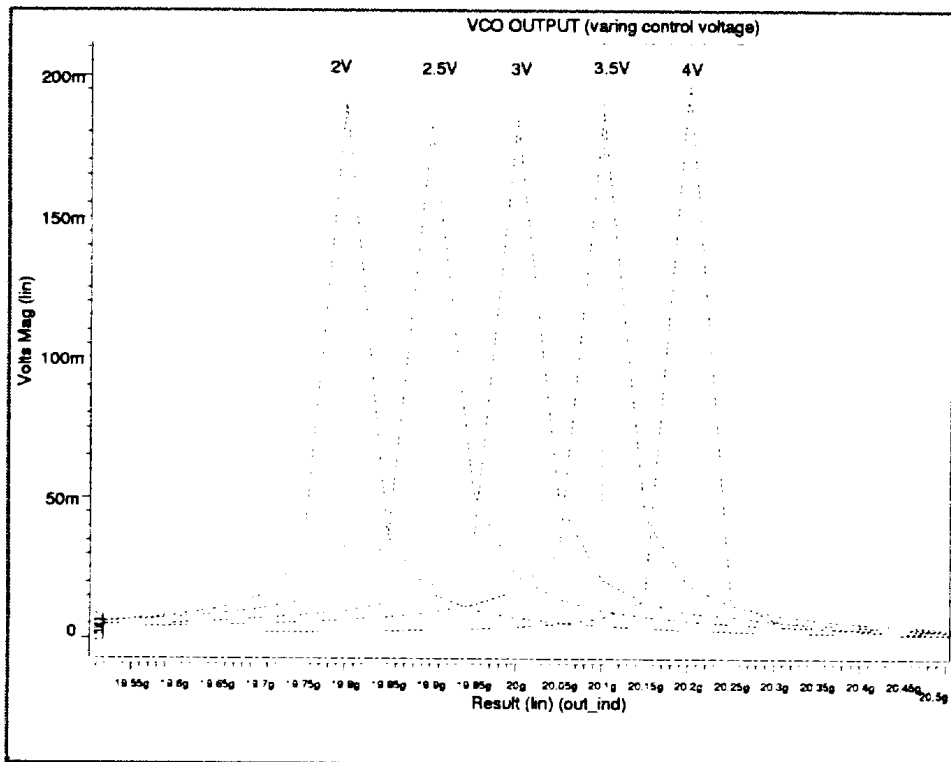


그림 6-2. 2V, 2.5V, 3V, 3.5V, 4V의 전압제어 발진기 입력에 따른 출력 파형의 FFT(Fast Fourier Transform) 결과

그러므로 전압 제어 발진기에 대한 simulation에 이러한 공정에 있어서의 변화량을 통계적으로 모델링하여 전압 제어 발진기 동작의 변화를 파악해 볼 필요가 있다. 그림 6-3과 그림 6-4는 공정 파라미터의 변화에 대하여 각기 다른 두 가지의 Hspice 모델 파라미터를 적용하여 전압 제어 발진기 회로에 대하여 simulation시킨 결과이다. 그림 6-2에서 적용시킨 모델 파라미터가 전형적인 값(typical)임에 비해, 그림 6-3의 경우 고속 특성의 값(fast)을 이용하여 simulation시켰고 그림 6-4의 경우 저속 특성값(slow)를 이용하여 simulation시켰다. 이는 문턱 전압이 변화하면 같은 바이어스 조건하에서도 트랜지스터에 흐르는 전류값이 변하여 소자의 동작 속도가 변하므로 이와 같은 원리로 적용된 것이다.

그림 6-3에서 알 수 있듯이 고속 특성값을 이용하여 simulation시킨 결과, 전반적으로 주파수별 출력 신호의 크기가 고르지 못한 점을 보였다. 전압 제어 발진기 이득은 200Mhz/V로 전형적인 경우와 같았으나, 주파수 축에서 보았을 때 전반적인 신호가 전형적인 값에 비하여 정현적인 특성이 떨어짐을 알 수 있고, 또한 전반적으로 800Mhz 정도의 주파수 상승이 있었다.

그림 6-4와 같이 저속 특성값을 적용시킨 경우 전압 제어 발진기의 출력에서 정현파적인 성격은 전형적인 값이나 고속 특성값에 비하여 많이 떨어졌으며 출력의 크기도 전반적으로 고르지 못함을 보여주고 있다. 전압제어 발진기 이득은 310Mhz/V로 다른 모델을 이용한 결과에 비하여 110Mhz/V의 이득이 더 많았고 전체적으로 전형적인 값을 이용한 simulation결과에 비하여 500Mhz정도 주파수 하향이 있었다.

이는 전반적으로 20GHz 정도의 고속 발진 회로에 있어서 회로 설계시 어느 정도 예상되던 결과로서 회로가 공정의 변화에 비교적 민감함을 의미한다고 하겠다.

제 6-2-3 절. 온도의 변화에 따른 전압 제어 발진기의 동작 변화

어느 소자에 있어서나 마찬가지로 온도의 변화는 소자의 여러 가지 파라미터를 변

화시킨다. 소자가 증폭기로서 동작하기 위한 포화영역에서의 전류식은 앞에서 언급한 바와 같이

$$I_{DS} = \beta (V_{GS} - V_T)^2 \quad (6-1)$$

이다. 여기서 문턱 전압 V_T 값은 온도의 변화에 따라 변하며 이외에도 여러 가지 파라미터가 온도의 변화에 따라 그 값이 바뀌게 된다. 그러므로 simulation 회로에 대하여 온도에 대한 안정성을 검증할 필요가 있다.

그림 6-5는 전압 제어 발진기에 대하여 온도의 변화에 따라 그 성능의 변화를 보여주고 있다. simulation 온도의 범위는 extended industrial 범위인 -20°C 에서 80°C 까지의 온도 범위로서 20°C 의 간격으로 20°C 에서 19.8GHz의 출력 주파수를 내는 2V의 입력 제어 전압을 일정하게 가한 상태에서 각각의 온도에 대하여 전압 제어 발진기 simulation하였다. -20°C 와 80°C 의 온도의 양한값으로 갈수록 출력에 있어서의 정현적인 특성이 많이 없어지는 것을 볼 수 있다. 일반적으로 온도가 올라가면 문턱 전압 V_T 값은 감소하게 되고 위의 전류식에 따라 문턱 전압 V_T 가 감소할수록 전류 값은 커지게 된다. 큰 전류는 소자의 캐패시턴스를 빠르게 충전, 방전시키므로 소자의 동작의 빠르게 하며 이는 곧 전압 제어 발진기에서 출력 주파수가 커짐을 의미한다. 그림을 통하여 simulation 결과가 이론과 일치함을 쉽게 확인할 수 있으며 그림에서 80°C 에서는 기준온도인 20°C 에 비하여 600Mhz의 주파수의 상승이 -20°C 에서는 기준온도에 비하여 300Mhz의 주파수 하향이 있음을 알 수 있다. 전체적으로 $0.045\%/^{\circ}\text{C}$ 의 온도에 따른 전압 제어 발진기 출력 주파수 오차를 나타내는데 이는 비교적 좋은 결과라 할 수 있다.

제 6-2-4 절. 전원 잡음에 대한 전압 제어 발진기 출력의 변화

일반적인 회로 설계에서는 전원 잡음에 대하여 반드시 고려하여야 한다. 일반적

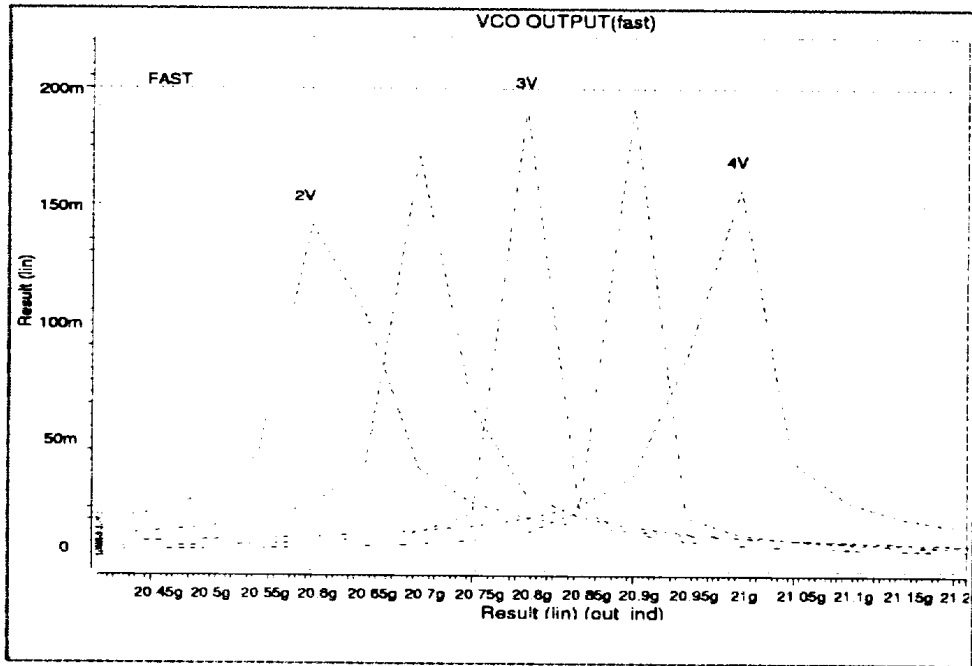


그림 6-3. 공정 특성 변화에 따른 고속 특성값에 의한 전압 제어 발진기의 출력 주파수 변환 파형

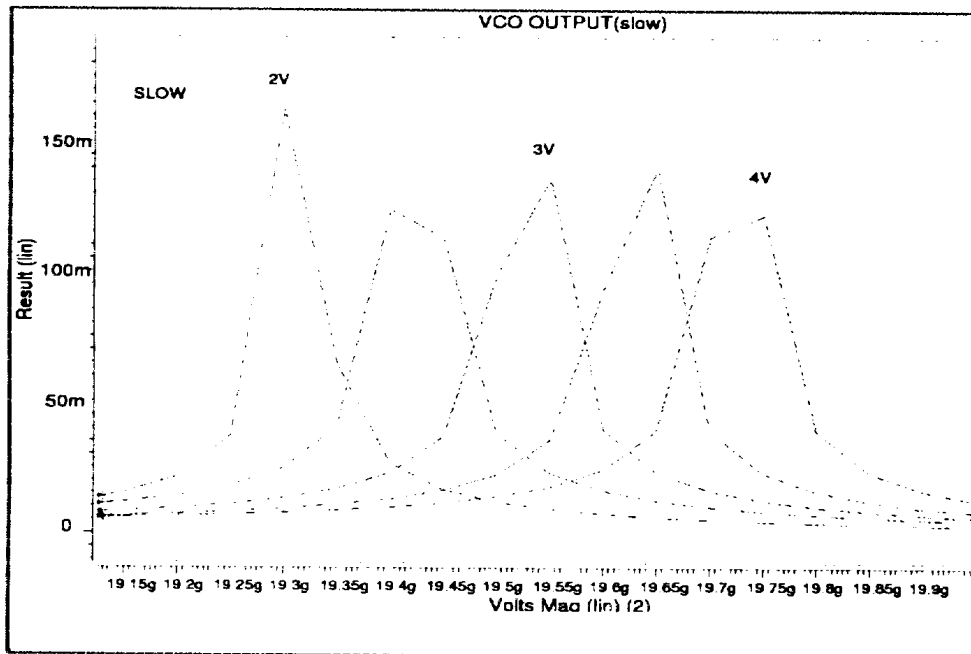


그림 6-4. 공정 특성 변화에 따른 저속 특성값에 의한 전압 제어 발진기의 출력의 주파수 변환 파형

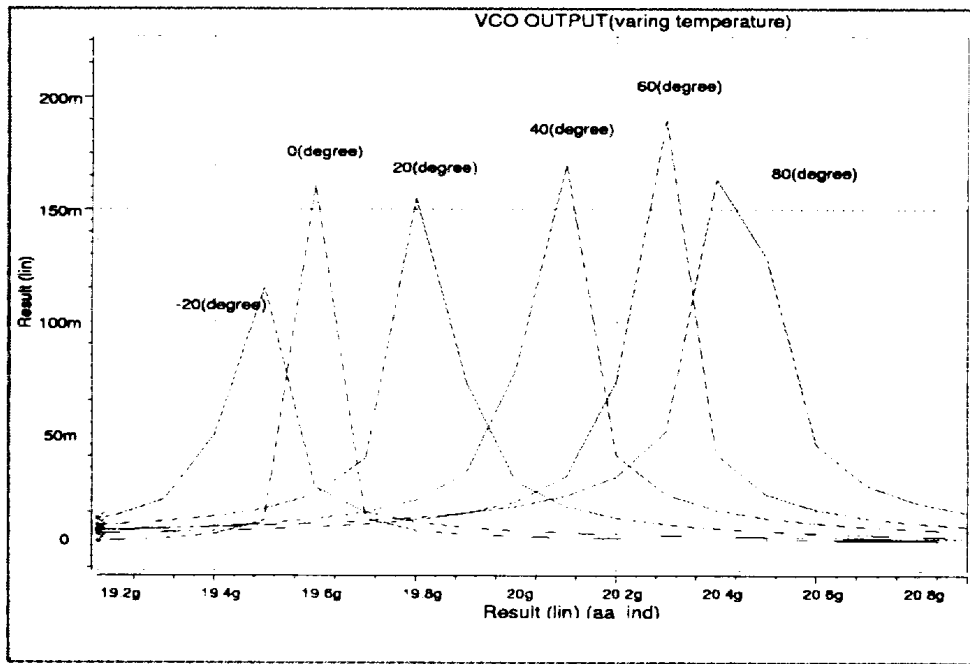


그림 6-5. 온도 변화에 따른 전압제어 발진기 출력의 주파수 변환 과정

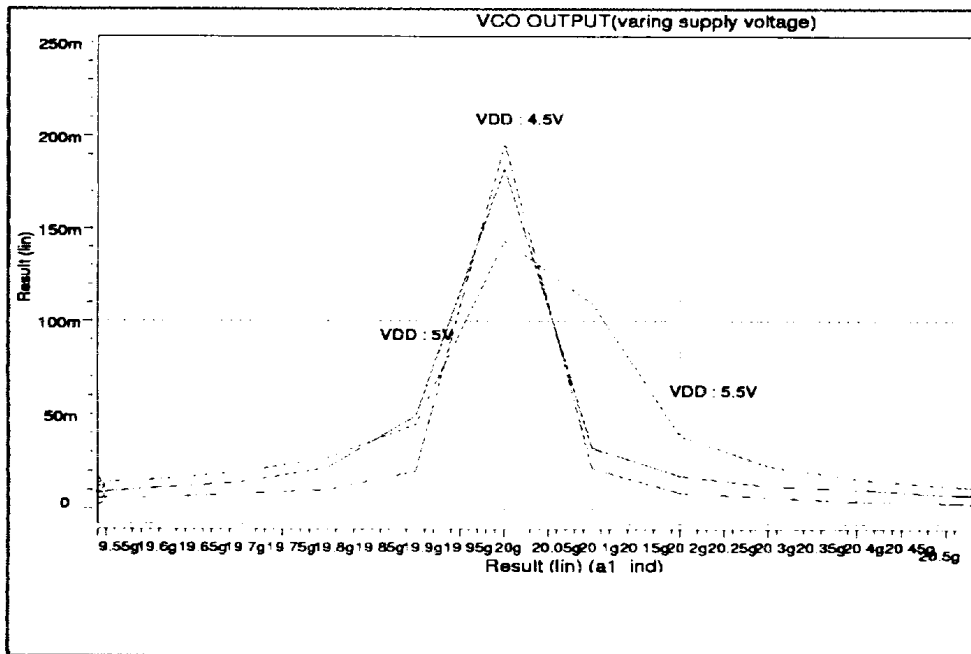


그림 6-6 . 전원 전압의 변화에 따른 전압제어 발진기 출력의 주파수 변환 과정

으로 전체적인 시스템에 있어서 어느 부분이 갑자기 전류의 소모가 크게 될 경우 전원 전압이 갑자기 작아지게 되며, 이 경우 회로가 전원전압의 변화에 민감한 경우 오동작이 일어날 수도 있다. 또한 이러한 일반적인 영향으로 인하여 전원을 통하여 노이즈가 각 회로에 전달될 수 있다.

그림 6-6은 전압 제어 발진기에 대하여 바이어스 조건을 바꾸어 가며 simulation하여 실제 이 회로가 어느 정도 전원 전압의 변화에 민감한가를 알아본 것이다. 전압 제어 발진기의 제어 신호는 출력 주파수가 20GHz인 3V로 놓고 각각 전원 전압을 4.5V와 정상적인 공급 전압인 5V, 그리고 5.5V로 놓고 simulation한 결과이다. 전원 전압이 높게 공급될 경우 회로 전체의 동작 전류값이 크게 되므로 전원 전압이 높을수록 회로의 전체적인 동작 주파수가 높아지게 되는 것이 일반적이다.

그림의 결과를 통하여 알 수 있듯이 설계된 전압 제어 발진기는 전원 전압의 변화에 대하여 주파수의 변화가 거의 없는 것을 알 수 있다. 이는 실제로 설계된 회로가 전원 전압의 노이즈에 매우 강하다는 것을 의미하는 것으로서 5.5V의 전원 전압 조건하에서 약간의 주파수 변화 성분이 들어가 있으나 전반적으로 아주 양호한 결과가 나옴을 확인할 수 있다. 이러한 결과는 전체 회로가 전원 노이즈에 강하게 설계된 것을 의미하는 것으로 링 오실레이터 구동단의 CSA의 경우 출력단의 다이오드와 같은 동작을 하는 트랜지스터가 입력과 출력의 직류 전압 수준을 한정함으로써 전반적인 회로의 전원 의존성을 작게 한 결과이다.

제 6-3 절. 위상 검출기에 대한 simulation

일반적으로 위상 검출기는 입력으로 들어오는 두 신호의 위상차이를 검출하여 이를 선형적으로 DC 출력으로 내보내는 역할을 한다. 4장에서 언급한 바와 같이 Gilbert Modulator를 이용하여 위상 검출기를 구현한 경우 두 입력의 위상차이 $\Delta\phi$ 에 대하여 위상 검출기의 출력은 $V_{out} = K_{PD} \cdot \cos(\Delta\phi)$ 와 같다.

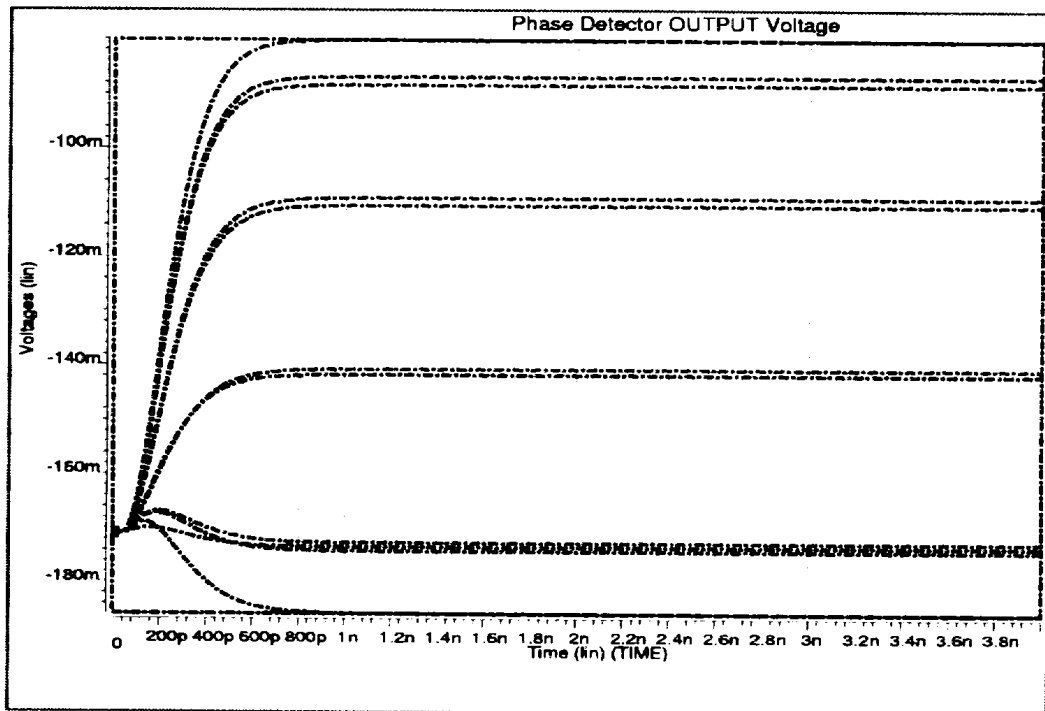


그림 6-7. 0°에서 360°까지 36°단위로 phase차를 가진 두 신호의 위상 검출기 출력 그래프

그림 6-7은 20GHz의 주파수를 가지는 두 입력에 대하여 0° 에서 360° 까지 36° 의 간으로 위상차를 주었을 때의 위상 검출기의 출력을 simulation한 그래프이다. 두 입력 신호에 대하여 360° 의 위상차이는 실제로는 0° 의 위상차이와 같다. 또한 36° 의 위상차이는 $360^\circ - 36^\circ = 324^\circ$ 의 위상차이와 같다. 그림에서 보이듯 각각의 출력들은 각각의 위상 차이에 따라서 transient한 변화를 거쳐 일정 DC 전압을 나타내고 있으며 각각 두 개의 신호들이 거의 동일한 하나의 DC 출력을 나타내고 있는데 이는 위에서 언급한 바와 같이 실질적으로 같은 위상차이를 갖는 신호들임을 나타내고 있다. 위상 검출기의 출력은 -80mV에서 -190mV의 범위에서 각각의 위상차이에 따라 출력을 나타내고 있는데 이는 별도의 level shifter를 거쳐 전압제어 발진기에 연결된다.

위상 검출기의 출력에서 일정한 DC 전류값으로 출력이 머무르기까지는 약 600ps 정도의 시간이 걸린다. 이 값은 위상 검출기 회로의 출력단에서 저역 통과 여파기를 연결시켜 얻어낸 출력으로 실제로 저역 통과 여파기를 없앨 경우 이 보다 빠른 시간을 얻어낼 수 있다. 그러나 이 경우 출력에 고주파의 노이즈가 섞이게 되어 결과적으로 위상 검출기의 정상적인 출력을 방해하게 되므로 현실적으로 얻어낼 수 있는 최적의 출력이 그림과 같다고 하겠다.

제 6-4 절. 위상 동기 회로(PLL)에 대한 simulation

앞에서 보여준 전압 제어 발진기와 위상 검출기의 구성과 simulation을 토대로 최종적으로 다음과 같은 위상 동기 회로에 대한 구성과 이에 대한 simulation을 하였다. 3장에서 정의한 바와 같이 위상 동기 회로는 외부의 입력 신호에 대하여 같은 주파수의 신호를 출력시켜주는 회로이다.

그림 6-8은 20GHz의 입력에 대하여 이를 tracking하는 출력 신호를 보여주는 그림이다. 그림에서 위의 신호는 20GHz의 입력 신호이며 아래의 신호는 입력 신호를

따라가는 20GHz의 출력 신호이다. 그림에 나타난 신호는 입력을 다한 후 75n초 이후의 결과를 본 것으로 이 정도의 시간 경과를 입력에 대하여 위상 동기 회로의 출력이 충분히 lock된 결과라 할 수 있다. 위상 동기 회로의 출력은 전압 제어 발진기에서 출력 buffer를 통과하여 나오는 신호로서 6-2절의 simulation에서와 같이 비교적 정현파에 근접한 신호를 나타냄을 알 수 있으며, 출력 신호는 $\pm 300\text{mV}$ 의 진폭으로 만족할 만한 결과를 보여 주고 있다.

그림에서 입력과 출력은 아주 작은 위상의 차이를 보여 주고 있다. 이는 위상 검출기에 Gilbert Cell을 이용함으로써 야기되는 문제로서 이러한 문제를 정적 위상 에러라고 한다. 그러나 실제로 이러한 위상 에러는 그림에서 알 수 있듯이 수도에 불과하므로 실제 위상 동기 회로의 동작에 있어서 크게 문제가 되지 않는다. 정상적인 위상 동기 회로의 동작을 위한 입력의 DC level은 3.2V~3.7V로 비교적 크며 입력 신호의 진폭은 150mV 이상이 되어야 한다. 일반적으로 외부의 신호를 위상 동기 회로의 입력으로 가하기 이전에 이미 충분한 front-end단의 회로들을 거치게 되므로 이와 같은 입력 신호에 대한 허용 범위는 매우 관대하다고 할 수 있다.

그림 6-9은 20.1GHz의 입력에 대하여 lock된 위상 동기 회로의 전압 제어 발진기부의 제어 신호와 20.8GHz의 capture range를 벗어난 고주파 입력에 대하여 lock이 되지 않은 위상 동기 회로의 전압 제어 발진부 제어 신호를 비교하여 보여준 것이다. 약 -150mV에서 거의 DC에 가까운 출력을 보여주는 것이 lock되었을 경우의 제어 신호이고 1GHz정도의 주파수를 갖고 큰폭으로 변화하는 신호가 lock이 되지 않았을 경우의 제어 신호이다. lock이 되지 않았을 경우 일정 DC 값을 나타내지 못하고 큰 폭으로 변하게 되는데 이 제어 신호는 전압 제어 발진기의 입력으로 들어감으로 이 경우 위상 동기 회로의 출력은 20GHz를 중심으로 약 1GHz로 FM(Frequency Modulation)된 파형이 출력되게 된다. 그림에서 가운데의 신호는 20.1GHz를 위상 동기 회로의 출력으로 내보내는 DC 값에 거의 고정되어 있다. 이는 위상 동기 회로가 20.1GHz 입력에 대하여 lock이 되었음을 의미한다. 이 신호에

있어서의 매우 작은 진폭의 교류 성분은 전체 위상 동기 회로라는 귀환 회로에서 완벽하지 못한 구성이라고 할 수 있으나 실제 결과에 있어서 문제가 되지 않는 작은 수준이라 할 수 있다. aquisition시간은 위상 동기 회로가 어떠한 입력에 대해서 lock이 되지 않은 상태에서 들어온 입력 신호를 lock하는데 걸리는 시간을 의미하는데 그림에서 설계된 위상 동기 회로의 aquisition 시간은 1n초로 지금까지 보고된 위상 동기 회로에 비하여 매우 빠름을 알 수 있다.

그림 6-10은 20GHz의 입력에 대하여 위상 동기 회로의 lock됨을 전압 제어부 입력 신호인 제어 신호를 통하여 본 것이다. 이 simulation은 입력 신호를 19.7GHz에서 20.3GHz까지 0.05GHz 단위로 변화시키면서 aquisition의 최악의 상태를 본 것이다. 그림에서는 약 1n초에 순간적으로 다른 주파수에 lock이 된 듯 머물다가 16.8n초에 제대로된 DC level에 제어 신호가 멈춤을 볼 수 있다. 이러한 현상은 회로 내에 비교적 불안정한 상태가 순간적으로 존재한다는 문제점을 보여주나 만족할 만한 시간 내에 원하는 상태로 돌아옴으로 크게 문제가 되지는 않는다.

그림 6-9에서 aquisition 시간이 2n초임에 비하여 그림 6-10의 결과에서 보인 aquisition 시간은 16.8n초이다. 회로 설계에 있어서 그 성능 기준은 최악의 경우에 맞추어야 하므로 다음 결과를 토대로 설계된 위상 동기 회로의 aquisition 시간은 대략 20n초라 하여도 무방할 것이다. 20n초의 aquisition 시간은 지금까지 발표된 결과와 비교할 때 매우 만족스러운 결과라 할 수 있다.^[21]

aquisition 시간 이외에도 위상 동기 회로에서 중요한 성능 지표가 많이 있는데 그중 하나로 capture range를 들 수 있다. capture range는 위상 동기 회로가 lock이 되지 않은 상태에서 들어오는 입력 신호를 lock시킬 수 있는 입력 신호의 주파수 범위를 의미한다. 일반적으로 저주파 위상 동기 회로의 경우에는 capture range가 큰 경우가 선호가 된다, 그러나 GHz단위의 위상 동기 회로의 경우 중심 주파수에 비하여 지나치게 capture range가 클 경우 다른 channel의 신호에 대한 tracking이 가능하므로 어느 정도 선에서 타당한 capture range를 가져야 한다.

그림 6-11는 설계된 위상 동기 회로의 capture 가능한 최저 주파수와 중심 주파수, 그리고 capture 가능한 최고 주파수에 대한 전압 제어부 입력 신호를 보여 주고 있다. capture range의 측정은 20GHz를 중심으로 0.05GHz 단위로 아래와 위의 입력 주파수 값에 대하여 변화시키며 simulation을 하여 얻어낸 값이다. 각각의 제어 신호는 3mV의 진폭으로 고정된 DC 값에서 변화하는데 이는 위에서 언급한 바와 같이 현실적으로 이의 완전한 제거는 불가능하다고 할 수 있으며 실질적으로 무시할 수 있는 정도의 진폭 변화이므로 크게 문제가 되지는 않는다.

소비 전력은 50mW로 이는 Hspice simulation을 통하여 5V 전원에 대하여 전류의 직류값과 교류값의 rms값에 의하여 계산되었다. 이값은 일반적인 GaAs MESFET 회로에서 소비되는 전력 소비가 수백밀리 와트에서 수 와트에 달하는 점을 고려할 때 매우 작은 값을 알 수 있다.

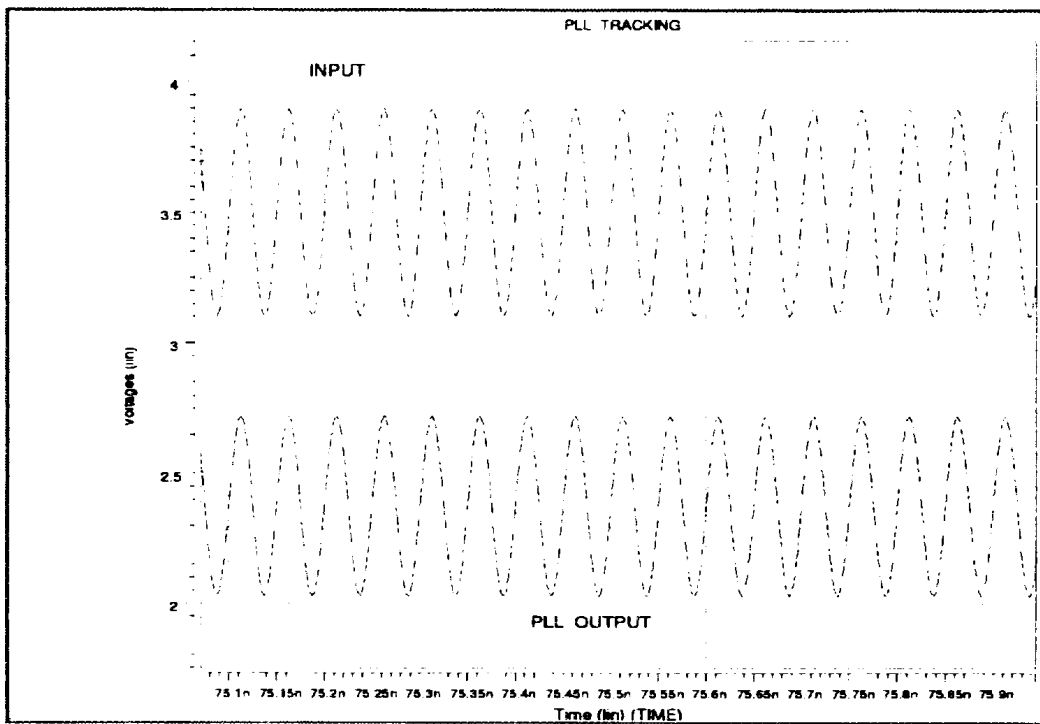


그림 6-8. 입력 신호와 locking된 위상동기 회로(PLL)의 출력 파형

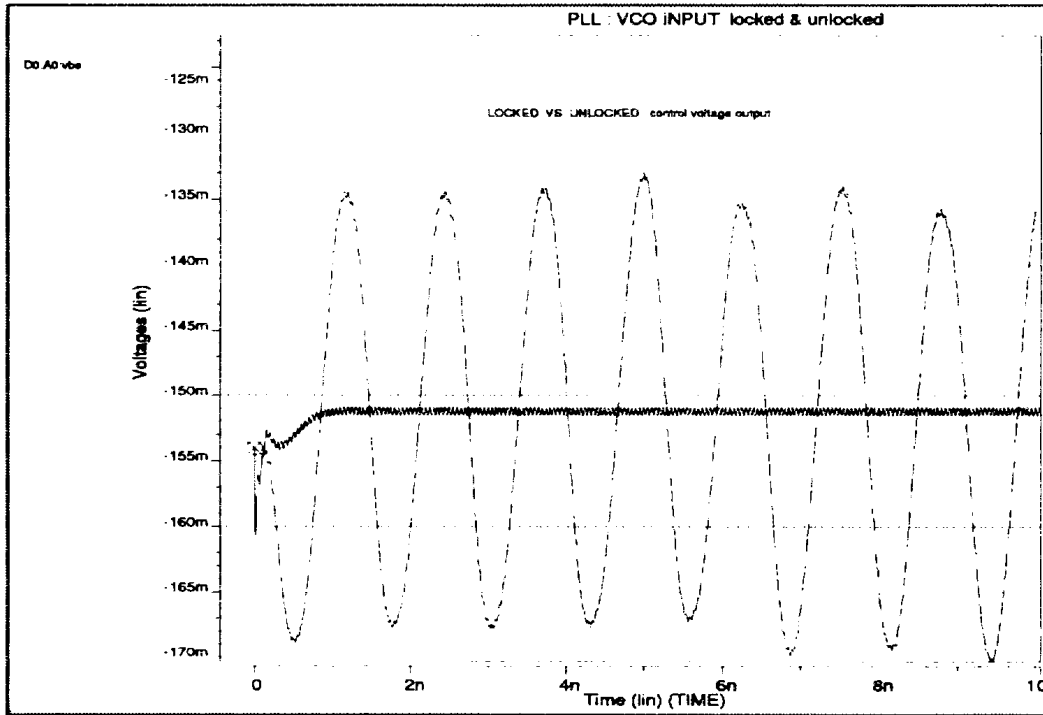


그림 6-9 . 위상동기회로의 위상 검출기의 20.1GHz의 입력에 대하여 LOCK된
 경우의 출력 파형과 20.8GHz의 입력에 대하여 UNLOCK된 출력
 파형

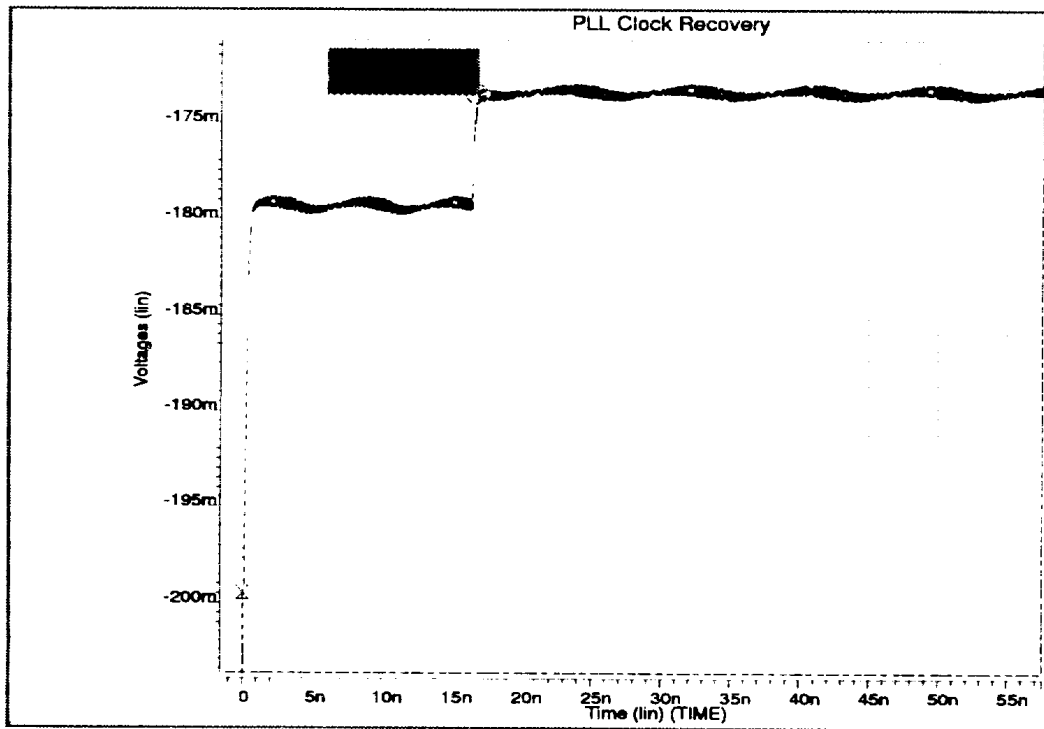


그림 6-10. 20GHz 입력에 대한 위상동기 회로의 전압제어 발진기부의 제어 신호

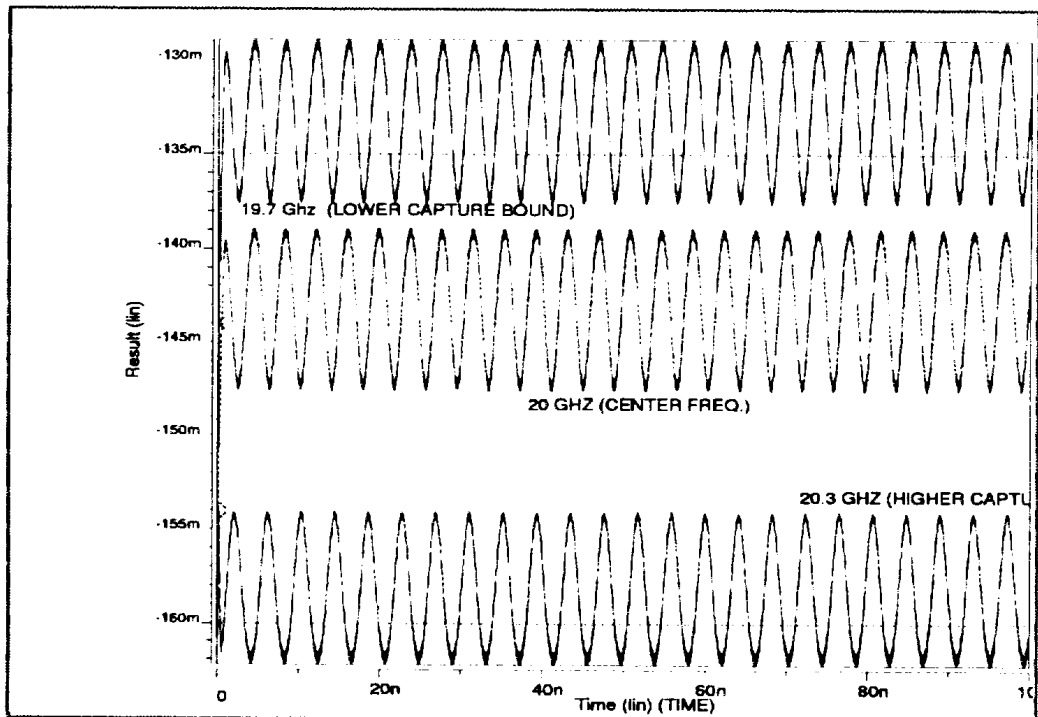


그림 6-11. 19.7GHz, 20GHz, 20.3GHz 입력에 LOCK된 위상동기 회로의 전압 제어 발진기부의 제어 신호

제 7 장. 결론

위상 동기 회로는 aquisition, 주파수 합성 등 여러 응용 분야를 가지고 있는 회로로서 ATM등에 필요한 고속 증계 회로에 있어서 반드시 필요한 회로이다. 본 연구에서 GaAs MESFET을 이용하여 20GHz의 중심 주파수와 50mW의 소비 전력을 갖는 초고속 위상 동기 회로를 설계하였다.

20GHz의 동작 주파수를 갖는 회로들의 개발은 현재 여러 논문들을 통하여 발표되고 있는 주제로서 차세대 초고속 통신망의 구현을 그 응용 분야로 갖고 있다. 본 연구에서 설계한 위상 동기 회로 역시 이러한 흐름에 맞추어 차세대 통신망 응용을 그 목적으로 하고 있다.

지금까지의 대부분의 전압 제어 발진기의 설계는 일반적으로 GaAs MESFET의 기본 회로로 많이 이용되는 DCFL, BCFL, SCFL등의 구조로만 설계되었으며 이 이외의 다른 active load를 이용한 방법은 그다지 시도되지 않았다. 이는 실제로 회로의 융통성을 상당히 작게 한 것으로 비교적 단순화된 회로의 구현은 가능하였으나 여러 가지면에서 그 성능의 한계를 가져 왔다.

본 연구에서는 GaAs MESFET에 이용되는 여러 가지 Bootstrap 기술을 이용하여 전압제어 발진기와 그 외의 회로에 능동 저항과 그 밖의 제어부 등으로 이용함으로써 위상 동기 회로의 초고속 동작을 가능하게 하였으며, 새로운 구조의 인버터를 이용함으로써 구동 전류를 최적화시켜 소비 전력을 최소화시키고 단순한 구조의 위상 검출기의 설계를 통하여 소비 전력을 50mW 정도의 저전력 소비를 갖게 하였다. 이는 일반적으로 GaAs MESFET으로 구현된 회로에서 보이는 최소 수백 밀리 와트에서 최고 수 와트 이상의 전력 소모와 비교할 때 매우 작은 값이라 할 수 있으며, GaAs MESFET보다 소비전력면에서 우수한 CMOS회로의 위상 동기 회로의 저전력 설계에서 보이는 전력 소비에 비하여 크게 차이가 나지 않는 결과이다.

설계한 구조의 타당성을 보이기 위하여 각각 구성 부분인 전압 제어 발진기와 위상 검출기에 대하여 Hspice simulation을 수행하였다. 특히 전압 제어 발진기의 경우 그 동작의 안정성 여부가 곧바로 위상 동기 회로의 동작과 그 출력의 안정성에 직접적인 영향을 미치므로 여러 가지 안정성에 관한 simulation을 수행하였다. simulation결과 설계된 전압 제어 발진기는 입력 제어 전압에 대하여 주파수적으로 매우 선형적인 특성을 보였고 그 진폭과 DC level에 대하여도 안정적인 출력을 보였다. 온도 변화에 대한 simulation과 전원 전압의 변화에 따른 영향, 그리고 공정 파라미터의 변화에 따른 출력의 영향에 있어서도 비교적 좋은 결과를 보였으며 그 결과는 표 7-1과 같다.

위상 검출기의 simulation 결과, 이론적인 예상값과 같은 출력을 보여 주었으며 안정된 전압출력에 다소 시간이 걸리기는 하지만 전반적으로 만족할 만한 출력을 보였다. 전체적인 위상 동기 회로의 동작은 20GHz의 중심 주파수를 기준으로 하여서 600Mhz의 capture range와 20n초의 aquisition 시간 등 매우 우수한 결과를 보였다. 이에 대한 종합적 정리는 표 7-2와 같다.

현재까지 위상 동기 회로 및 clock recovery 회로에 있어서 동작 주파수가 8GHz를 넘는 경우는 단순한 회로 설계 수준에서도 발표된 바가 없다. 그러나 본 연구의 회로의 동작에 대한 검증은 Spice simulation을 토대로 이루어진 관계로 부가 캐패시턴스에 의한 영향등을 고려하지 않은 단점을 안고 있다. lay-out할 경우 부가 캐패시턴스에 의하여 전반적인 동작 주파수가 떨어질 수 있으며 이는 lay-out시 결선과 소자의 배치에 밀접한 연관이 있다. 본 결과 이후의 연구에 있어서는 이러한 문제점을 고려하기 위하여 전체 회로에 대한 lay-out이 이루어져야 하겠으며 더 나아가 실제 칩을 구현하여 동작을 검증하는 절차가 뒤따라야 하겠다. 또한 Gilbert cell의 이용으로 인한 정정 위상 에러의 문제점을 해결하기 위하여 20GHz의 동작 주파수를 갖는 위상, 주파수 검출기와 Charge Pump에 대한 연구도 고려가 필요하다. 이와 같은 문제점에 대하여 앞으로 보다 심도 깊은 연구가 이루어져야 하겠다.

표 7-1. 전압 제어 발진기 특성표

성능 지수		특성	
free running 주파수		20Ghz	
최저 발진 주파수		20.6Ghz	
최고 발진 주파수		19.4Ghz	
온도 변화에 대한 안정성		0.045%/°C	
선형성		매우 우수	
공정 파라미터 변화	고속 특성값	20.8Ghz	기준입력 :3V(20Ghz)
	저속 특성값	19.55Ghz	
전원 노이즈에 대한 안정성		매우 안정적	

표 7-2. 위상 동기 회로 특성표

성능 지수	특성값
중심 주파수	20Ghz
capture range	600Mhz
aquisition time	20nsec
소비 전력	48.7mW

참고 문헌

- [1] T. Seshita et al., "A 20 GHz 8 bit Multiplexer IC Implemented with $0.5\mu\text{m}$ WNx/W -Gate GaAs MESFET's," IEEE Journal of Solid-State Circuits, vol. 29, no. 12, pp. 1583 - 1586, December 1994

- [2] A. Pottbacker et. al., "An 8 GHz silicon bipolar clock recovery and data regenerator IC," IEEE Journal of Solid-State Circuits, vol. 29, pp. 1572 - 1576, December 1994.

- [3] H. Statz, P. Newman, I. W. Smith, R. A. Pucel and H. A. Haus, "GaAs FET Device and Circuit Simulation in SPICE," IEEE Trans. on Electron Devices, vol. ED-34, pp. 160-169, 1987

- [4] Phillip Wallac et. al., "A GaAs 1.5Gb/s Clock Recovery and Data Retiming Circuit," IEEE International Solid-State Circuits Conference, 1990

- [5] L. E. Larson, "An Ultrahigh-Speed GaAs MESFET Operational Amplifier," IEEE Journal of Solid-State Circuits, vol. 24, no. 6, pp. 1523-1527, December 1989

- [6] A. A. Abidi, "An Analysis of Bootstrapped Gain Enhancement Techniques," IEEE Journal of Solid-State Circuits, vol. SC-22, no. 6, pp. 1200-1204, Dec.

1987

- [7] Stephen I. Long and Steven E. Butner, Gallium Arsenide Digital Integrated Circuit Design, McGRAW HILL international edition, 1988

- [8] P. R. Gray and Robert G. Meyer, Analysis and Design of Analog Integrated Circuits, Third Edition, Wiley Jons & Sons, New York, 1992

- [9] P. E. Allen, D. R. Holberg, CMOS Analog Circuit Design, Holt, Rinehart and Winston, New York, 1987

- [10] J. Rodriguez-Tellez, K. Mezher, and M. Al-Daas "Improved Junction Capacitance Model for the GaAs MESFET," IEEE Trans. on Electron Devices, vol. 40, no. 11, pp. 2083-2085, Nov. 1993

- [11] Pasqualino M et al., "The Variable Gain Bootstrap Active Load: A New Approach to Amplifier Voltage Gain Enhancement and Control," IEEE Trans. on Circuit and System-I:Fundem, Theory and Appl., vol. 40, no. 7, pp. 440 - 448, July 1993

- [12] D. G. Haigh and C. Thomazou, "High Frequency Gallium Arsenide Linearized Transconductor for Communication," Electronics Letters, Vol. 26, no. 8, pp. 497 - 498, April 1990

- [13] N. Scheinberg, "High-Speed GaAs Operational Amplifier," IEEE J.

Solid-State Circuits, vol. SC-22, no. 4, pp. 522-527, August 1987

- [14] C. Toumazou and D. G. Haigh, "Design and Application of GaAs MESFET Current Mirror Circuits," IEE Proceedings, vol. 137, pt. G, no. 2, pp. 101-108, April 1990
- [15] C. Toumazou and D. G. Haigh, "Level-Shifting Differential to Single-Ended Converter Circuits for GaAs MESFET Implementation," Electronics Letters, vol. 23, no. 20, pp. 1053-1055, Sep. 1987
- [16] Howard C. Yang et al, "A Low Jitter 0.3-165 Mhz CMOS PLL Frequency Synthesizer for 3V/5V Operation," IEEE Journal of Solid-State Circuits, vol. 32, no 4, pp. 582 - 586, April 1997
- [17] Kazuya Yamamoto et al, " A Single-Chip GaAs RF Transceiver for 1.9-GHz Digital Mobile Communication Systems," IEEE Journal of Solid-State Circuits, vol. 31, no. 12, pp. 1964 - 1972, December 1996
- [18] Behzad Razavi, Monolithic Phase-Locked Loops and Clock Recovery Circuits, IEEE PRESS, 1997
- [19] Dao-Long Chen, "A Power and Area Efficient CMOS Clock/Data Recovery Circuit for High-Speed Serial Interface," IEEE Journal of Solid-State Circuits, vol. 31, no 8, pp. 1170 - 1176, August 1996
- [20] Behzad Razavi, "A 6 GHz 60mW BiCMOS Phase-Locked Loop," IEEE

Journal of Solid-State Circuits, vol. 29, no 12, pp. 1560 - 1565, May 1997

[21] Behzad Razavi, "A 2-GHz 1.6-mW Phase-Locked Loop," IEEE Journal of Solid-State Circuits, vol. 32, no 5, pp. 730 - 735, December 1994

[22] Behzad Razavi, "A 2.5-Gb/s 15-mW Clock Recovery Circuit," IEICE Trans. Electron. vol. F79 no. 7, pp. 883 - 891, July 1996

ABSTRACT

A Study on Design of 20GHz Phase Locked Loop Using 0.8 μ m GaAs MESFET device

Jong-Soo Lee

Dept. of Electronics Eng.

The Graduate School

Yonsei University

This paper describes a design of 20GHz, 50mW Phase-Locked Loop(PLL) that has been developed for future-generation optical-fiber communication system having a data rate of 20Gb/s. This circuit is designed using 0.8 μ m GaAs MESFET devices. This ultrahigh-speed, low power-consumption PLL is composed of three parts, Voltage Controlled Oscillator(VCO) whose free-running frequency is 20GHz, Phase Detector(PD) and Loop Filter.

VCO utilizes Ring of 3 inverters. To attain 20GHz free-running frequency, new type of inverter cell is developed, which is composed of Current-Steering Amplifier(CSA) for driving part and double inverted cascode current mirror for active load and controlling part. CSA has broad bandwidth and exhibits stable operation. In VCO circuit, driving current of inverter cell is designed to flow small current, which makes it possible that an inverter cell exhibits small delay

time and low power-consumption.

Employing Gilbert cell as PD, minimized power consumption and chip area is achieved. broad bandwidth of Gilbert cell enables PD stage to handle ultrahigh-speed signals.

Simulation of total PLL circuit is performed by Hspice. Simulated PLL frequency ranges are 19.7GHz - 20.3GHz at 5V single supply voltage, dissipating 50mW. acquisition time of PLL is 20n second in maximum, which is very good feature. Simulation shows strong durability of PLL operation to power supply noise and temperature variation.

The design of this ultrahigh-speed circuit pave the way for the construction of ultrahigh speed optical communication systems.

Key words : PLL, VCO, PD, CSA, GaAs MESFET, Active Load,
Loop Filter, Current Mirror, Inverter Cell