

# 2010 SoC C o n f e r e n c e

## 2010년도 SoC 학술대회

2 0 1 0 S o C C o n f e r e n c e



<http://soc2010.inha.ac.kr>

일 시 : **2010년 4월 30일** (금) 18:00 ~ 20:30 (리셉션)  
**5월 1일** (토) 08:00 ~ 18:00 (학술제)

장 소 : 라마다송도호텔 12층 뷔페식당 (리셉션)  
인하대학교 하이테크관 (학술제)

주 최 : 대한전자공학회 SoC 설계 연구회

주 관 : 인하대학교, ETRI 시스템반도체진흥센터

후 원 : IDEC, 휴인스, Synopsys, 인하대학교 초광대역  
무선통신연구센터, 울산대학교 e-Vehicle 연구  
인력양성사업단, 인하대학교 정보전자공동연구소,  
인하대학교 전자공학과 BK사업단, 실리컴텍, 아이  
엔텍, 리버트론, 하이버스, IEEE CAS Seoul  
Chapter, IEEE SSCS Seoul Chapter



사단  
법인 **대한전자공학회**  
The Institute of Electronics Engineers of Korea

# Analog and Mixed-signal Circuits

좌장 : 임신일

P4.1 24 채널 정전 용량형 터치 센싱 ASIC 설계

이경재, 이현석(광운대)  
남 철((주)Silicon Harmony)

P4.2 온도에 독립적인 0.5V CMOS 기준 전류 발생회로

이창교, 성바로샘, 선우희영, 권지욱, 류승탁(한국과학기술원)

P4.3 Hershey-Kiss modulation profile SSCG using Dual  $\Delta$ - $\Sigma$  modulators

박형민, 진현배, 강진구(인하대)

P4.4 5-Gb/s 온 칩 아이 오프닝 모니터링 회로

성창경, 최우영(연세대)

P4.5 자동차용 배터리 관리시스템을 위한 전류 측정 회로 설계

김조섭, 김시호(충북대)

P4.6 하이브리드 조정 오실레이터를 이용한 디지털 직접 변조 방식의 스프레드 스펙트럼 클럭 발생기의 설계

손충환, 심창수, 변상진(동국대)

P4.7 A Nano-Watt Low-Drop-Out Voltage Regulator for UHF RFID Tag IC

Duong Huynh Thai Vo, Jong-Wook Lee(경희대)

P4.8 ULP Radio를 위한 Sub-uW CMOS Wien-Bridge Oscillator

나영호, 김종식, 김현(광운대)  
김진섭(전자부품연구원)  
신현철(광운대)

P4.9 전류 분할 기법을 이용한 작은 Gm 구현 회로 설계

정병호, 임신일(서경대)

# 5-Gb/s 온 칩 아이 오프닝 모니터링 회로

성창경, 최우영

연세대학교 전기전자공학과

전화: (02)2123-7709, E-mail: [ck@yonsei.ac.kr](mailto:ck@yonsei.ac.kr)

## A 5-Gb/s On-Chip Eye-Opening Monitoring Circuit

Chang-Kyung Seong, Woo-Young Choi

Department of Electrical and Electronics Engineering, Yonsei University

### 요 약

칩 내부에서 고속 데이터 신호의 아이 다이어그램을 얻을 수 있는 온 칩 아이 오프닝 모니터링 회로를 구현하였다. 이 시스템은 고속 데이터 신호에 대한 샘플링을 수행하는 아날로그 회로와 샘플링 된 디지털 정보를 처리하고 아날로그 회로를 제어하는 디지털 회로로 구성된다. 기준 전압과 샘플링 클럭 위상을 각각 스위칭 하면서 얻은 샘플 결과를 디지털적으로 처리함으로써, 데이터 신호의 1UI에 해당되는 2차원 아이 다이어그램을 그릴 수 있다. 구현된 프로토타입에서 아날로그 회로는 65nm CMOS 공정으로 제작되었고, 디지털 회로는 FPGA에 프로그래밍 되어 동작을 검증하였다. 실험 과정에서 본 시스템이 다양한 길이의 PCB 채널을 통과한 5-Gb/s PRBS 데이터에 대한 아이 다이어그램을 성공적으로 작성하는 것을 확인하였다.

### Abstract

An on-chip eye-opening monitoring circuit that can obtain eye diagram of high-speed input data inside chip is implemented. The system comprises analog circuit which takes samples from high-speed data signal and digital circuit which processes obtained samples and controls the analog circuit. By digitally processing obtained samples with sweeping both reference voltage and sampling phase, two-dimensional eye-diagram corresponding one unit interval of data signal is acquired. In this prototype, analog circuit was fabricated in 65nm CMOS technology and digital circuit was configured in FPGA. In experiments, it is verified that the system successfully draws eye diagrams of 5-Gb/s PRBS data for PCB channels of various length.

**Keywords** : eye diagram, eye-opening monitoring, on-chip oscilloscope

### I. 서 론

오늘날 데이터 전송률에 대한 수요 증가로 인하여 상대적으로 채널의 대역폭이 제한되는 문제점이 발생하여 왔다. 이를 해결하기 위하여 수신기 앞단에 등화기가 보편적으로 사용된다. 특히, 다양한 채널 환경에 따라 등화기의 동작 계수가 자동으로 결정되도록 적응 알고리즘을 적용하는 것이 비용 측면에서 유리하다. 실제로, 적응 알고리즘을 탑재한 등화기에 대한 연구가 활발하게 진행되어 왔다<sup>[1-3]</sup>.

발표된 여러 적응 알고리즘 중에서 최근 각광받고 있는 것은 온 칩 아이 오프닝 모니터링 (On-Chip

Eye-Opening Monitoring: EOM) 기법을 활용한 방식이다<sup>[4-6]</sup>. 이 방식에서는 오실로스코프와 같은 외부 장비를 사용하는 대신 수신기 칩 내부에서 아이 다이어그램을 직접 측정하여 수신기의 현재 동작 상태 및 성능 정도를 계산한다. 수신기에서 수신 신호의 상태를 가장 직접적으로 판별할 수 있는 아이 다이어그램을 활용하여 등화기 통과 후 복원된 파형을 분석하고, 등화기의 등화 계수를 조절하여 최적의 동작을 도출할 수 있다는 점에서 장점을 가진다.

본 논문에서는 칩 내부로 인가된 5-Gb/s 비제로 복귀 (Non-Return-to-Zero) 데이터 파형의 아이 다이어그램을 측정할 수 있는 EOM 회로의 구조 및 측정

결과를 제시하였다.

## II. 회로 구조

그림 1은 구현된 EOM 회로의 전체 블록 다이어그램이다. EOM 회로는 CMOS 공정으로 제작된 샘플링 모듈과 FPGA로 구현한 디지털 제어 모듈로 구성된다. 이 중, 샘플링 모듈은 5-Gb/s 데이터 입력과 2.5-GHz 클럭 입력을 인가 받고, 이를 이용하여 아이 다이어그램을 그리기 위한 비교값과 클럭을 디지털 제어 모듈에 전달한다. 반면 디지털 제어 모듈은 이러한 비교값과 클럭을 이용하여 아이 다이어그램을 그리고, 샘플링 모듈을 제어하기 위한 코드를 생성하여 샘플링 모듈에 전송한다.

샘플링 모듈은 입력 버퍼, 홀드 스위치, 클럭 센스 앰프, D-플립플롭, 클럭 생성기, 디지털-아날로그 변환기(Digital-to-Analog Converter: DAC), 코드 병렬기, 출력 버퍼로 구성된다.

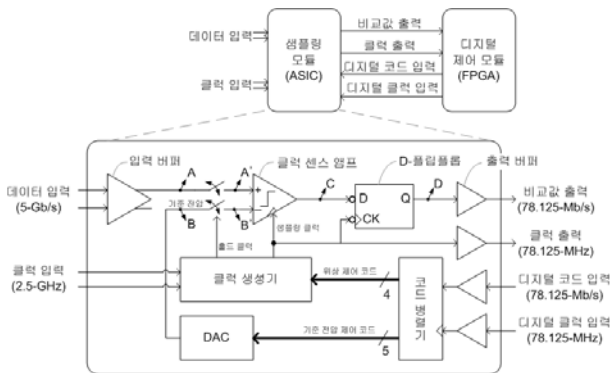


그림 1. 구현된 EOM 회로의 블록 다이어그램  
Fig. 1. Block diagram of implemented EOM circuit

그림 2는 임의의 위상에서 입력 데이터와 기준 전압 사이의 크기 비교가 이루어지는 과정의 타이밍 다이어그램이다. 입력 버퍼를 통과한 5-Gb/s 데이터 (그림 1의 노드 A)가 임의의 위상에서 홀드 클럭에 의하여 홀드 (노드 A') 된다. 이 때, charge injection과 clock feed-through에 의하여 발생하는 전압 오차를 상쇄하기 위하여 기준 전압(노드 B)에 대해서도 같은 회로를 적용하여 홀드된 샘플 전압 (노드 B') 한다. 홀드 후 충분한 안정 시간을 거친 다음, 클럭 센스 앰프에서 샘플링 클럭을 이용하여 A'와 B' 노드의 신호에 대한 비교 과정을 수행한다. 그림 2에서 도시한 두 번의 비교 예시 중 첫 번째에서는 A'가 B' 보다 크므로 클럭 센스 앰프의 출력 (노드 C)이 low 값으로 센싱된다. 반면, 두 번째 예에서는 반대의 경우 이므로 노드 C의 값이

high에 머무른다. 클럭 센스 앰프의 리셋 구간을 제거하기 위하여 최종적으로 D-플립플롭에서 샘플링 된 디지털 값이 출력 버퍼를 통하여 샘플링 클럭과 함께 칩 외부로 전달된다.

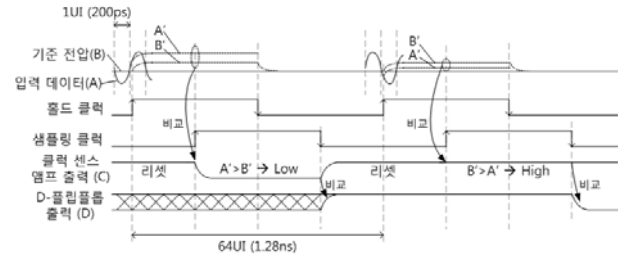


그림 2. EOM 칩의 타이밍 다이어그램  
Fig. 2. Timing diagram of implemented EOM chip

단, 그림 1에서 보는 바와 같이 샘플링이 이루어지는 위상과 기준 클럭은 각각 DAC와 클럭 생성기에 의하여 변화되며, 두 값은 디지털 제어 모듈로부터 전달된 디지털 코드(기준 전압 제어 코드 및 위상 제어 코드)에 의하여 결정된다. DAC는 5-bit의 코드를 입력 받아 32 단계의 아날로그 전압을 발생시키며, 클럭 생성기는 4-bit 코드를 입력 받아 1UI당 16개의 위상을 생성시키도록 설계하였다.

그림 3은 클럭 생성기의 블록 다이어그램이다. 칩 외부에서 인가된 2.5-GHz 클럭은 직렬 연결된 지연 버퍼를 통과하여 서로 90° 위상 차이가 나는 두 개의 차동 클럭 신호가 된다. 총 4개의 위상을 가지는 이 클럭 신호는 위상 보간기에 입력되어 가변 위상을 가지는 클럭이 된다. 위상 보간기는 4-bit 디지털 코드를 입력 받아 1UI 내에서 16 단계의 위상 변화를 생성한다. 이 클럭이 주파수 분주기를 통과하여 64 분주되면 78.125-MHz의 4 위상 클럭이 생성되어 각각 홀드 및 샘플링 클럭으로 사용된다. 64 분주를 통하여 지속 클럭을 생성하여 사용하는 이유는 본 프로토타입 회로가 FPGA와 연동하는 과정의 인터페이스에서 속도가 제한

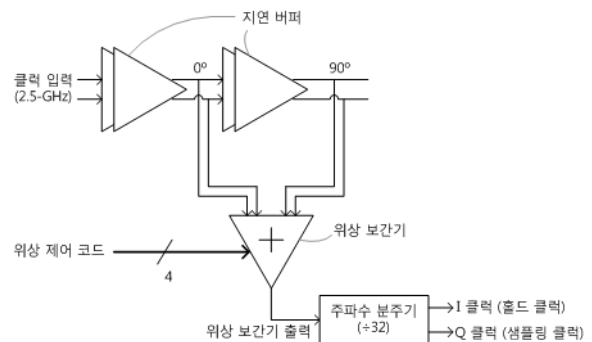


그림 3. 클럭 생성기의 블록 다이어그램  
Fig. 3. Block diagram of clock generator

되기 때문이며, 샘플링 모듈과 디지털 제어 모듈을 하나의 칩에 집적하게 되면 보다 높은 속도로 샘플링을 수행할 수 있다.

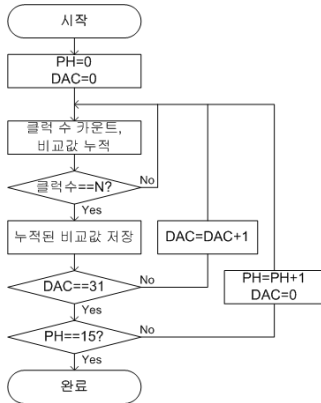


그림 4. 구현된 EOM 회로의 CDF 획득 알고리즘  
Fig. 4. CDF acquisition algorithm of implemented EOM circuit

그림 4는 구현된 EOM 회로가 아이 다이어그램을 작성하기 위한 기초 자료인 누적 밀도 함수(Cumulative Density Function: CDF)를 얻는 알고리즘을 순서도로 나타낸 것이다. 회로의 동작이 시작되면 디지털 제어기는 기준 전압 제어 코드 ( $C_{DAC}$ )와 위상 제어 코드 ( $C_{PH}$ )를 각각 초기화한다. 그리고 일정 기간 동안 비교값의 개수를 측정하기 위하여 EOM 칩으로부터 전달되는 클럭 수와 비교값 중 high의 개수를 각각 누적한다. 클럭 누적 수가 목표치에 도달하면, 이때까지 누적된 비교값을 레지스터에 저장하고  $C_{DAC}$ 을 한 단계 증가시킨다. 이러한 방식으로  $C_{DAC}$ 를 0부터 31까지 증가시키면서 누적 과정을 반복하여 하나의 위상에 대한 CDF를 얻을 수 있다. 또한  $C_{DAC}$  스위칭 과정을  $C_{PH}$ 를 0부터 15까지 증가시키면서 반복하여 1UI에 대한 CDF를 모두 얻을 수 있다. 이렇게 얻어진 CDF 정보는 DAC 코드에 대하여 미분되어 아이 다이어그램에 해당하는 확률 밀도 함수 (Probability Density Function: PDF)로 변환된다.

설계된 칩은 65nm CMOS 공정을 이용하여 제작되었다. 또한 디지털 제어 모듈은 Virtex-II Pro FPGA 보드에 프로그래밍 하여 구현되었다.

### III. 측정 결과

앞서 설명한 알고리즘에 이용하여 EOM 회로를 동작시키고, 다양한 PCB 채널 길이에 따라 아이 다이어그램을 측정하였다. 그림 5는 측정된 아이 다이어그램 정

보를 PC로 읽어 들인 후 Matlab을 이용하여 그린 것이다. 가로축은 1부터 16까지의 위상 제어 코드에 해당되고, 세로축은 1부터 31까지의 DAC 코드에 해당된다.

그림 6에서 보는 바와 같이 성공적으로 아이 다이어그램이 작성되는 것을 확인할 수 있으며, 채널 길이 변화에 따라 아이 오프닝이 작아지고 지터가 증가하는 것을 확인할 수 있다.

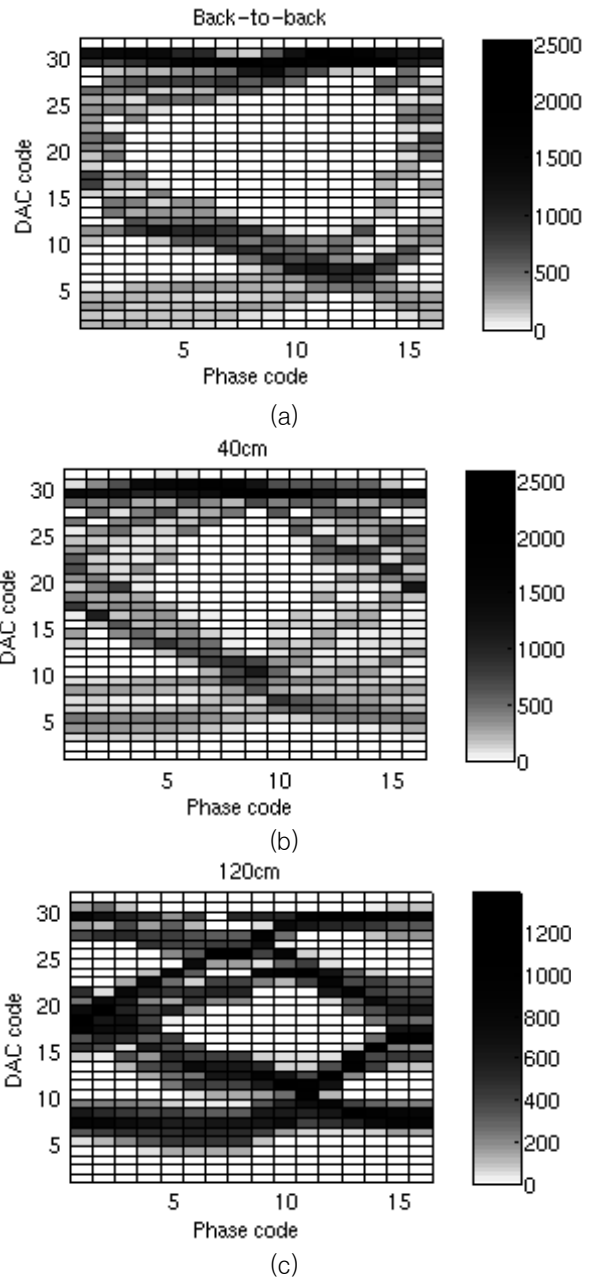


그림 5. 다양한 PCB 채널 길이에 따라 측정된 아이 다이어그램 (a)back-to-back (b)40cm (c)120cm  
Fig. 5. Measured eye diagram for various PCB channel length (a)back-to-back (b)40cm (c)120cm

## IV. 결론

칩 내부의 아이 다이어그램을 관찰할 수 있는 온 칩 아이 오프닝 모니터링 칩을 설계하여 제작하였다. 제작된 칩의 아날로그 부분은 65nm CMOS 공정을 이용하여 제작되었으며, 제어를 위한 디지털 부분은 FPGA에 프로그래밍 하여 전체 시스템의 동작을 검증하였다. 측정 결과, 5-Gb/s PRBS 데이터에 대하여 성공적으로 아이 다이어그램이 작성되는 것을 확인하였다. 본 설계 기술은 앞으로 등화기와 같은 고속 수신기의 구성 요소의 적응 알고리즘에 활용될 수 있을 것으로 기대된다.

### Acknowledge

본 연구는 지식경제부에서 주관하는 산업원천기술개발사업의 지원과 반도체설계교육센터(IDECC)의 EDA 툴 지원, 그리고 삼성전자의 칩 제작 공정 지원을 받아 수행되었습니다.

### 참 고 문 헌

- [1] Jri Lee, "A 20Gb/s Adaptive Equalizer in 0.13  $\mu$ m CMOS Technology," *IEEE J. Solid-State Circuits*, Vol. 41, No. 9, pp. 2058-2066, Sep. 2006.
- [2] Koon-Lun Jackie Wong, E-Hung Chen, and Chih-Kong Ken Yang, "Edge and Data Adaptive Equalization of Serial-Link Transceivers," *IEEE J. Solid-State Circuits*, Vol. 43, No. 9, pp. 2157-2169, Sep. 2008.
- [3] S.Gondi, et al., "A 10Gb/s CMOS Adaptive Equalizer for Backplane Applications," *ISSCC Dig. Tech. Papers*, pp 328-329, Feb., 2005.
- [4] Behnam Analui, Alexander Rylyakov, Sergey Rylov, Mounir Meghelli, and Ali Hajimiri, "A 10Gb/s CMOS Adaptive Equalizer for Backplane Applications," *IEEE J. Solid-State Circuits*, Vol. 40, No. 12, pp. 2689-2699, Dec. 2005.
- [5] Kwang-Ting Cheng and Hsiu-Ming Chang, "Test Strategies for Adaptive Equalizers," in *Proc. IEEE Custom Integrated Circuits Conference (CICC)*, pp. 597-603, Sept. 2009.
- [6] Yu Zheng and Kenneth L. Shepard, "On-Chip Oscilloscopes for Noninvasive Time-Domain Measurement of Waveforms in Digital Integrated Circuits" in *Proc. Symp. VLSI Circuits Dig. Tech. Papers*, pp. 336-344, June 2003,