

2010 SoC C o n f e r e n c e

2010년도 SoC 학술대회

2 0 1 0 S o C C o n f e r e n c e



<http://soc2010.inha.ac.kr>

일 시 : **2010**년 **4**월 **30**일 (금) 18:00 ~ 20:30 (리셉션)
5월 **1**일 (토) 08:00 ~ 18:00 (학술제)

장 소 : 라마다송도호텔 12층 뷔페식당 (리셉션)
인하대학교 하이테크관 (학술제)

주 최 : 대한전자공학회 SoC 설계 연구회

주 관 : 인하대학교, ETRI 시스템반도체진흥센터

후 원 : IDEC, 휴인스, Synopsys, 인하대학교 초광대역
무선통신연구센터, 울산대학교 e-Vehicle 연구
인력양성사업단, 인하대학교 정보전자공동연구소,
인하대학교 전자공학과 BK사업단, 실리컴텍, 아이
엔텍, 리버트론, 하이버스, IEEE CAS Seoul
Chapter, IEEE SSCS Seoul Chapter



상
단
법
인 **대한전자공학회**
The Institute of Electronics Engineers of Korea

High Speed Interface SoCs

좌장 : 심재윤, 박성민

P1.1 Multi-channel 5Gb/s/ch SERDES for Parallel Optical Links

Changchun Zhang(Southeast University, Ewha Womans University)

Zhigong Wang(Southeast University)

S. M. Park(Ewha Womans University)

P1.2 비동기 클럭 샘플링을 이용한 적응형 등화기

김왕수, 성창경, 한평수, 최우영(연세대)

P1.3 빠른 locking time, 넓은 Range을 가지는 디지털 지연 고정 루프에 대한 연구

서용원, 김정범(강원대)

P1.4 USB 3.0 용 5Gb/s급 클럭-데이터 복원 회로

최광천, 최우영(연세대)

P1.5 A 8-PAM multi Gb/s serial link Receiver in 0.13um CMOS Technology

윤대호, 범진욱(서강대)

P1.6 Phase-Locked Loops의 Charge Pump Current Mismatch를 줄이기 위한 Digital Calibration 기법

정찬희, 이두찬, 김규영, 김수원(고려대)

P1.7 A CMOS 7.2 Gb/s 8-PAM transmitter for Chip-to-Chip Communication

유성민, 범진욱(서강대)

P1.8 위상 변조를 이용한 고속 저전력 직렬 입출력 인터페이스 회로

박형민, 김상호, 강진구(인하대)

P1.9 병렬인터페이스와 직렬인터페이스 변환의 전력 소모 모델

오성민, 백상현(한양대)

USB 3.0 용 5Gb/s급 클럭-데이터 복원 회로

최광천¹, 최우영¹

¹연세대학교 전기전자공학부

전화: (02)2123-7709, E-mail: c3kc@tera.yonsei.ac.kr

A 5Gb/s Clock-Data Recovery Circuit for USB 3.0

Kwang-Chun Choi¹, Woo-Young Choi¹

¹School of Electrical and Electronics Engineering, Yonsei University,

요 약

2분율 선형 위상 검출기를 사용하여 Universal Serial Bus(USB) 3.0 규격에 적합한 5Gb/s급 클럭-데이터 복원 회로를 구현하였다. 설계한 회로는 65nm CMOS 공정을 사용하여 시제품 칩으로 제작되었고, 입력 지터의 주파수에 따른 최대 허용 입력 지터의 성능과 입력 지터 감쇄 성능을 측정하여 USB 3.0 규격의 필수 설계 조건을 만족시키는 것을 실험으로 검증하였다. 제작된 칩의 코어 회로는 1.0V의 전원에서 11mW의 전력을 소모하며, 칩 면적은 300×250 μm^2 이다.

Abstract

A 5Gb/s clock-data recovery circuit using half-rate linear phase detector for Universal Serial Bus(USB) 3.0 is realized and fabricated with 65nm CMOS technology. It is verified that the jitter tolerance margin and the jitter transfer function of the fabricated chip satisfy the specifications of USB 3.0 standard. The CDR core consumes 11mW from 1.0V power supply while the chip area is 300×250 μm^2 .

Keywords : Clock-Data Recovery, Half-rate phase detector, USB 3.0, Jitter

I. 서 론

클럭-데이터 복원(Clock-Data Recovery, CDR) 회로는 클럭 신호와 데이터 신호를 함께 전송하기 어려운 통신 시스템에서 널리 사용되는 회로이다. 특히 값싼 CMOS 공정을 사용하여 고속 CDR 회로를 저 전력, 저 면적으로 설계하는 기술이 활발히 연구되어 왔고, SATA, PCI express, DisplayPort, USB 등의 직렬 데이터 통신(SerDes) 시스템에 다양하게 응용되어 왔다. 그런데 SerDes 시스템에서 요구되는 전송 속도가 점차 높아지고 호환성이 중요시 되면서, DisplayPort 1.2, USB 3.0 등 근래에 발표되는 시스템의 규격에서는 CDR의 입력 지터 감쇄(input jitter reduction), 최대 허용 입력 지터(jitter tolerance) 등의 지터 특성을

설계 조건에 포함시키기 시작하였다.

이런 추세에 발맞추어, 본 논문에서는 2분율 선형 위상 검출기(half-rate linear phase detector)를 사용하여 USB 3.0 규격^[1]에 부합하는 5Gb/s급 CDR 회로를 설계한 결과를 기술하였다. 설계한 회로는 65nm CMOS 공정을 사용하여 시제품 칩으로 제작되었고, 실험을 통하여 USB 3.0 규격의 설계 조건을 만족시킴을 검증하였다.

II. 설계된 회로

설계된 5Gb/s급 CDR 회로의 구조는 아래 그림 1의 블록-다이아그램에 도시되었듯이 위상 고정 루프에 기

받을 두는 가장 널리 사용되는 구조이다. 위상 검출기 (Phase Detector, PD)에서 입력 데이터와 복원 클럭 사이의 위상 차이를 검출하여 그에 비례하는 크기의 전류 신호를 출력하고, 루프 필터를 통과하여 전압 신호로 바뀌어 전압 제어 발진기(Voltage-Controlled Oscillator, VCO)에 인가되어 발진 주파수를 제어하여 복원 클럭의 위상을 입력 데이터에 동기시킨다.

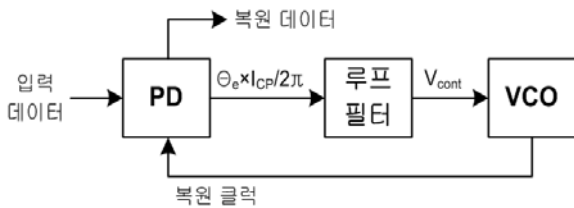


그림 1. 설계된 CDR 회로의 블록-다이어그램
Fig. 1. The block-diagram of designed CDR circuit

위상 검출기는 그림 2와 같은 래치 4개와 XOR 게이트 2개를 사용하는 2분율 선형 위상 검출기를 사용하였다^[2]. 이 위상 검출기는 선형성이 뛰어나고, 래치를 사용하기 때문에 고속 동작에 유리하고, 다중 위상 클럭이 없어도 2분율 동작이 가능하고, 따로 데이터 복원용 샘플러가 필요하지 않는다는 장점을 가지고 있다.

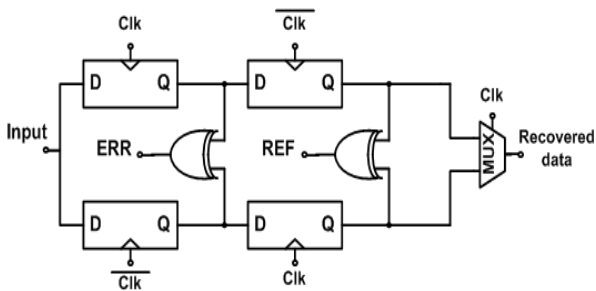


그림 2. 2분율 선형 위상 검출기의 회로도
Fig. 2. The schematic of half-rate linear phase detector

전압 제어 발진기는 다음 그림 3과 같은 보간기(interpolation) 회로를 사용한 링형 전압 제어 발진기를 사용하였다^[2]. 이 구조는 제어 전압에 무관하게 항상 발진이 가능하며, 발진 신호의 크기도 제어 전압에 무관하다는 장점을 가지고 있다.

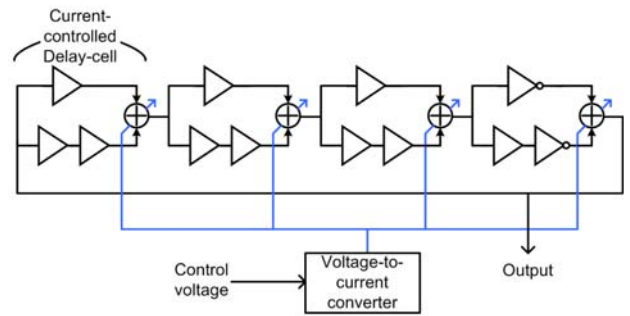


그림 3. 보간기를 사용한 링형 전압 제어 발진기의 블록-다이어그램
Fig. 3. The block-diagram of ring-type VCO using interpolation scheme

설계된 회로는 65nm CMOS 로직 공정을 이용해서 제작되었으며, 아래 그림 4는 설계된 칩의 레이아웃을 보여주고 있다. CDR 회로의 코어와 온-칩 루프 필터를 합친 칩 면적은 약 $300 \times 250 \mu\text{m}^2$ 이다.

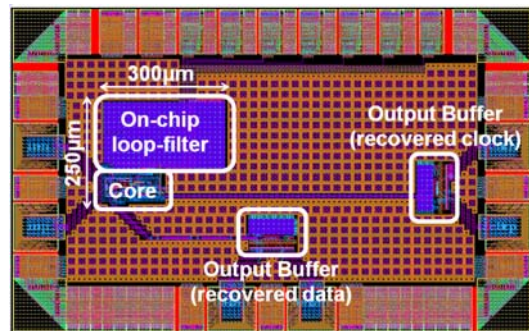


그림 4. 설계된 칩의 레이아웃
Fig. 4. Top-cell layout of fabricated chip

III. 측정 결과

설계된 칩은 온-칩 프로빙 기법을 사용해서 측정하였다. 아래 그림 5는 측정 셋업을 보여주고 있다. 5GHz의 기준 클럭을 1MHz에서 100MHz 사이의 주파수(jitter frequency)를 갖는 IF 신호와 믹싱하여, 지터를 포함하는 클럭을 생성해 낸다^[3]. 이 클럭을 PPG 장비인 BERTScope 12500A의 외부 클럭 단자에 넣어서 지터를 포함한 5Gb/s PRBS (패턴 길이 $2^{31} - 1$) 신호를 생성한다. 이 신호를 설계한 CDR 칩이 받아서 클럭과 데이터를 복원하고, 복원 데이터는 다시 BERTScope 12500A 장비에서 아이-다이어그램과 비트 에러율을 측정한다.

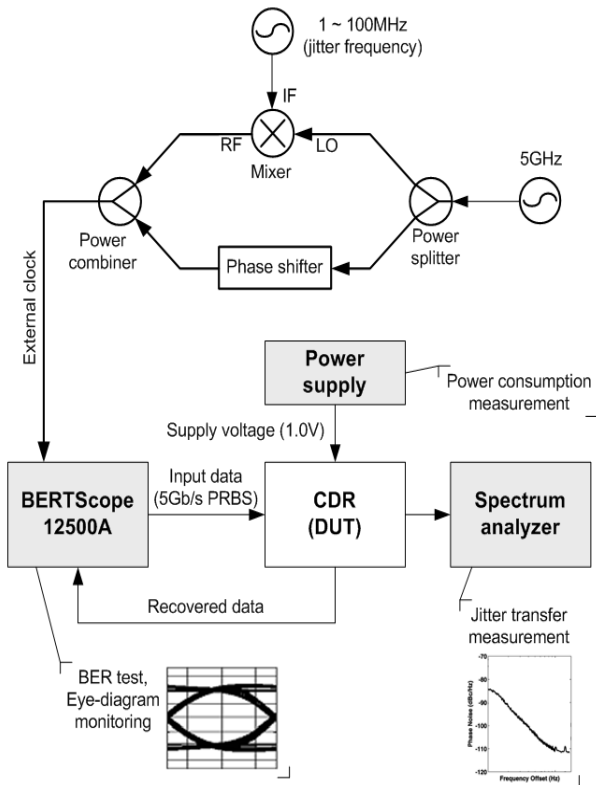


그림 5. 측정 셋업
Fig. 5. Measurement set-up

복원 클럭은 스펙트럼 분석기에서 받아서 최초에 생성한 지터의 주파수(jitter frequency) 성분의 파워를 측정하여 지터 전달함수, 즉 입력 지터 감쇄 특성을 측정한다. 그리고 CDR 칩에 전원을 공급해 주는 파워 서플라이에서 흘러나오는 전류의 양을 측정하여 전력 소모량을 측정한다.

아래 그림 6은 입력 지터의 크기가 0일 때 복원된 5Gb/s 신호의 아이-다이아그램이다. 신호의 상승/하강 천이 시간이 길어서 심볼간 간섭(Inter-Symbol Interference)로 인한 지터가 크게 발생하는데, 이는 CDR 회로의 문제가 아니라 출력 버퍼의 대역폭이 낮아서 생긴 문제이다. 비트 에러율 측정 결과 10^{12} 개 이상의 비트 검사에서 한 개의 에러도 발견되지 않았다.

아래 그림 7은 입력 지터 전달함수의 측정 결과인데, USB 3.0의 설계 조건에서 규정한 loop bandwidth보다 더 작은 loop bandwidth를 가지면서 입력 지터 증폭도 작은 것을 확인하였다. 입력 지터 감쇄의 경우 고주파 지터에 대해서는 감쇄 성능이 약간 떨어지지만, loop bandwidth 조건과 입력 지터 증폭 조건은 만족한다고 볼 수 있다.

그림 8은 최대 허용 입력 지터 결과인데, USB 3.0 설계 조건을 충분히 만족하는 것을 확인하였다. CDR 칩의 전체 소모 전력은 24mW 이며, 출력 버퍼를 제외한 소모 전력은 약 10.72mW 이다.

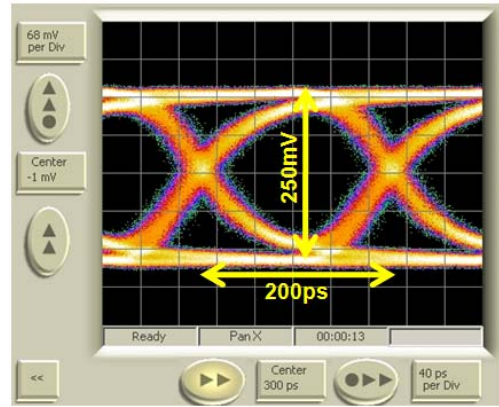


그림 6. 복원 데이터의 아이-다이아그램
Fig. 6. The eye-diagram of recovered data signal

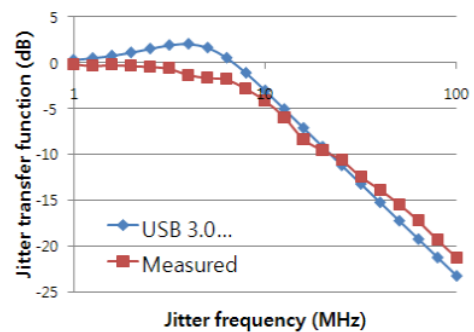


그림 7. 입력 지터 전달함수 성능 비교
Fig. 7. Input jitter transfer function

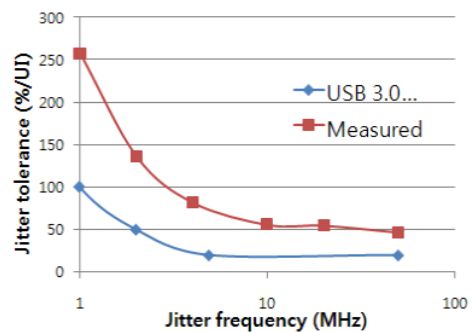


그림 8. 최대 허용 입력 지터 성능 비교
Fig. 8. Jitter tolerance margin

IV. 결 론

65nm CMOS 공정을 사용하여 USB 3.0 규격에 적합한 5Gb/s급 CDR 회로를 설계하였고, 실험으로 이를 검증하였다. USB 3.0 규격의 최대 허용 입력 지터 성능과 입력 지터 증폭 성능, loop bandwidth 성능을 만족하는 것을 확인하였다. 설계된 CDR 회로는 10.72 mW의 전력과 $300 \times 250 \mu\text{m}^2$ 의 칩 면적을 소모한다.

Acknowledgement

본 연구는 (주)삼성전자의 65nm CMOS 로직 공정 지원을 받아 수행되었습니다. 또한 본 연구는 반도체설계교육센터(IDEC)의 CAD TOOL 지원을 받아 수행되었습니다.

참 고 문 헌

- [1] "Universal Serial Bus 3.0 Specifications", *USB Implementers Forum, Inc.* (<http://www.usb.org>), Rev. 1.0, November 12, 2008
- [2] J. Savoj and B. Razavi, "A 10-Gb/s CMOS Clock and Data Recovery Circuit with a Half-Rate Linear Phase Detector", *IEEE Journal of Solid-State Circuits*, Vol. 36, No. 5, pp. 761-767, May 2001
- [3] L. M. DeVito, "A versatile clock recovery architecture and monolithic implementation" In B. Razavi (Ed.) *Inviter Paper, "Monolithic phase-locked loops and clock recovery circuits, theory and design"*, New York: IEEE Press, 1996