

THE 29TH KOREAN CONFERENCE ON SEMICONDUCTORS

제 29회 한국반도체학술대회

2022. 1. 24(월) - 26(수)

강원도 하이원 그랜드호텔(컨벤션타워) Online & Offline Hybrid

제 29회 한국반도체학술대회가 온/오프라인 하이브리드로 개최될 예정입니다. 제 29회 한국반도체학술대회 조직위원회와 사무국은 현장 참가자의 안전을 위해 코로나19 방역 지침에 따라 일자 별 현장 참석 인원을 선착순으로 제한합니다.

현장에 참여 예정이신 참가자께서는 참석 인원 초과 시, 숙소 등 행사장 이외의 공간에서 온라인으로 참석하실 수 있으니 본 학술대회가 안전하게 마무리 될 수 있도록 적극 협조 부탁드립니다.
(** 방역 당국의 지침에 따라 변동 될 수 있습니다)

개회식 & 기초강연 유튜브 ▶

현장참가자 코로나19 대응지침 ▶

A. Interconnect & Package	세부모집분야 보기 +
B. Patterning	세부모집분야 보기 +
C. Material Growth & Characterization	세부모집분야 보기 +
D. Thin Film Process Technology	세부모집분야 보기 +
E. Compound Semiconductors	세부모집분야 보기 +
F. Silicon and Group-IV Devices and Integration Technology	세부모집분야 보기 +
G. Device & Process Modeling, Simulation and Reliability	세부모집분야 보기 +
H. Display and Imaging Technologies	세부모집분야 보기 +
I. MEMS & Sensor Systems	세부모집분야 보기 +
J. Nano-Science & Technology	세부모집분야 보기 +



제 29회 한국반도체학술대회

The 29th Korean Conference on Semiconductors

2022년 1월 24일(월)~ 26일(수) | 강원도 하이원 그랜드호텔(컨벤션타워)

2022년 1월 26일(수), 15:45-17:30

Room K (다이아몬드 1, 6층)

F. Silicon and Group-IV Devices and Integration Technology 분과

[WK4-F] 3D Integration Technology

좌장: 김명수 교수(UNIST)

<p>WK4-F-1 15:45-16:00</p>	<p>The Process Development for Monolithic 3D Integration Using Large-Scale Silicon-On-Insulator (SOI) Wafer Bonding Hyeoncheol Cho¹, Hoonhee Han¹, Jaejoong Jung², Byeongjin Cho², and Changhwan Choi¹ ¹Division of Materials Science and Engineering, Hanyang University, ²Department of Electronic Engineering, KAIST</p>
<p>WK4-F-2 16:00-16:15</p>	<p>저마늄 확산 효과와 결정화 엔지니어링을 통한 3차원 수직 낸드플래시 메모리 용 폴리실리콘 채널 이동도 향상에 관한 연구 Tae In Lee¹, Yun Hee Lee¹, Eui Joong Shin¹, Min Ju Kim¹, Jung Hoon Lee², Jaeduk Lee², and Byung Jin Cho¹ ¹School of Electrical Engineering, KAIST, ²Flash Product & Technology, Samsung Electronics Co., Ltd.</p>
<p>WK4-F-3 16:15-16:30</p>	<p>Green Laser Annealing을 활용한 Monolithic 3D Integration 상부 PMOS 소자 구현과 성능 향상에 대한 연구 Youngkeun Park¹, Semin Noh¹, Jaejoong Jeong¹, Jaecheol Shin², and Byung Jin Cho¹ ¹School of Electrical Engineering, KAIST, ²Laser Process Development, Digital Imaging Technology</p>
<p>WK4-F-4 16:30-16:45</p>	<p>CMOS SPAD의 구조 최적화를 통한 수광 효율 향상 Eunsung Park^{1,2}, Woo-Young Choi¹, and Myung-Jae Lee² ¹Department of Electrical and Electronic Engineering, Yonsei University, ²Post-Silicon Semiconductor Institute, KIST</p>
<p>WK4-F-5 16:45-17:00</p>	<p>Noise Perspective of Low Temperature Gate Oxide Adjustment with Single and Dual Dipole Engineering for 3D Sequential Approach Younggwang Yoon¹, Jacopo Franco², Eddy Simoen², Alessio Spessot², and Naoto Horiguchi² ¹SK Hynix, ²IMEC</p>
<p>WK4-F-6 17:00-17:15</p>	<p>Three-Dimensional Topology Simulation of Vertically Stacked Complementary Field Effect Transistor (CFET) with 5 nm Channel Width In Ki Kim and Sung-Min Hong School of Electrical Engineering and Computer Science, GIST</p>
<p>WK4-F-7 17:15-17:30</p>	<p>Investigation of Effect of Monolithic 3D Inverter Stacked with MOSFETs on Random Dopant Fluctuation Geun Jae Lee^{1,2}, Tae Jun Ahn^{1,2}, and Yun Seop Yu^{1,2} ¹Department of ICT Robot Engineering, Hankyong National University, ²Department of Electrical, Electronic and Control Engineering, Hankyong National University</p>

CMOS SPAD의 구조 최적화를 통한 수광 효율 향상

Eunsung Park^{1,2}, Woo-Young Choi^{1,*}, and Myung-Jae Lee^{2,*}

¹*Department of Electrical and Electronic Engineering, Yonsei University, Korea*

²*Post-Silicon Semiconductor Institute, Korea Institute of Science and Technology, Korea*

*These authors contributed equally to this work as corresponding authors.

E-mail: es.park@kist.re.kr, wchoi@yonsei.ac.kr, mj.lee@kist.re.kr

최근 의료, 광학, 바이오 분야 등과 같이 특화된 분야뿐만 아니라 일상 생활에서도 3D 이미징의 수요가 크게 증가함에 따라 적은 비용으로 높은 수광 효율을 달성할 수 있는 광소자의 필요성이 크게 증대되고 있다. 이러한 수요에 발 맞춰 CMOS 공정 기반의 SPAD(Single-Photon Avalanche Diode) 연구에 박차가 가해지고 있다. SPAD 는 빛을 전기적 신호로 변환하는 광전소자로서, Avalanche Breakdown 현상을 이용한 동작 방식은 빛이 적은 환경에서도 사물 검출을 가능하게 한다는 특징을 가지고 있다. 이와 더불어 CMOS 공정을 통해 제작된 SPAD 는 집적화에 용이하고 생산 비용을 절감할 수 있다는 매우 큰 장점을 가지고 있다[1]. 또한 CMOS 공정에서 제공하는 다양한 Layer 들을 사용하여 각 용도에 보다 적합한 SPAD 를 구현할 수 있고, 요구되는 각 성능 지표에 따라 구조를 최적화할 수 있기 때문에, 최근 CMOS 공정을 이용한 SPAD 의 연구가 활발히 진행되고 있다. 본 논문에서는 CMOS 공정을 이용하여 제작된 SPAD 의 성능 검증을 위해 진행된 전류-전압 특성, DCR(Dark Count Rate) 특성, LET(Light Emission Test) 특성과 더불어 직접적인 수광효율을 나타내는 지표인 PDP(Photo detection probability) 특성의 결과를 보이며, 구조의 최적화를 통해 수광 효율의 향상된 점을 제시한다.

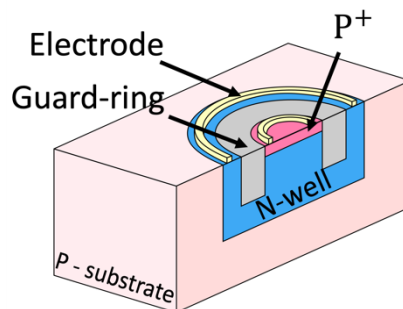


Fig 1. Example of a CMOS SPAD.

Acknowledgments The authors acknowledge the financial support from the Korea Institute of Science and Technology (KIST) Institution Program(Grant No 2E31011).

References [1] E. Charbon, "Single-photon imaging in complementary metal oxide semiconductor process", *Phil. Trans. R. A.*, vol. 372, no. 2012, Feb. 2014.